TURING 图灵电子与电气工程丛书

WILEY

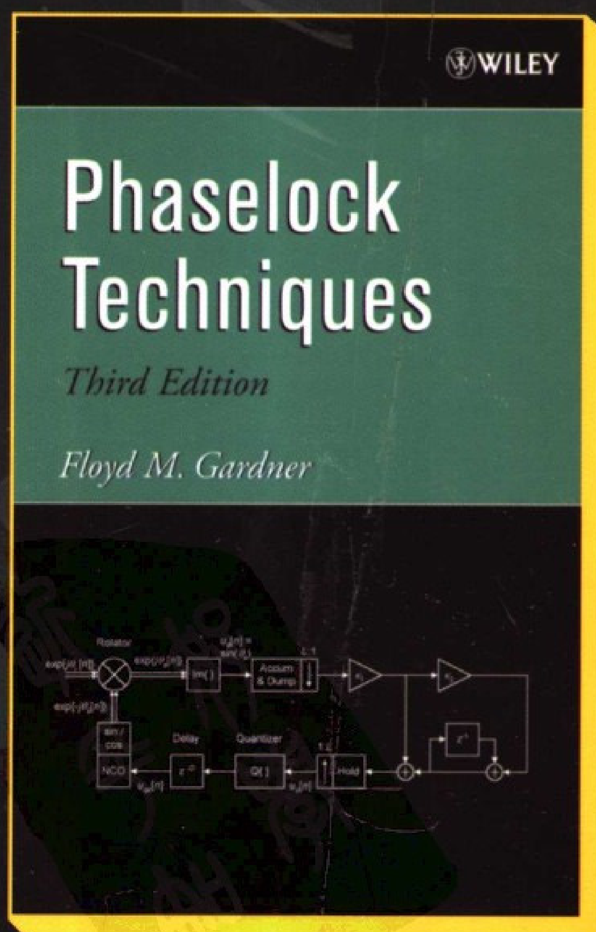
锁相环技术

Phaselock Techniques

（第3版）

Third Edition

[美] Floyd M. Gardner 著
姚剑清 译



锁相环“圣经”最新版！



人民邮电出版社
POSTS & TELECOM PRESS

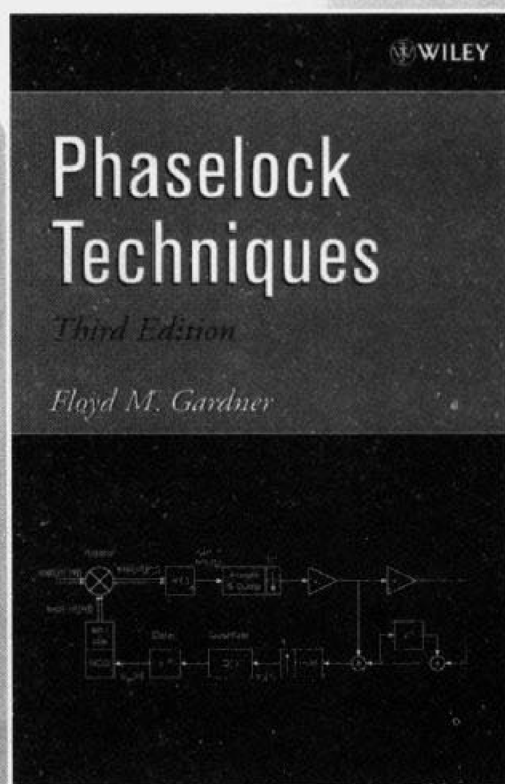
TURING 图灵电子与电气工程丛书

锁相环技术

Phaselock Techniques （第3版）

Third Edition

[美] Floyd M. Gardner 著
姚剑清 译



人民邮电出版社
北京

图书在版编目（CIP）数据

锁相环技术：第3版 /（美）加德纳（Gardner，F. M.）著；
姚剑清译．—北京：人民邮电出版社，2007.11
（图灵电子与电气工程丛书）
ISBN 978-7-115-16717-0

Ⅰ．锁…　Ⅱ．①加…②姚…　Ⅲ．锁相技术　Ⅳ．TN911.8

中国版本图书馆 CIP 数据核字（2007）第131768号

内 容 提 要

本书是锁相环技术领域的经典著作，在前两版的基础上进行了大幅的改写和扩充。不仅对传统锁相技术重新进行了更深入的考察，并增加了许多从未发表过的新内容，反映了近年来的最新技术进展。本书的重点是讲解基本原理，同时详细介绍了频率捕获、电荷泵锁相环等热点应用问题。

本书主要适用于通信电子行业的工程技术人员以及高等院校相关专业师生。

图灵电子与电气工程丛书

锁相环设计（第3版）

◆ 著　　［美］Floyd M. Gardner
　译　　姚剑清
　责任编辑　朱　巍

◆ 人民邮电出版社出版发行　　北京市崇文区夕照寺街14号
　邮编　100061　　电子函件　315@ptpress.com.cn
　网址　http://www.ptpress.com.cn
　北京铭成印刷有限公司印刷
　新华书店总店北京发行所经销

◆ 开本：700×1000　1/16
　印张：23.5
　字数：488千字　　　　2007年11月第1版
　印数：1–4 000册　　　2007年11月北京第1次印刷

著作权合同登记号　图字：01-2007-3372号

ISBN 978-7-115-16717-0/TN

定价：69.00元

读者服务热线：(010)88593802　印装质量热线：(010)67129223

版权声明

Original edition, entitled *Phaselock Techniques* (*Third Edition*) by Floyd M. Gardner, ISBN 0-471-43063-3, published by John Wiley & Sons, Inc. Copyright © 2005 by John Wiley & Sons, Inc.



前　　言

本书第1版是1966年出版的,第2版于1979年问世。1966年,锁相技术是一门难以想象的神奇技术,其应用范围有限,做这项技术的人几乎没有。现在的锁相技术已经成熟:在全世界的大量电子器件内都有锁相环;无数的应用中都有锁相环;许多人在继续研发锁相技术。在本书第1版问世的时候,还没有其他关于锁相环的书,可今天这样的书已经超过了20本。那么,为什么要在这个时候写第3版呢?

在1966年,锁相技术是一件新奇事物,那时的读者需要一本简短的入门性书籍。而今天的锁相环已经成为电子工程中的主流器件。同时,这些年来锁相环方面积累了大量的新概念,曾经非常重要的内容已经不再那么重要了。经验告诉我,前2版书中的有些内容还应当修改。

我们已经不需要再写一本入门性的书了,因为1.3节中列出的几本书中都有极好的论述,而且也许还有其他的书。本书对传统锁相技术重新进行了更深刻的考察,并增加了许多新内容,其中有些是从未发表过的。增加的内容包括:对传递函数的重新组织和扩充,关于相位噪声的两章,关于数字锁相环的两章,关于电荷泵锁相环的一章,对检相器内容的扩充,以及关于异常锁定的一章。

与前两版一样,电路只占极小的篇幅。本书的重点是讲基本原理,因为基本原理不会因技术进步而过时,而电路的实现方法是日新月异的。第2版中的一些内容被删去了,这些删除的内容包括优化与同步的章节和数学附录等。形式上的优化对设计的重要性并不像原来想象的那么好,设计者更愿意对实际锁相环中为数不多的几个参数进行权衡与折中;删去了数学附录,是因为书中所要求的数学难度不会超过所有电子工程类大学毕业生的水平。同步(从数据信号中恢复载波与时钟)本身是一大课题,随着它的发展,读者一定会觉得这些内容包含在一本关于锁相环的书中是不合适的。17.1节中有关于同步的简单介绍。

仿真是本书未涉及的另一个课题。本书的几章中关于仿真的内容取自具体的仿真实验,有些新的数据只能通过仿真才可得到,仿真又是IC设计与验证的关键。但本书并没有说明如何进行锁相环仿真。关于仿真的内容值得单独写一本书,如果把仿真也包含在本书中,内容就有些太多了。

这些年来,全世界出现了数以千计关于锁相技术的文章和书籍,我不可能一一列举。虽然本书的各章中已经包含了许多有关的文献,但仍有遗漏之处。而且,在经历了这么多年的工作之后,也很难记起每门技术当初是由谁提出的。我对未能提及的同仁表示歉意,这样的疏漏不是有意的。

本书在选择参考文献时遵循了几个原则:文献应是原创的;它应该尽可能是公开

发表的、存档的出版物；它所论述的是原理性的，而不是只流行一时的电路实现。读者会看到，绝大部分的参考文献来自 IEEE 和在美国出版的书籍。这些文献既反映了 IEEE 出版物的无处不在，也反映了我个人藏书的情况。

我要感谢我的客户们，在这些年里是他们给了我这么多学习锁相这门神奇技术的机会。

Floyd M. Gardner

加利福尼亚州，帕洛阿尔托市



符号表示法[①]

A	振幅，幅度	j	$\sqrt{-1}$
B_i	输入带通滤波器的带宽(Hz)	K	PLL 的环路增益(rad/s)
B_L	PLL 的噪声带宽(Hz)	K'	归一化的(无量纲的)环路增益，其值等于 $K\tau_2$
b	数字量的位数	K_d	检相器的增益(V/rad 或 A/rad)
b	极点频率与零点频率之比	K_{DC}	PLL 的 DC 增益(rad/s)
f	频率(Hz)	K_i	模拟 PLL 的增益系数，$i=1,2,\cdots$
f	傅里叶变换的变换变量	K_m	乘法器的增益(V^{-1})
f_c	检相器的比较频率(Hz)	K_o	VCO 的增益(rad/s·V)
f_{clk}	时钟频率(Hz)	K_p	检相器的增益(V/cycle)，其值等于 $2\pi K_d$
f_m	调制频率(Hz)	K_v	VCO 的增益(Hz/V)，其值等于 $K_o/2\pi$
f_s	采样频率(Hz)，其值等于 $1/t_s$	k	整数
Δf	频率偏离的峰值(Hz)	$L\{x\}$	x 的拉普拉斯变换式
Δf	相对于载波的频偏(Hz)	$\mathcal{L}(f)$	信号的归一化单边 RF 谱
δf	量化调谐振荡器的频率步长(Hz)	m, M	整数
D	延迟(样点间隔数)	$m(t)$	调制波形
$E(f)$	其值等于 $E(s)\vert_{s=j2\pi f}$	N_0	白噪声的单边谱(V^2/Hz)
$E(s)$	PLL 的闭环误差传递函数	n, N	整数
$F(s)$	环路滤波器的传递函数	$n(t)$	噪声电压(V)
$FP[x]$	x 的小数部分	$n_c(t), n_s(t)$	带通噪声的基带正交分量(V)
$G(s)$	PLL 的开环传递函数	o	表示"输出"或"振荡器"的下标
$H(f)$	其值等于 $H(s)\vert_{s=j2\pi f}$	$P_{RF}(f)$	由谱分析仪输出的 RF 信号的单边谱密度表示
$H(s)$	PLL 的闭环系统传递函数	P_s	信号功率(W)
$Im[x]$	x 的虚部	p	归一化的拉普拉斯变量，其值等于 $s\tau_2$
$IP[x]$	x 的整数部分	Q	谐振器的品质因数
i	表示"输入"的下标	Q	量化的级数
i	整数	Q	标度比
$J_n(x)$	以 x 为自变量的第一类 n 阶贝塞尔函数	$Re[x]$	x 的实部

① 本书保留了原版的图形文字符号表示法，与国内标注有所不同，请读者注意。——编者注

（续）

r(t)	接收到的信号	V_s	输入信号的峰值电压(V)
$s=\sigma+j\omega$	拉普拉斯变换的变换复变量	$v_c(t),V_c(s)$	VCO的控制电压(V)
SNR	信噪比	$v_d(t),V_d(s)$	检相器的输出(V)
SNR_L	PLL噪声带宽$2B_L$内的信噪比	$W_{n'}(f)$	检相器等效噪声输出的单边谱密度(rad^2/Hz)
t	时间(s)	$W_{\theta no}(f)$	由PLL的输入噪声引起的VCO相位的单边谱密度(rad^2/Hz)
t_s	采样间隔时间(s)，其值等于$1/f_s$	$W_{RF}(f)$	测量得到的RF信号的单边谱密度(V^2/Hz)
$u_c[n]$	NCO的第n个控制输入样点(无量纲)	$W_{so}(f)$	振荡器输出的理论单边谱密度(V^2/Hz)
$u_d[n]$	数字检相器的第n个输出样点(无量纲)	$W_\phi(f)$	相位噪声的单边基带谱(rad^2/Hz)
V_o	VCO的峰值输出电压(V)	z	z变换的变换变量

希腊符号

α	限幅器的信号抑制因子(无量纲)	ρ	信噪比
β	角度调制的调制度(rad)	σ_x	x的标准偏差
γ	信号的峰顶因子	τ	定时误差(s)
$\epsilon[n]$	第n个相位样点(cycle)	τ	延迟(s)
ζ	二阶PLL的阻尼因子	τ_i	时间常数(s)，$i=1,2,\cdots$
θ	相位角(rad)	τ_2	2类PLL中起稳定作用的零点的时间常数(s)
θ_a	由频率斜升输入引起的稳态相位误差(rad)	$\phi(t)$	相位噪声(rad)
θ_e	输入信号与VCO之间的相位误差(rad)，其值等于$(\theta_i-\theta_o)$	ψ	沿单位圆的角度(rad)
θ_i	输入信号的相角(rad)	ψ	归一化频率(无量纲)，其值等于ωt_s
θ_{no}	由噪声引起的VCO相位的波动(rad)	$\psi(s)$	传递函数的相位(rad)
θ_o	VCO的相位(rad)	ψ_{gc}	采样PLL开环传递函数的归一化单位增益穿越频率$\omega_{gc}t_s$，$\lvert G(e^{j\psi_{gc}})\rvert=1$
θ_v	由频率偏移引起的稳态相位误差(静态相位误差；环路应力)	ω	角频率(rad/s)，其值等于$2\pi f$
$\Delta\theta$	相位偏离(rad)	ω_c	检相器的比较频率(rad/s)，其值等于$2\pi f_c$
$\Delta\theta$	相位阶跃的幅度(rad)	ω_{gc}	开环传递函数的单位增益穿越频率(rad/s)，$\lvert G(j\omega_{gc})\rvert=1$
κ	数字PLL的环路增益(无量纲)	ω_m	调制频率(rad/s)
κ_d	数字检相器的增益(rad^{-1})	ω_n	二阶PLL的固有频率(rad/s)
κ_i	数字PLL的增益系数，$i=1,2,\cdots$	ω_π	相位穿越频率(rad/s)，$Arg[G(j\omega_\pi)]=-\pi$
κ_o	NCO的增益(rad)	$\Delta\omega$	频率偏移或频率阶跃(rad/s)
κ_p	数字检相器的增益($cycle^{-1}$)，其值等于$2\pi\kappa_d$	$\Delta\omega_H$	PLL的保持极限(rad/s)
κ_v	NCO的增益(cycle)，其值等于$\kappa_o/2\pi$	$\Delta\omega_L$	PLL的锁定极限(rad/s)
Λ	频率的变化率(rad/s^2)，其值等于$d\omega/dt$	$\Delta\omega_P$	PLL的拉入极限(rad/s)

目　　录



第 1 章　简　　介

锁相环(PLL)包含 3 个必不可少的单元电路(如图 1-1 所示):检相器(PD)、环路滤波器(LF)和压控振荡器(VCO)。检相器把周期性输入信号的相位与 VCO 信号的相位进行比较;PD 的输出信号是这两个输入信号之间相位误差的度量。之后,该误差电压由环路滤波器进行滤波,而环路滤波器的输出被用作控制电压送入 VCO。控制电压改变了 VCO 的频率,以减小输入信号与 VCO 之间的相位误差。

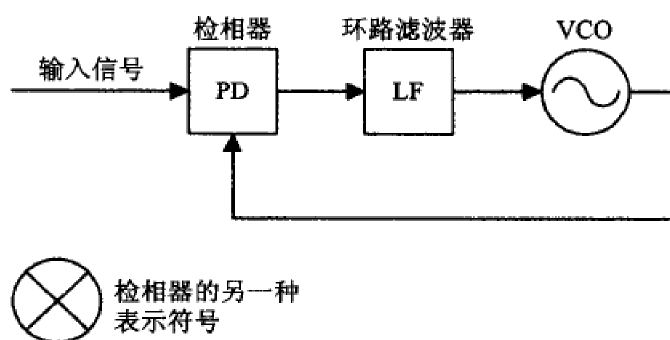


图 1-1　基本的锁相环

当环路锁定时,控制电压把 VCO 频率的平均值调整到与输入信号频率的平均值完全一样。对于输入信号的一个周期,振荡器仅输出一个周期。锁相并非意味着零相位误差;恒定的相位误差和起伏的相位误差都可能存在于锁相环中。过大的相位误差会导致失锁。

1.1　PLL 的性质

在本节中,我们将简单介绍锁相环的一些基本性质,这些性质将在本书中反复出现。

1.1.1　带宽

带宽是一个最基本的特性;窄带 PLL 与宽带 PLL 使用起来非常不一样。

1. 窄带

我们假设输入信号携带的信息是包含在相位或频率中的,而且假设输入信号因加入了加性(additive)噪声而变坏。锁相接收器的任务是正确地重建原始信号,并尽可能

多地去除噪声。为了重建信号，接收器使用了一个本地振荡器，而这个振荡器的频率非常接近于预期的输入信号频率。本地振荡器的波形与输入信号的波形在检相器中进行比较。从PD输出的误差信号表示了瞬时相位差。为了抑制噪声，PLL求出一段时间内的误差平均值，并用这个平均值调整振荡器的频率与相位。

如果原始的输入信号是行为规矩的(即其频率是稳定的)，那么本地振荡器只需要很少的一点信息就可以实现跟踪，而这个信息可以通过在一个长时间段内求平均值得到，从而去除了可能会很大的噪声。PLL的输入信号含有很大的噪声，而VCO的输出信号是滤除噪声后的输入信号。因此，PLL可以看成是一种让信号通过、把噪声滤除的滤波器。

作为一种滤波器，PLL有两个重要的特性：第一，它的带宽可以很窄；第二，它能自动跟踪信号的频率。自动跟踪和窄带这两个特性是在接收器中采用锁相技术的主要原因。很窄的带宽可以剔除大量的噪声；对于PLL而言，把输入到检相器的混有大量噪声的信号恢复出来的情况并不少见。

2. 宽带

我们来考察一个带有某些有用特性的振荡器，比如大功率输出或者高频输出，但它的频率稳定性很差。这样一个振荡器的频率可以用锁相技术锁定到一个功率比较小的基准振荡器上来得以稳定，这个基准振荡器的频率也许低一些，但极其稳定。PLL的作用就好比一个伺服机构，用来抑制已被锁定振荡器中的不希望出现的频率波动和相位波动。这样的PLL应当有快速的响应，即很宽的带宽，以便最大限度地抑制振荡器的波动。

2

1.1.2　线性

每一个PLL都是非线性的。与线性系统的分析工具相比，非线性系统的分析工具极其难用，且优点也太少。还算幸运的是，我们感兴趣的大多数(但不是全部)PLL在锁定状态下是可以使用线性系统的分析技术的。本书自始至终都在说服读者接受这样一个观点，即把线性方法用于解决大多数PLL中大量的分析和初步设计问题，是完全够用的。因此，只要可行，我们都将使用线性近似的方法。

关于PLL的无法回避的非线性的若干个重要实例，我们将在后面几章中进行讨论。在我们试图理解非线性操作而遇到障碍的时候，就完全地显现出了线性分析方法的相对简单性。

1.2　本书结构

本书分为若干个部分。第一部分包括第2章到第8章，解释了PLL的基本原理。第二部分讲述了PLL的基本单元：振荡器(第9章)、检相器(第10章)、环路滤波器(第11章)和电荷泵(第12章)。第13章(关于数字锁相环)和第14章(关于PLL的不规则

行为)是各自独立的章节。最后一个部分,即第 15 章到第 17 章,讨论了 PLL 的各种应用。

需要说明的是:对一种技术的第一次介绍,即使不是过分简化的,一般也总是非常简化的,几乎没有提及严密性,也不会对一些复杂的因素提出警示。在读者打下了足够的基础后,这些复杂的因素会在必要的地方提及。PLL 中的那些必不可少的电路单元未必特别晦涩难懂,虽然对它的诸多方面的分析也许是难以掌握的。读者更可能是被大量的细节所困扰,而不是因为无法理解和掌握某些技术要点。像图 1-1 所示的系统,在第一次出现时显得这么简单,读者会觉得有些小题大做了:就这么一点儿东西为什么可以写出这么多页的一本书?请接着往下读,你会找到答案的。

1.3 文献及注释

本节列出了专门论述 PLL 的书目、技术文集和杂志专刊。在同一标题下的文献以年代排序。所罗列的文献主要是关于 PLL 的共性方面的内容;它们并不一定很完整。在后面的章节中还引用了更专业的文献。

1.3.1 推荐书目

A. J. Viterbi, *Principles of Coherent Communications*, McGraw-Hill, New York, 1966, Chaps. 2–4.(一位电子工程界的著名先驱对PLL领域各种贡献的叙述。)

W. C. Lindsey, *Synchronization Systems in Communications and Control*, Prentice Hall, Englewood Cliffs, NJ, 1972. (关于噪声的详细阐述。包括随机过程和非线性分析的深入理论。)

W. C. Lindsey and M. K. Simon, *Telecommunication Systems Engineering*, Prentice Hall, Englewood Cliffs NJ, 1973. (关于PLL在外太空接收机中应用的高层次论述。)

A. Blanchard, *Phase-Locked Loops: Application to Coherent Receiver Design*, Wiley, New York, 1976. (书中包含的数据是在其他关于PLL接收机性能的文献中找不到的。)

H. Meyr and G. Ascheid, *Synchronization in Digital Systems: Phase-, Frequency-Locked Loops, and Amplitude Control*, Wiley, New York, 1990. (书中包含大量的资料,对每个真正的PLL工作者都是极其宝贵的。)

D. H. Wolaver, *Phase-Locked Loop Circuit Design*, Prentice Hall, Englewood Cliffs, NJ, 1991. (一本关于PLL的实用性导论,提供了许多简捷的近似方法。)

J. Encinas, *Phase Locked Loops*, Kluwer Academic, Boston, MA, 1993.

P. V. Brennan, *Phase-Locked Loops: Principles and Practice*, McGraw-Hill, New York, 1996.

J. L. Stensby, *Phase-Locked Loops: Theory and Applications*, CRC Press, Cleveland, OH, 1997. (书中包括了在别处找不到的关于非线性操作的记述。)

W. Egan, *Phase-Lock Basics*, Wiley, New York, 1998. (源自大学PLL课程讲义,提供PLL仿真实验的在线访问。)

D. R. Stephens, *Phase-Locked Loops for Wireless Communications*, Kluwer Academic,

3

Boston, MA, 2001.

R. E. Best, *Phase-Locked Loops*, 5th ed., McGraw-Hill, New York, 2003.（一本很流行的入门教材，图文并茂，配有软件。）

V. F. Kroupa, *Phase Lock Loops and Frequency Synthesis*, Wiley, Chicester, West Sussex, England, 2003.（关于基本概念的详细论述。）

N. I. Margaris, *Theory of the Non-linear Analog Phase Locked Loop*, Springer-Verlag, Berlin, 2004.

W. H. Tranter, *Phase-Locked Loops and Synchronization Systems: A Matlab-Based Simulation Library*, Prentice Hall, Englewood Cliffs, NJ, 2005.

1.3.2 技术文集

这些文集是关于 PLL 一般性论题的论文集。其中的许多文章是各自论题中的经典论著。其他关于各个专门论题的文集将罗列在后面的章节中。

W. C. Lindsey and M. K. Simon, eds., *Phase-Locked Loops and Their Applications*, IEEE Press, New York, 1978.

W. C. Lindsey and C. M. Chie, eds., *Phase-Locked Loops*, IEEE Press, New York, 1986.

B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, IEEE Press, New York, 1996.

[4] B. Razavi, *Phase-Locking in High-Performance Systems*, IEEE Press, New York, and Wiley, Hoboken, NJ, 2003.

1.3.3 杂志专刊

IEEE 期刊中出版了两期关于锁相环的专刊。

W. C. Lindsey and C. M. Chie, guest eds., *IEEE Transactions on Communications* ***COM-30***, Oct. 1982.

[5] M. H. Perrott and G.-Y. Wie, guest eds., *IEEE Transactions on Circuits and Systems II* ***50***, Nov. 2003.



第 2 章　模拟 PLL 的传递函数

从本质上讲，PLL 必然是一种非线性电路，但大多数 PLL 的主要操作都可以很好地用线性模型近似。在相位误差很小时，线性模型一般是适用的，这个条件在环路锁定时都能达到。大多数关于 PLL 的分析和设计都可以使用这种线性近似的方法；当线性近似不成立时，PLL 的分析就变得异常困难。

在线性分析工具中，拉普拉斯变换和傅里叶变换，以及由此派生出的诸多概念，是特别有用的。其中的*传递函数*描述了线性电路在变换域上的输入与输出之间的关系，是分析 PLL 的极其有用的工具。PLL 的解析设计方法几乎是完全通过传递函数进行的。应当注意的是，只有线性电路才有传递函数；非线性电路是没有这种性质的。

模拟 PLL 的传递函数将在本章和下一章介绍，数字 PLL 的传递函数将在第 4 章中介绍。在这几章中得出的结论将应用于本书的其他章节。

2.1　基本传递函数

在通常的电路中，传递函数把输入信号和输出信号的电流或电压关联了起来。但在 PLL 中，最受关注的输入变量或输出变量是信号的相位，而不是电压或电流。这里考虑的传递函数是把加在 PLL 中某一点上信号的相位调制与 PLL 中另一点上的相位调制响应关联起来。

2.1.1　基本单元电路的传递函数

我们来考虑一个由检相器(PD)、环路滤波器(LP)和压控振荡器(VCO)组成的最基本的锁相环，如图 2-1 所示。输入信号的相位用 $\theta_i(t)$表示，VCO 输出的相位用 $\theta_o(t)$表示，两者都以弧度为单位。我们假设环路是锁定的，而且检相器是线性的，因此 PD 的输出电压为

$$v_d = K_d(\theta_i - \theta_o) \tag{2-1}$$

其中 K_d 叫做检相器的增益因子，以 V/rad(或 A/rad)为单位。我们把相位误差定义为

$$\theta_e = \theta_i - \theta_o \tag{2-2}$$

误差电压 $v_d(t)$是被环路滤波器处理的，环路滤波器的作用是建立环路的动态特性。此外，噪声和信号的高频分量往往被环路滤波器所抑制，但这是次要的功能，这里暂不考虑。我们用 $F(s)$表示环路滤波器的传递函数。滤波器的输出是一个控制电压，表示为 $v_c(t)$，用以控制 VCO 的频率。在拉普拉斯变换域中，环路滤波器的作用可写为

$$V_c(s) = F(s)V_d(s) \tag{2-3}$$

注释：$V_c(s) = L\{v_c(t)\}$，其中 $L\{\cdot\}$ 表示拉普拉斯变换。这个标记法也适用于其他的变量，但有一个例外，这就是，相位变量在时域或变换域中的符号仅依靠圆括号中的自变量 t 或 s 来区分；即 $\theta(s) = L\{\theta(t)\}$。

7

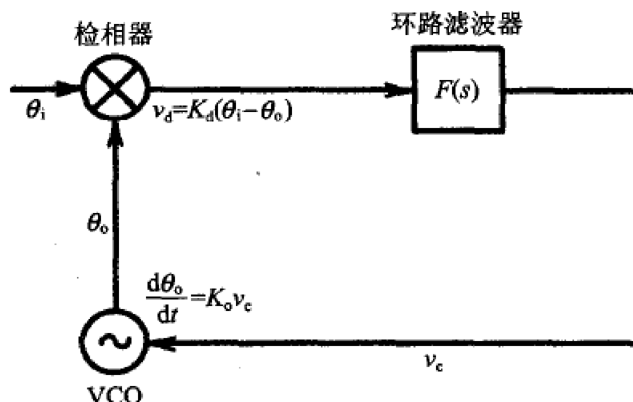


图 2-1　锁相环：基本框图

相对于VCO中心频率的偏移为 $\Delta\omega = K_o v_c$，以 rad/s 为单位，其中 K_o 为VCO的增益因子，单位为 rad/s·V。由于频率是相位的导数，所以VCO的运算可以表示为 $d\theta_o/dt = K_o v_c(t)$。对该式做拉普拉斯变换后得到 $L\{d\theta_o(t)/dt\} = s\theta_o(s) = K_o V_c(s)$，由此我们有

$$\theta_o(s) = \frac{K_o V_c(s)}{s} \tag{2-4}$$

其中 $s = \sigma + j\omega$ 为拉普拉斯变换的独立变量。因为 $1/s$ 是积分运算的拉普拉斯变换，所以VCO的相位正比于控制电压的积分。

2.1.2　合成的传递函数

用各个单元电路的传递函数可以组合成环路的总传递函数，以用于环路的分析和设计。我们可以使用下面这些合成的传递函数。这些公式一般都可用于与图2-1中结构类似的PLL，并与环路滤波器的具体电路无关。

☐ 开环传递函数

$$G(s) = \frac{\theta_o(s)}{\theta_e(s)} = \frac{K_d K_o F(s)}{s} \tag{2-5}$$

☐ 系统传递函数

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{G(s)}{1+G(s)} = \frac{K_d K_o F(s)}{s + K_d K_o F(s)} \tag{2-6}$$

☐ 误差传递函数

$$E(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{1}{1+G(s)} = 1 - H(s) = \frac{s}{s + K_d K_o F(s)} \tag{2-7}$$

评注：(1)PLL不能在开环状态下正确运行。开环传递函数 $G(s)$ 是在形式上由各

个单元电路的传递函数级联形成的。这并不是说，反馈回路可以在实际使用中断开，然后使用简单直接的方法测量出所需的频率响应。不过，这种形式上的开环传递函数是一个很有用的概念，并将在后文中被反复引用。(2)系统传递函数也一直被叫作闭环传递函数(比如，在本书的前两版中)。但环路误差也是用闭环传递函数来描述的，所以"闭环"这个术语的含义就变得模糊不清。我们提议采用系统这个词来避免两义性。

8

2.1.3 特征方程

表达式 $1+G(s)=0$ 称为 PLL 的特征方程。特征方程的根(即那些满足方程的 s 值)是闭环传递函数的极点。极点的位置是 PLL 的重要性质。在大多数 PLL 中，开环传递函数可以写成下面的形式

$$G(s)=\frac{A(s)}{B(s)} \tag{2-8}$$

其中 $A(s)$ 和 $B(s)$ 为 s 的两个代数多项式。把式(2-8)代入式(2-6)和式(2-7)后，得到

$$H(s)=\frac{A(s)}{B(s)+A(s)},\quad E(s)=\frac{B(s)}{B(s)+A(s)} \tag{2-9}$$

多项式 $B(s)+A(s)$ 称为特征多项式，因为该多项式是从特征方程中导出的，并且具有相同的根。这一多项式将在后文中反复出现。

2.1.4 命名法、系数和单位

在上面的方程中，相位是用符号 θ 表示的，并以 rad 为单位，符号 ϕ 也会被用到。频率是用符号 ω 表示的，并以 rad/s 为单位。但频率也经常用符号 f 表示，并以 Hz 为单位。相应地，有时用"周"(cycle)取代 rad 来表示相位会比较方便；符号 ε 即是为此而使用的。在通信界，ε 的单元通常称作单位时间间隔(UI)。

除了相位之外，有时使用时间差 τ 会很方便，这里的 τ 以 s 为单位。θ、ε、τ 和信号频率 $f_s=1/T_s$ 这 4 者之间的关系为

$$\varepsilon=\frac{\tau}{T_s},\quad \theta=2\pi\tau f_s \tag{2-10}$$

前文介绍过 K_d 和 K_o 这两个量，它们分别是检相器和 VCO 的增益系数，分别以 V/rad 和 rad/s・V 为单位。类似的一些定义也同样有效。对于检相器，可以使用系数 K_p，它由下式定义

$$v_d=K_p(\varepsilon_i-\varepsilon_o) \tag{2-11}$$

其中 K_p 的单位是 V/cycle。可以看出，$K_p=2\pi K_d$。同样，对于 VCO 可以使用 K_v，它定义为

$$\Delta f_o=K_v v_c \tag{2-12}$$

9

其中 K_v 的单位是 Hz/V。应当看出，$K_v=K_o/2\pi$，因此 $K_dK_o=K_pK_v$。而且应当注意，K_d 和 K_o 总是以乘积的形式同时出现在传递函数式(2-5)和式(2-7)中的，所以，只要方便的话，可以用 K_pK_v 随意地代替。

器件有时可以规定一些奇怪的单位，比如对检相器可以规定 mV/度。在使用这类数据的时候，务必把这些不常用的单位转换成标准单位。

警告：在使用传递函数时，务必使用互相一致的单位。混合使用各种单位容易产生错误的 2π 因子，导致严重的错误结果。

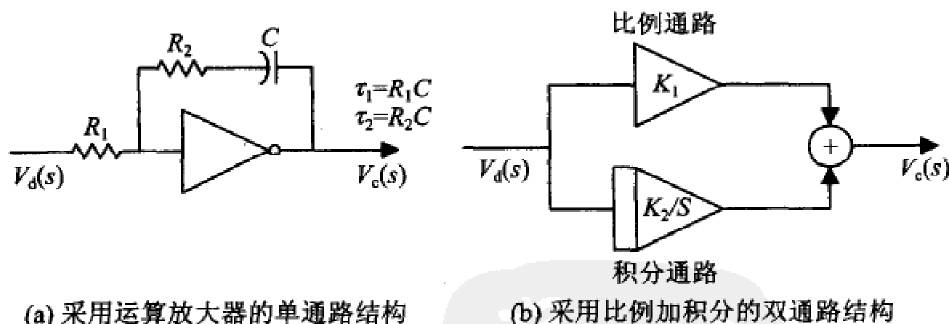
2.2　二阶 PLL

锁相文献中包括大量关于二阶 PLL 的文章。实际应用中的绝大多数 PLL，或者是二阶的（将在下面定义），或者是通过忽略高阶效应（至少在初步设计时）而被设计成近似的二阶环路。二阶环路占优势的原因将在下面几章中说明。本节将简单介绍二阶 PLL 和它的一些特性。

2.2.1　环路滤波器

在开始的时候，我们必须指定一个具体环路滤波器的传递函数 $F(s)$。图 2-2 中示出了两种构成二阶 PLL 的环路滤波器结构。图 2-2a 是用高增益 DC 放大器构成的有源滤波器电路。我们现在先假设放大器的 DC 增益实际上是无穷大的（用现代的放大器技术很容易逼近这个情况），所以这个电路方程可写为

$$\begin{aligned}\tau_1&=R_1C\\ \tau_2&=R_2C\\ F(s)&\approx-\frac{s\tau_2+1}{s\tau_1}=-\left(\frac{\tau_2}{\tau_1}+\frac{1}{s\tau_1}\right)\end{aligned}\tag{2-13}$$



(a) 采用运算放大器的单通路结构　　(b) 采用比例加积分的双通路结构

10

图 2-2　一个二阶 2 类 PLL 的环路滤波器

评注：请注意有源滤波器中的负号，它表示反相。我们将在后面略去这个负号；读者可以理解为这个负号被环路中某处的另一个负号所抵消，并由此实现总环路的负反馈，这对于反馈环路的稳定工作是必需的。在后面几章中将指出，某种类型的检相器可以使环路自动找到负反馈的工作点，而且不受各单元电路中的任何反相操作的影响。但必须保证，在使用其他类型检相器的时候，环路的极点位置是正确的。

图2-2b 是一种比例加积分（P+I）的环路滤波器。不同于前面那个只有一条通路

的有源滤波器，这个滤波器有两条通路。滤波器的传递函数方程为

$$F(s) = K_1 + \frac{K_2}{s} \tag{2-14}$$

其中 K_1 为滤波器的比例通路的增益系数，K_2 为滤波器的积分通路的增益系数。系数 K_1 是无量纲的，但 K_2 必须有(时间)$^{-1}$的量纲，以使总的 $F(s)$为无量纲的。如果 $K_1=\tau_2/\tau_1$ 和 $K_2=1/\tau_1$，那么这两种结构在电学上是等效的。单通路结构在实际中是用得最多的，但双通路结构在电路实现和分析上有非常多的优点；在后面几章中将给出一些例子。环路滤波器的其他结构将在后面几页中介绍；上述这两种结构绝不是仅有的可用的结构。

评注：在事后看来，选用环路滤波器这个名称有所不当，尽管在本书的前两版中传播过这个术语。我们可以特别地注意一下，这些例子并不是低通滤波器，尽管被有些作者错误地这样称呼了。一个比较合适的名称可以叫做环路控制器，这是我们控制系统的同行们使用的术语。这些电路的主要功能是建立反馈环路的动态特性，以及向 VCO 提供合适的控制信号。任何对不需要信号的滤除都是次要任务，而且在后面将讲到，这个滤波任务是由另外的单元电路完成的。但环路滤波器这个词语已经家喻户晓而难于纠正了，所以本书仍沿用这个术语。

11

2.2.2 阶数和类型

现在将式(2-13)和式(2-14)这两个环路滤波器的传递函数代入式(2-6)的基本系统传递函数中，可以得到

$$H(s) = \frac{K_d K_o(s\tau_2+1)/\tau_1}{s^2 + sK_d K_o \tau_2/\tau_1 + K_d K_o/\tau_1} = \frac{K_d K_o(K_1 s + K_2)}{s^2 + sK_d K_o K_1 + K_d K_o K_2} \tag{2-15}$$

这个传递函数的分母多项式(特征多项式)是二次的，所以这个 PLL 被叫作二阶的。分母的两个根是传递函数的两个极点；分子的根是一个零点，位于 $s=-1/\tau_2=-K_2/K_1$。零点是 P+I 滤波器结构所必需的，它对于环路的稳定性是必不可少的。关于这一点，我们将在 2.3.1 节中讨论。

在以往的文献中(包括本书的前两版)，注意力主要放在环路的阶数上(特征多项式的次数)。然而，环路的许多重要特性与环路的类型有着更确切的关系，而不是环路的阶数。类型这个从控制专业中借用过来的术语，是指环路中积分器的个数。因为在本节中所考虑的这个特定的环路包含了两个积分器(一个在环路滤波器中，另一个在 VCO 中)，所以除了是一个二阶 PLL 外，还是一个 2 类 PLL。

因为每一个积分器向传递函数贡献一个极点，所以从这一点来说，阶数永远不会低于它的类型。但经常会在环路中增加一些非积分器的滤波电路，因而就增加了一些极点，增加了阶数，但类型不变。由于 VCO 本质上是执行积分运算的，所以 PLL 至少是 1 类的。2 类 PLL 是被普遍使用的，其理由将在 5.1.1 节中说明。偶尔也会使用 3 类 PLL(将在后面讲到很好的理由)，而且我曾见过一个 4 类的 PLL。

故意增加滤波电路和电路中存在的不需要的分布元件，可以使环路增加非积分器

的极点，使阶数超过类型。在一些非常复杂的电路中可以发现十阶乃至十二阶的环路，但类型仅为1类或2类。

2.2.3 环路参数

二阶传递函数(2-15)，虽然只有两个极点和一个零点，但却包含了许多系数（增益和时间常数）。这样写出的传递函数太复杂了；我们可以用一个改进的标记法，使传递函数表达得比较简洁。一个二阶2类PLL的传递函数可以用两个恰当的环路参数完全确定。在最初的设计和分析中使用环路参数是非常方便的，在确定出了满足要求的参数之后，再把这些参数分解为增益和时间常数。本节将对PLL文献中经常出现的两组不同的参数给出定义。

12

1. 固有频率和阻尼

二阶PLL中最常用的一组参数是无阻尼固有频率 ω_n rad/s(一般称作固有频率)和无量纲的阻尼系数 ζ。二阶2类PLL的这两个参数可以用式(2-15)中的系数和时间常数定义为

$$\omega_n = \sqrt{\frac{K_d K_o}{\tau_1}} = \sqrt{K_d K_o K_2}$$
$$\zeta = \frac{\tau_2}{2}\sqrt{\frac{K_d K_o}{\tau_1}} = \frac{\tau_2 \omega_n}{2} = \frac{K_1}{2}\sqrt{\frac{K_d K_o}{K_2}} \tag{2-16}$$

系统传递函数则简化为

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{2-17}$$

固有频率和阻尼是对于一对极点的环路性质的简便描述，所以非常适合于二阶环路。如果 $\zeta<1$，这两个极点是一对共轭复根；如果 $\zeta=1$，这两个极点是重合的实根；而当 $\zeta>1$ 时，这两个极点为不重合的实根。当 $\zeta<1$ 时，从 s 平面的原点到极点的矢量长度等于 ω_n，而负实轴与该矢量之间的夹角的余弦为 ζ，如图2-3所示。当 $\zeta\geqslant1$ 时，极点位置的几何平均值即等于 ω_n，而这两个极点的位置之比为

$$2\zeta^2 + 2\zeta\sqrt{\zeta^2-1} - 1$$

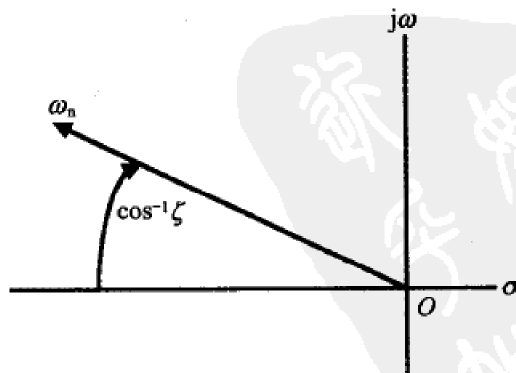


图2-3 复数极点的 ω_n 与 ζ 的几何表示

ζ 的典型值在 0.5 与 2 之间，而 0.707 是最常用的值。有时也使用比这些数大许多的值，如 20 或 30。阻尼小于 0.5 的环路的瞬态响应呈现太大的过冲，因此动态性能无法让人满意。远大于 1 的阻尼因子，只有在一些特殊的情况下才被使用，2.2.4 节中就有这样的一个例子。ω_n 有一个非常宽的取值范围，根据需要，其范围大约从 10^{-5} 到 10^8 rad/s，甚至更大。

13

固有频率和阻尼是受欢迎的一组参数，因为它们有直观的物理解释，还因为它们大量地出现在 PLL 的文献中。然而严格地说，这些参数仅适用于二阶环路。ω_n 的一个扩展了的定义可适用于高于二阶的 2 类环路(将在第 3 章中介绍)，但对于一阶 PLL 和三类或更高类的 PLL 而言，这个扩展定义则毫无意义。而且，ω_n 常被用作二阶环路带宽的衡量。后面我们将指出，ω_n 用作带宽的衡量并不太合适；我们需要更好的衡量方式。

2. 环路增益 K

对于讨论中的二阶 2 类 PLL，我们定义环路增益为

$$K = K_d K_o K_1 = \frac{K_d K_o \tau_2}{\tau_1} \tag{2-18}$$

这个等式将被看作由比例通路产生的开环增益，但不包含由 VCO 中的积分而产生的 $1/s$ 因子。在 2.3.1 节中，我们将对 K 规定一个适用于其他阶数和其他类型 PLL 的更广泛的定义。一个二阶环路需要两个参数，只用一个 K 是不够的。我们可以选用 ζ 作为第二个参数，或者如后文中广泛使用的 τ_2 也很好。二阶 2 类 PLL 的任意两个参数都可以用任意其他两个参数确定。其中的一些关系为

$$\begin{aligned} K &= 2\zeta\omega_n, \qquad \omega_n = \sqrt{\frac{K}{\tau_2}} \\ K\tau_2 &= 4\zeta^2, \qquad \zeta = \frac{1}{2}\sqrt{K\tau_2} \end{aligned} \tag{2-19}$$

使用 K 之后，参量化的系统传递函数(2-15)就变为

$$H(s) = \frac{K(s + K/4\zeta^2)}{s^2 + Ks + K^2/4\zeta^2} = \frac{K(s + 1/\tau_2)}{s^2 + Ks + K/\tau_2} \tag{2-20}$$

相应的误差响应为

$$E(s) = \frac{s^2}{s^2 + sK + K^2/4\zeta^2} = \frac{s^2}{s^2 + sK + K/\tau_2} \tag{2-21}$$

3. DC 增益 K_{DC}

把 PLL 的 DC 增益定义为

$$K_{DC} = \left| \lim_{s \to 0} sG(s) \right| = K_d K_o \left| F(0) \right| \tag{2-22}$$

14

这个定义适用于所有阶数和所有类型的 PLL。对于 1 类环路，$F(0)$ 是有界的，而 $F(s)$ 中的那些积分器则使 2 类或 2 类以上的环路增益变为无穷大。关于 K_{DC} 的含义将在 5.1.1节中说明。

2.2.4　频率响应

二阶 2 类 PLL 的幅度响应 $|H(j\omega)|$ 和 $|E(j\omega)|$ 画在图 2-4 至图 2-7 中(幅度以 dB 为单位,频率以对数比例尺表示),其中阻尼因子 ζ 取若干个值。图 2-4 和图 2-5 中的频率比例尺是相对于固有频率 ω_n 归一化的,而图 2-6 和图 2-7 中的频率比例尺是相对于环路增益 K 归一化的。从这些图中可以看出传递函数的几个显著特性。

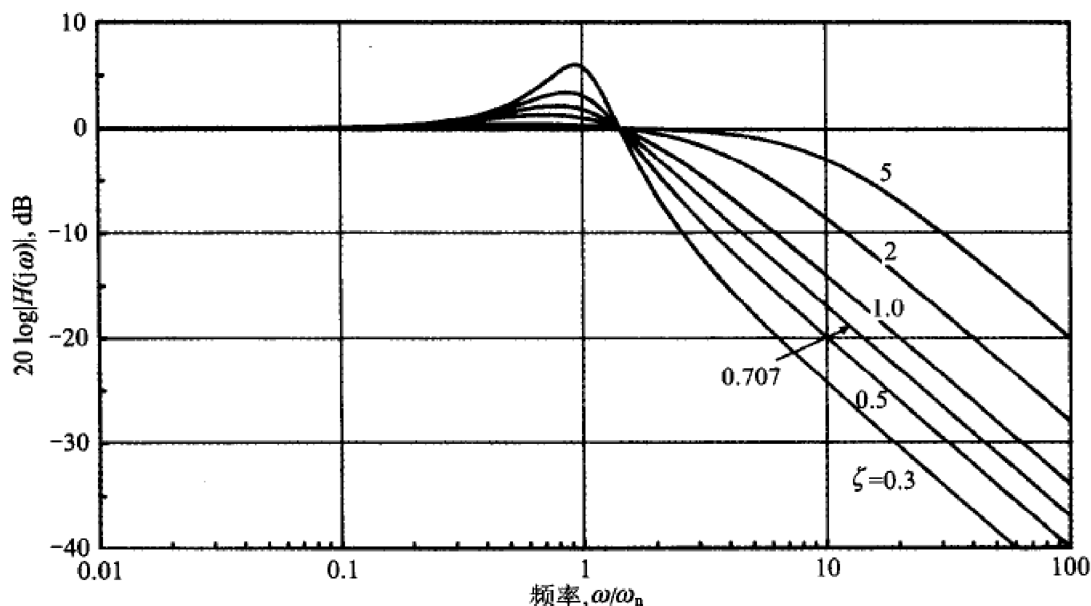


图 2-4　一个二阶 2 类 PLL 的频率响应 $|H(j\omega)|$。频率是相对于固有频率 ω_n 归一化的

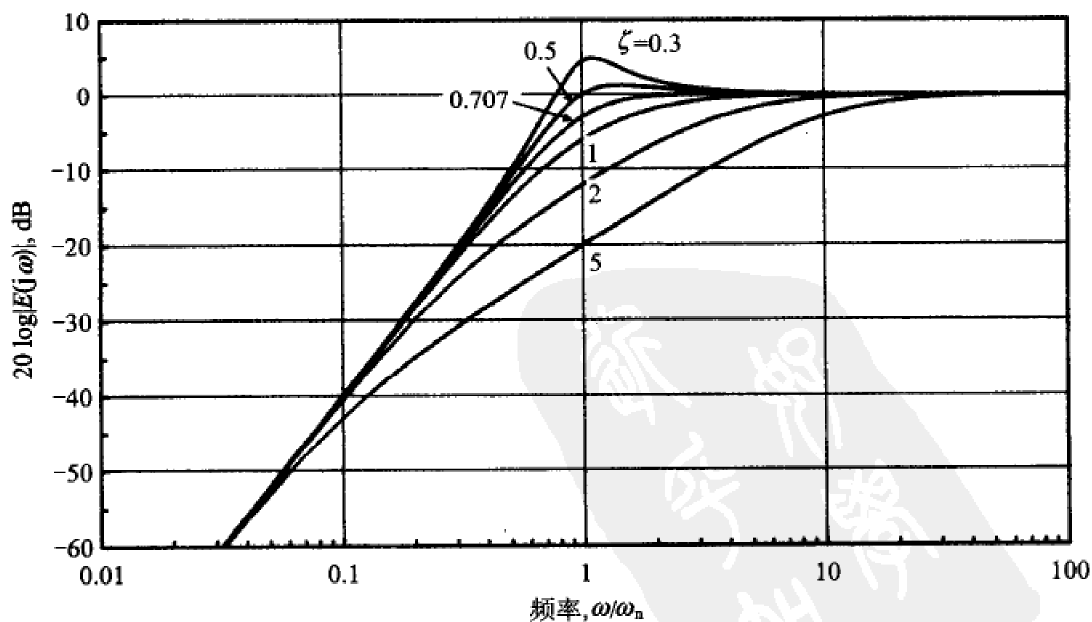


图 2-5　一个二阶 2 类 PLL 的响应 $|E(j\omega)|$。频率是相对于固有频率 ω_n 归一化的

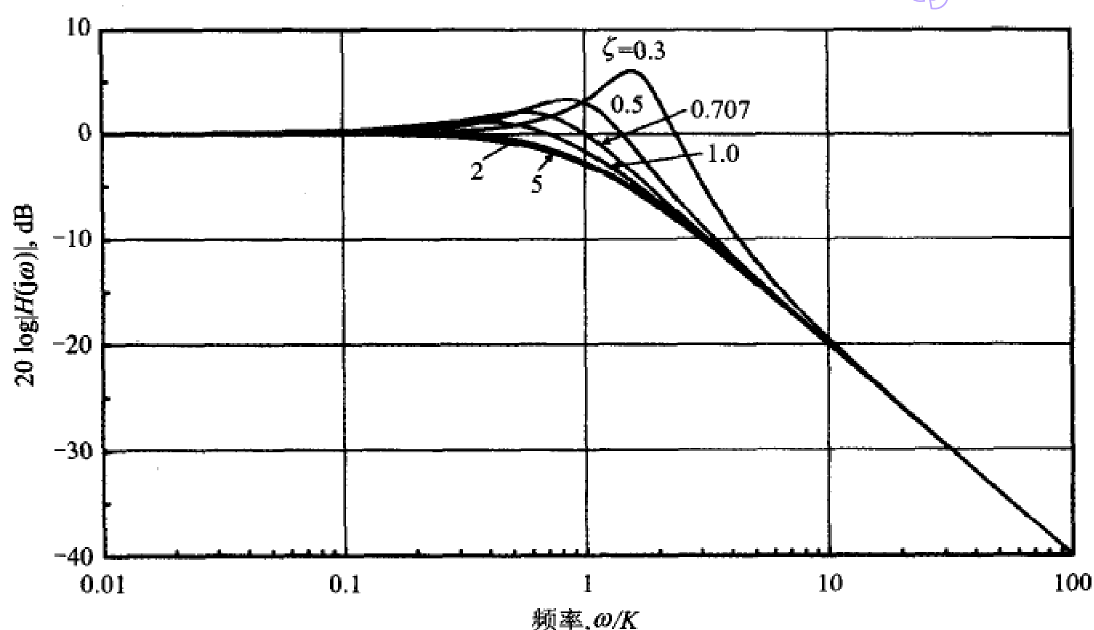


图 2-6 一个二阶 2 类 PLL 的频率响应 $|H(j\omega)|$。频率是相对于环路增益 K 归一化的

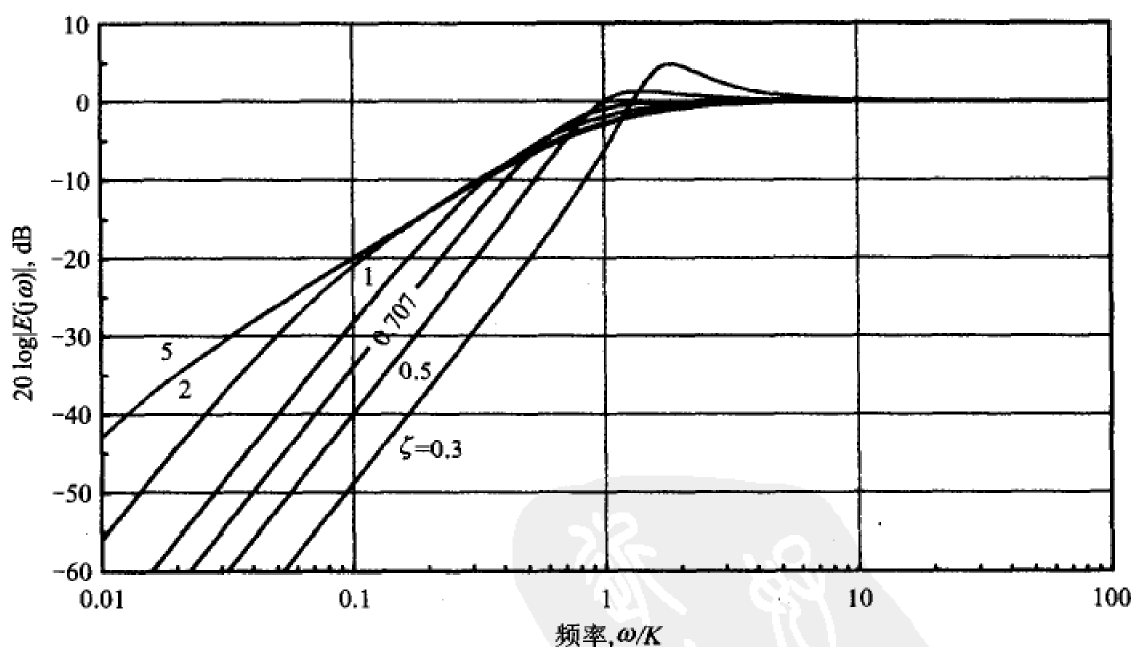


图 2-7 一个二阶 2 类 PLL 的频率响应 $|E(j\omega)|$。频率是相对于环路增益 K 归一化的

1. 相位滤波特性

考察这些幅度响应后可以知道，系统传递函数 $H(s)$ 对输入信号的相位调制进行了低通滤波，而误差响应传递函数 $E(s)$ 完成了高通滤波的处理。这两个不同类型的相位滤波运算是所有 PLL 都具有的。对于不同阶数和不同类型的 PLL，只是具体实现上

的差异。之所以有这样两个滤波特性,是因为PLL的频带必须有限定的范围。对于环路带宽内的输入信号的相位调制,环路是可以跟踪的,而对于带宽之外的相位调制是无法跟踪的。因此,在环路带宽内的输入相位调制被传递到VCO的相位输出端,但环路带宽以外的输入相位调制则被衰减。而误差响应必然是与此互补的:对环路带宽之内的输入相位调制进行跟踪时误差很小;而对环路带宽之外的输入相位调制,由于无法跟踪而产生几乎100%的跟踪误差。

15～16

2. 渐近线响应

观察一下频率响应$|H(j\omega)|$和$|E(j\omega)|$的渐近线是有启发的。从式(2-20)和式(2-21)可以看出,一个二阶2类PLL的渐近线可表示为

$$
\begin{aligned}
|H(j\omega)| &\approx \begin{cases} 1, & \omega \ll K \\ \dfrac{K}{\omega}, & \omega \gg K \end{cases} \\
|E(j\omega)| &\approx \begin{cases} \dfrac{\omega^2}{\omega_n^2}, & \omega \ll \omega_n \\ 1, & \omega \gg \omega_n \end{cases}
\end{aligned}
\tag{2-23}
$$

因此,$|H(j\omega)|$的高频渐近线是以-6 dB/倍频的速率下降的,而$|E(j\omega)|$的低频渐近线是以$+12$ dB/倍频的速率上升的。这两条渐近线都与阻尼ζ无关。不同的$|H(j\omega)|$渐近线斜率是由不同阶数的PLL产生,而不同的$|E(j\omega)|$的斜率是由不同类型的PLL产生的。

3. 带宽

PLL的带宽应当怎样来定义?实际上并不存在一个能满足所有用途的单一的定义。可以被选作带宽的参数有:固有频率ω_n、环路增益K、噪声带宽B_L和3dB带宽ω_{3dB}。

固有频率是被广泛用于表示带宽的,但只要略看一下图2-4中的低通曲线便可知道,固有频率并不是一个对$H(s)$满意度的度量值,因为它受到ζ的强烈影响;我们需要一个较好的定义。不过,固有频率确实很好地指出了$E(s)$高通滤波特性的转角频率,见图2-5。这个对高通滤波频率响应的可用性可以推广到更高阶的2类PLL,但固有频率这个术语对于任何一个既不是二阶又不是2类的PLL是毫无意义的。

17

图2-6表示了K是对于$H(s)$的低通滤波转角频率的一个很好的表征,而且这种表征对于任何阶数、任何类型的PLL都同样适用。2.3.1节中将介绍,K的另外一些特性也非常适合于带宽的定义。在本书的后文中,使用带宽这个术语时就是指使用K,除非有更恰当的词语。然而,在图2-7中可以看到,K是对于$E(s)$的高通转角频率的一个很差的表征。

如果加性白噪声是主要扰动的话,那么6.1.3节中定义的噪声带宽B_L是一个对PLL带宽的恰当的度量,尽管噪声带宽不太适用于低噪声的情况(这时也许选用K比较合适)。B_L与K之间的关系将在第6章中做详细介绍。本书中的B_L是指噪声带宽。

常用的滤波器一般用3 dB带宽来定义。锁相环的带宽似乎也可以这样来定义,但

这样做几乎没有什么用。我们可以从图 2-4 至图 2-7 中确定 3 dB 的带宽，但这样确定的带宽并没有什么确切的含义。二阶 2 类 PLL 的低通响应$|H(j\omega)|$的 3 dB 带宽可以用下式计算：

$$\omega_{3\,dB}=K\left(\frac{1}{2}+\frac{1}{4\zeta^2}+\frac{1}{2}\sqrt{1+\frac{1}{\zeta^2}+\frac{1}{2\zeta^4}}\right)^{1/2} \tag{2-24}$$

该带宽在ζ取值较大时接近于K，这在图 2-6 中可以清楚地看出。

4. 增益峰值

图 2-4 至图 2-7 中的响应曲线呈现明显的峰值，尤其在小阻尼时。$|E(j\omega)|$的高通响应仅当$\zeta<\sqrt{0.5}\approx0.707$时才有峰值，当$\zeta$大于此值时不出现峰值。低通响应$|H(j\omega)|$在小阻尼时呈现很大的峰值，但对于二阶 2 类 PLL，无论阻尼取多大，这种峰值都不会完全消失。

为什么低通曲线总是有峰值呢？在小阻尼($\zeta<0.707$)的情况下，传递函数的复数极点靠近s平面的虚轴，因此小阻尼时的谐振效应变得很明显。但对于较大阻尼的情况，峰值依然存在，甚至在过阻尼($\zeta>1$)的情况下，也有峰值：也就是说，那些仅有实极点的环路没有谐振效应。在大阻尼情况下出现峰值的原因是$H(s)$分子中的那个位于$s=-1/\tau_2$处的零点。这个零点使$|H(j\omega)|$随频率的增加而增加；这种增加最后被那些极点的滚降所阻止。随着K的增加(阻尼的增加)，零点与最近的一个极点之间的距离就减小，但只要K取任何有限的值，这个极点永远不会与零点重合。因此，二阶 2 类 PLL 的$|H(j\omega)|$总表现出一定的增益峰值。 18

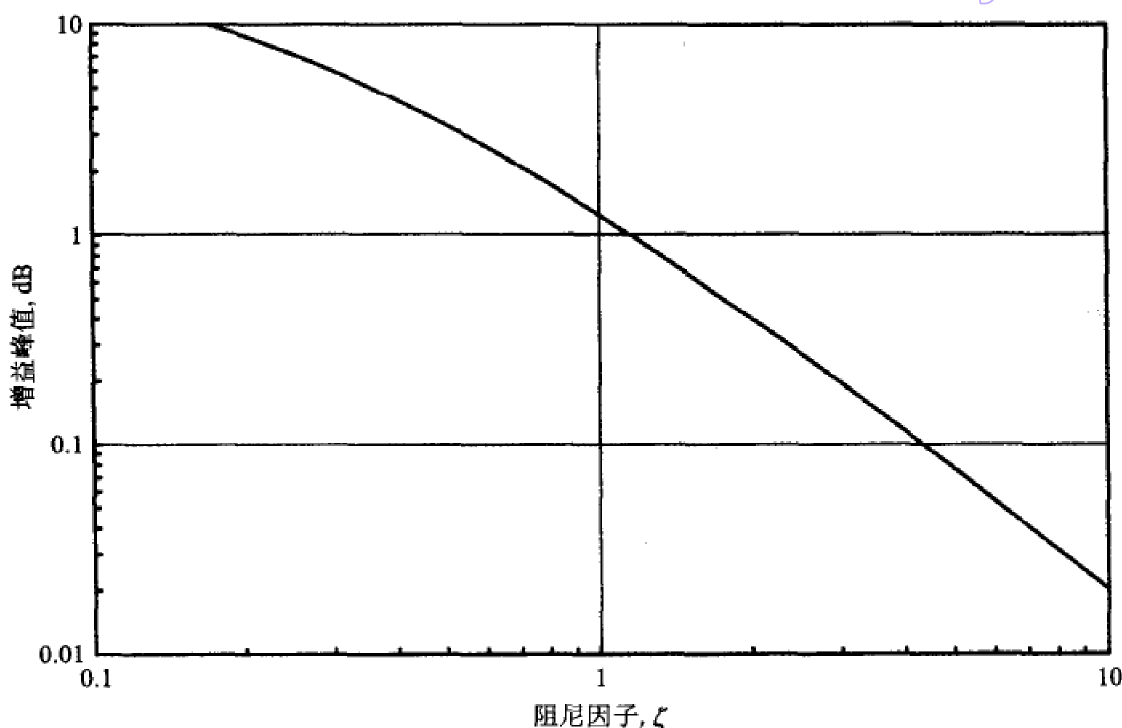
如果零点使增益出现峰值，那为何不去除这个零点以消除峰值呢？2.3.3 节将说明，这样的零点是保证 2 类 PLL 稳定工作所必需的。更广义地说，为了使一个n类的环路工作稳定，就需要有$(n-1)$个零点。有些工程师认为三阶的环路可以抑制峰值；但一直缺乏明确的证据。对于图 2-1 中的这种 PLL 结构，增益峰值是为了从环路滤波器的积分器上获得好处而必须付出的代价。

适度的峰值在许多应用中是无关大局的，但并非对所有的应用都如此。试设想这样一种情况：有许多 PLL 级联在一起，比如在电信系统中的一个转发器链路中。如果每个转发器仅有 1 dB 的峰值(相当于$\zeta\approx1$，一般认为是一个不小的阻尼)，如果转发器链路中共有 100 个转发器(并非太夸张的数目)，又假定没有采取任何预防性措施，那么这个转发器链路将会有 100 dB 的峰值，那就是一场灾难。电信设备中转发器的常用的标准规定最大峰值仅为 0.1 dB。

从式(2-20)传递函数$H(s)$的分析中可以看出，一个二阶 2 类 PLL 的增益峰值可以用下式来计算

$$\text{增益峰值}=10\log\frac{8\zeta^4}{8\zeta^4-4\zeta^2-1+\sqrt{8\zeta^2+1}} \tag{2-25}$$

峰值与阻尼之间的关系曲线见图 2-8。小于 0.1 dB 的峰值要求$\zeta>4.4$。



19

图 2-8 一个二阶2类PLL的$|H(j\omega)|$的增益峰值曲线

5. 环路稳定性

不能保证反馈环路稳定性的设计是不完整的，锁相环也决不例外。关于基本二阶2类PLL的文献一般几乎不讲环路的稳定性，因为这样的环路对于增益K的所有值都是无条件稳定的。许多其他环路类型和阶数的PLL并没有这样的稳健性；我们需要密切注视其稳定性，这将在下文中加以探讨。

2.3 其他环路阶数和类型

尽管在前面章节中重点强调二阶和2类锁相环，但读者不要认为所有的锁相环都是二阶和2类的。事实并非如此：大量实用中的PLL都是不同于那个基本结构的，有的变动小些，有的变动甚大。要想熟练掌握PLL技术，就必须理解这些变异的结构。本节中，我们将选取PLL其他形式的一些实例，后面的几章中将会有更多例子。

2.3.1 环路增益K的一般性定义

我们首先重新定义增益K，使其适用于几乎所有要遇到的PLL。前面的式(2-18)中的定义只适用于二阶2类PLL。为了得到扩展的定义，首先把环路滤波器的传递函数分成两个独立环节的级联，其形式如下

$$F(s) = F_{p+i}(s)F_{hf}(s) \tag{2-26}$$

其中下标“p+i”表示比例加积分(P+I)，下标“hf”表示高频。也就是，F_{hf}的最大的影响

是在"高"频区，而在一般情况下，这个"高"频响应的大部分位于 PLL 的带宽之外。对 $F_{hf}(s)$唯一的约束是 $F_{hf}(0)$必须有界且非零。

在这个一般性的公式中，"P+I"因子可以有任意多个积分器，不像 2 类 PLL 中只有一个。"P+I"的表达式可以写为

$$F_{p+i}(s) = K_1 + \frac{K_2}{s} + \frac{K_3}{s^2} + \cdots \tag{2-27}$$

其中 K_i 具有(时间)$^{-(i-1)}$的量纲，从而保证和式中的每一项都是无量纲的。比较常见的情况是采用的积分器的个数不大于 1，但有时用两个积分器很合适(见 2.3.4 节)。使用两个以上的积分器则是极少见的。

评注：经常遇到这样的情况：所用的积分器是不完美的，即不是用一个积分器，而是用一个截止频率很低的低通滤波器取而代之。在这种情况下，一个方便的办法是，在 $F_{p+i}(s)$中(不是在 $F_{hf}(s)$中)需要的地方用 $1/(s+s_i)$来代替积分器，因而把一个低通滤波器充当一个积分器使用。这个方法对于模拟电路是极其必要的，因为在模拟电路中几乎不可能实现完美积分器。在实际工作中，不完美积分器可以做得充分接近于理想的 $1/s$，因而使这样的近似可以被接受。在 2.3.2 节中可以见到这样的一个例子。

依据式(2-5)，使用更一般性的环路滤波器的开环传递函数变为

$$\begin{aligned} G(s) &= \frac{K_d K_o F_{p+i}(s) F_{hf}(s)}{s} = \frac{K_d K_o}{s}\left(K_1 + \frac{K_2}{s} + \frac{K_3}{s^2} + \cdots\right) F_{hf}(s) \\ &= \frac{K_d K_o K_1 F_{hf}(0)}{s}\left(1 + \frac{K_2}{K_1 s} + \frac{K_3}{K_1 s^2} + \cdots\right)\frac{F_{hf}(s)}{F_{hf}(0)} \\ &= \frac{K}{s}\left(1 + \frac{K_2}{k_1 s} + \frac{K_3}{K_1 s^2} + \cdots\right)\frac{F_{hf}(s)}{F_{hf}(0)} \end{aligned} \tag{2-28}$$

由此，得到 K 的一般性定义为

$$K = K_d K_o K_1 F_{hf}(0) \tag{2-29}$$

当然，这个定义也适用于二阶 2 类 PLL，其中当 $i>2$ 时，$K_i=0$，$F_{hf}(s)=1$。

评注：虽然式(2-28)好像规定了 P+I 环节的具体结构，但几乎所有实用的环路滤波器都可以写成这种形式，无论其电路是如何配置的。附录 3B 中有几个例子。

可以看出，K 是完全由比例通路确定的；积分器和高频效应对该定义丝毫没有影响。然而，K 对于 PLL 的响应速度和带宽具有决定性的影响，这个影响将在后文中经常提到。从这个特点得出了下面的经验：

环路滤波器中的任何滤波操作，对于环路带宽和速度一般只起到次要的影响。对环路起主要影响的是环路增益 K。

增益穿越频率

我们把增益穿越频率 ω_{gc}定义为使$|G(j\omega_{gc})|=1$(即 0 dB)时的频率，并以 rad/s 为单位。如果表达式(2-28)中的所有系数都是已知的，那么 ω_{gc}的确切表达式可以从式(2-28)中提取出来，但下面这个简单的近似表达式可以提供更多的信息。如果 $K_2/K_1\omega_{gc} \ll 1$(在 2 类 PLL 中 $\omega_{gc} \gg 1/\tau_2$)，并且如果$|F_{hf}(j\omega_{gc})|/|F_{hf}(0)| \approx 1$，那么

$$\omega_{gc} \approx K \tag{2-30}$$

因而，在条件不严格的情况下，开环增益穿越 0 dB 的频率点在 K rad/s 的附近。

那么，上面这样的近似究竟有多好？我们来考虑一个二阶 2 类 PLL，它在 $s=jK$ 处

21

的开环增益可以很容易找出，为 $|G(jK)|^2=1+1/(2\zeta)^4$。下面是一些选取的数值：

ζ	$20\log\lvert G(jK)\rvert$ (dB)
0.5	3.0
0.707	0.97
1.0	0.26
2	0.017
5	0.0004

对于这个例子，在小阻尼时的近似是很差的，而在中等或大阻尼时是很好或极好的。对于其他类型和阶数的 PLL，可以期望有类似的结果。

评注：(1)对于任何一种 PLL，环路增益 K 都是最重要的参数，在全书中也是这样被使用的。(2)对 K 的重要性的强调(或认识)在 PLL 的文献中并没有被广泛接受；其他许多作者选择了 ω_n，这个选择令人非常不满意。但也有一个突出的例外，Wolaver 在他所写的书[2.1]中使用了 K，这与本书是一样的。(3)在阅读其他文献时必须要注意：符号 K 经常被用来表示增益因子，但与式(2-29)中定义的 K 是不一样的。K 的其他含义并非有错，而只是不同而已；希望阅读时注意。(4)有些作者错误地把"环路增益"用 dB 来表示，也就是表示为一个无量纲的量。无论怎样定义，PLL 的环路增益都总是以频率为量纲的；一个无量纲的定义是毫无意义的。

2.3.2 1 类 PLL 举例

1 类 PLL 在环路中只有一个积分器，位于 VCO 中。可以举出其中几个有用的电路。

1. 一阶 PLL

最简单的 PLL 是完全没有环路滤波器的。这种 PLL 可以用 2.3.1 节中的公式描述，其中 $F_{p+i}(s)=K_1$，$F_{hf}(s)=1$。它的增益和传递函数如下：

$$K = K_d K_o K_1 = K_{DC} \tag{2-31}$$

和

$$G(s) = \frac{K}{s}, \quad H(s) = \frac{K}{s+K}, \quad E(s) = \frac{s}{s+K} \tag{2-32}$$

所以环路增益 K(对于这个例子，等于 3dB 带宽)是设计者唯一可用的参数。如果 DC 增益必须很大(一般为了保证良好跟踪而要求的，见 5.1.1 节)，那么带宽也必须很大。

22

因此，在一阶环路的情况下，如果要有很好的跟踪能力，则窄带与此不相配；由于这个原因，窄带的一阶环路不常用。然而，一阶环路经常出现在文献中，主要是因为这些环路分析起来最容易，而且还因为从一阶环路中选出的行为往往可以近似地推广到比较复杂的、因而比较难于分析的 PLL。

2. 带滞后滤波器的二阶 PLL

一种稍微复杂一些的 PLL 包含了一个环路滤波器，而且 $F_{p+i}(s)=K_1$，$F_{hf}(s)=1/(s\tau+1)$。这个结构具有与简单的一阶 PLL 相同的环路增益 K 和 DC 增益 K_{DC}，但它的系统函数和误差传递函数是二阶的：

$$H(s)=\frac{K/\tau}{s^2+s/\tau+K/\tau}=\frac{\omega_n^2}{s^2+2\zeta\omega_n s+\omega_n^2}$$
$$E(s)=\frac{s(s+1/\tau)}{s^2+s/\tau+K/\tau}=\frac{s(s+2\zeta\omega_n)}{s^2+2\zeta\omega_n s+\omega_n^2} \tag{2-33}$$

上式中的参数定义为

$$\omega_n=\sqrt{\frac{K}{\tau}},\quad \zeta=\frac{1}{2\sqrt{K\tau}} \tag{2-34}$$

现在只有两个系数 K 和 τ，所以不能独立地确定 ω_n、ζ 和 K_{DC} 这 3 个参数。如果 DC 增益必须很大、ω_n 必须很小，那就要求 τ 必须很大，其结果是环路过分欠阻尼。

注意：ω_n 和 ζ 的这些定义与二阶 2 类 PLL 中的定义大不相同。

虽然这是一个严格意义上的二阶 PLL，但最好被看作一阶的 PLL，而它所增加的滤波只是为了抑制系统响应中的高频成分而已。其实，$|H(j\omega)|$ 是以 -12 dB/倍频为渐近线的，而不像二阶 2 类 PLL 那样以 -6 dB/倍频为渐近线。而且，由于 $H(s)$ 的分子中没有零点，所以只要 $\zeta>0.707$，就不会出现增益峰值。把这些性质组合起来构成的这种 PLL，在不要求窄带的应用中是很有用的。现在有大量的这类 PLL 使用于通信转发器中。

3. 带有滞后超前滤波器的二阶 PLL

从锁相环的早期（即 20 世纪 50 年代）开始，人们就认识到了对窄带和大 DC 增益的同时要求，但在那个时候还没有很好的 DC 放大器，所以也就没有满意的积分器。取而代之的是，在早期的文献中和许多 PLL 中使用了无源的滞后超前滤波器，其传递函数为

$$F(s)=\frac{s\tau_2+1}{s\tau_1+1}=\frac{\tau_2}{\tau_1}\left(1+\frac{1/\tau_2-1/\tau_1}{s+1/\tau_1}\right) \tag{2-35}$$

其中 $\tau_2<\tau_1$。上式也可以解释为是一个比例加不完美积分器的滤波器，并且 $K_1=\tau_2/\tau_1$，$K_2/K_1=1/\tau_2-1/\tau_1$。环路增益可定义为 $K=K_dK_oK_1$，DC 增益是 $K_{DC}=K_dK_o$，而环路传递函数为

$$G(s)=\frac{K}{s}\left(1+\frac{1/\tau_2-1/\tau_1}{s+1/\tau_1}\right)$$
$$H(s)=\frac{K(s+1/\tau_2)}{s^2+s(K+1/\tau_1)+K/\tau_2} \tag{2-36}$$
$$E(s)=\frac{s(s+1/\tau_1)}{s^2+s(K+1/\tau_1)+K/\tau_2}$$

这里，我们可以完全自由地、独立地确定 DC 增益、环路带宽和阻尼；与之相比，前面的 1 类 PLL 的例子却没有这样的自由。这种自由解释了为什么在早期的二阶 PLL 中普遍使用滞后超前滤波器的原因。

2.3.3 2类PLL举例

2.2节中曾对重要的二阶2类PLL做了大量的描述。本节将要考察2类环路的一些更进一步的变化结构。应当注意，对于所有2类或更高类的PLL，$K_{DC}=\infty$，因而就不必考虑1类环路所固有的环路带宽和DC增益之间的权衡。

1. 仅有积分器的环路滤波器

假设环路滤波器的传递函数很简单，为 $F(s)=K_2/s$；并且这个公式中的比例通路的增益 $K_1=0$。于是，环路的各个传递函数为

$$G(s)=\frac{K_d K_o K_2}{s^2},\quad H(s)=\frac{K_d K_o K_2}{s^2+K_d K_o K_2},\quad E(s)=\frac{s^2}{s^2+K_d K_o K_2} \tag{2-37}$$

式(2-37)有两个突出特点：

(1) $H(s)$的分子中没有零点。(试与式(2-15)相比，传递函数(2-15)适用于常见的二阶2类PLL。)

(2) 分母中的极点位于虚轴上的 $s=\pm j\sqrt{K_d K_o K_2}$处。

前面的$H(s)$中没有分子零点，想必不会有增益峰值，但式(2-37)中极点的配置导致极点频率处的无限大增益。没有零点使2类PLL处于稳定性的边界上。任何一个微小的扰动都会产生极点频率上的无阻尼正弦振荡。环路中附加任何一个微小的相位滞后，就会引起完全的不稳定，表现为幅度以指数增长的振荡。由此，下面这个经验清晰可见：

24

2类反馈环路的环路滤波器在它的传递函数中必须至少包含一个零点，才能实现稳定的闭环运行。更一般地说，一个n类环路($n>1$)的滤波器传递函数必须包含至少$(n-1)$个零点，否则环路将不稳定。

2. 三阶2类PLL

二阶2类PLL是在PLL文献中大量遇见的简单结构，但在实际中却并非如此。大多数实用的PLL还会增加一些高频极点。其中有些极点也许是故意加入的，以获得系统频率响应中更陡峭的滚降率，或者为了抑制由检相器产生的高频扰动。关于需要增加滤波的实例将在后面几章中给出。其他的极点是由分布参数引起的，是无法避免地由反馈环路中的实际元件的频率响应的限制而产生的：其中包括杂散电容、放大器带宽的限制和VCO控制通路中的低通电路。

在许多情况下，极点的频率远高于所需的环路带宽，因而这些高频极点(至少在初步设计分析阶段)可以被忽略。在其他情况下，从一开始就必须考虑某些或所有的高频极点。本节讨论最简单的情况，即只增加一个有用的极点，这在实际应用中是非常重要的一步。

❑ 传递函数

只增加一个极点的开环传递函数可表示为

$$\begin{aligned}G(s)&=\frac{K_d K_o}{s}\frac{s\tau_2+1}{s\tau_1(s\tau_3+1)}=\frac{K}{s}\left(1+\frac{1}{s\tau_2}\right)\frac{1}{s\tau_3+1}\\&=\frac{K}{s}\left(1+\frac{1}{s\tau_2}\right)\frac{1}{1+s\tau_2/b}\end{aligned} \tag{2-38}$$

其中的第三个极点位于 $s=-1/\tau_3$、$K=K_d K_o \tau_2/\tau_1$ 和 $b=\tau_2/\tau_3$。由于这是一个三阶PLL，所以有三个参数：K、τ_2 和 b。经过一些处理后，闭环传递函数变为

$$H(s)=\frac{K\tau_2(s\tau_2+1)}{s^3\tau_2^3/b+s^2\tau_2^2+Ks\tau_2^2+K\tau_2}$$
$$E(s)=\frac{s^2\tau_2^2(s\tau_2/b+1)}{s^3\tau_2^3/b+s^2\tau_2^2+Ks\tau_2^2+K\tau_2} \tag{2-39}$$

□ 归一化

通过归一化可以把其中一个参数隐藏起来，因而简化了传递函数的表达式。我喜欢对 τ_2 做归一化，虽然也可以选择对其他参数做归一化。由此，我们定义无量纲的归一化增益和归一化频率如下

$$K'=K\tau_2,\quad p=s\tau_2 \tag{2-40}$$

25

因而，归一化的闭环传递函数变为

$$H(p)=\frac{K'(p+1)}{p^3/b+p^2+K'p+K'}$$
$$E(p)=\frac{p^2(p/b+1)}{p^3/b+p^2+K'p+K'} \tag{2-41}$$

评注：试考察一个二阶 2 类 PLL，其乘积 $K\tau_2=4\zeta^2$。这个关系式不能沿用到三阶环路，在三阶环路中存在三个极点，使阻尼系数的概念无论怎样都会变得模糊不清。阻尼系数的另外可能的含义将在下面探讨。

□ 频率响应

把复变量 p 的直角坐标分量定义为 $p=u+jv=\sigma\tau_2+j\omega\tau_2$。对于任意指定的 K' 和 b 的值，我们可以容易地对 v 的某个取值范围求出 $|H(jv)|$ 或 $|E(jv)|$，如图 2-9 中的举例那样，其中的频率比例尺是归一化为 $v/K'=\omega/K$。但是，K' 和 b 的一些具体取值只给出一些孤立的曲线；而一个完整的曲线族将会有用得多。但频率响应不能表示为图 2-4至图 2-7 那样的、以归一化后剩下的两个独立参数为参量的二维曲线族。我们应当把曲线族画成一个三维图，或者画成几个二维曲线族的图。每个二维图只对应其中一个参数的某个值（比如 K'），而另一个参数（比如 b）则对应图中的各条曲线。但这两种方法都不能给我们满意的图示。在高阶环路的情况下，问题变得更无法控制。在第 3 章中我们将用图示法来应对。

□ 大 K' 时的近似

K' 的一般取值范围在 1 至 10 之间，但偶尔需要大得多的值，可以从 50 至 100，甚至更大。虽然这样大的值并不多见，但考察一下关于大 K' 的近似系统传递函数是很有启发性的。为此，我们考虑低频区传递函数的近似表达式（即 $|p|$ 很小时），并用 $H_L(p)$ 表示，因此，分母中的三次项可以略去；此外，还有一个高频的近似表达式（即 $|p|$ 很大时），并用 $H_H(p)$ 表示，因此，分子分母中的零次项可以略去。作为再一个约束，b 也不可以很小。于是，两个传递函数变为

$$H_L(p)=\frac{K'(p+1)}{p^2+K'p+K'},\quad H_H(p)=\frac{K'}{p^2/b+p+K'} \tag{2-42}$$

表达式(2-42)中的极点是很容易确定的。根据二项展开式做进一步近似后，$H_L(p)$的低频极点可以找出位于 $p_L \approx -(1+1/K')$的附近，只是比 $p=-1$ 的那个零点所在位置向左移了很小一点距离。这一对零极点是引起式(2-25)中所说的增益峰值的原因。当 K'增加时，极点向零点移动，因而降低了增益峰值。

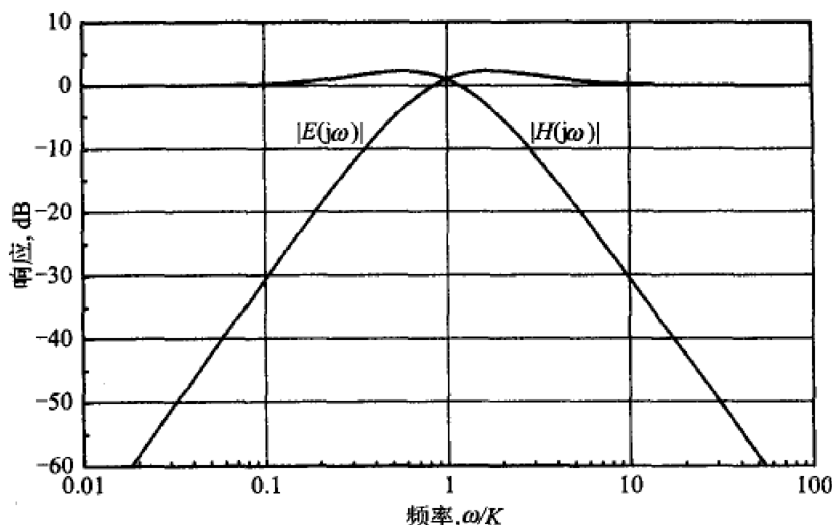


图 2-9　一个三阶 2 类 PLL 的幅频响应。参数为：$b=9$；$K'=K\tau_2=3$

利用相同的方法，可以找出 $H_H(p)$的两个极点的位置，它们靠近下面的表达式

$$p_H = -\frac{b}{2}\left(1 \pm \sqrt{1-4K'/b}\right) \tag{2-43}$$

如果 $K'<b/4$，那么这些极点是实数且不重合；但如果 $K'=b/4$(近似地)，那么这些极点位于 $p_H=-b/2$ 处，相等且重合。当 $K'>b/4$ 时，高频极点变为复数，其实部为 $-b/2$。要是把第三个极点简单地略去的话，就不会发现这个情况。

进一步考察式(2-42)可以发现，$H_L(p)$具有与式(2-20)中的二阶 2 类 PLL 相同的形式，而 $H_H(p)$具有与式(2-33)中的二阶 1 类 PLL 相同的形式。因为分母是二阶的，所以每一种近似表达式都可以赋予有意义的阻尼值(ζ_L 和 ζ_H)和归一化的固有频率值($\omega_L\tau_2$ 和 $\omega_H\tau_2$)，这些阻尼和固有频率可确定如下

26~27

$$\begin{aligned} \omega_L\tau_2 &\approx \sqrt{K'}, \qquad \zeta_L \approx \frac{1}{2}\sqrt{K'} \\ \omega_H\tau_2 &\approx \sqrt{bK'}, \qquad \zeta_H \approx \frac{1}{2}\sqrt{\frac{b}{K'}} \end{aligned} \tag{2-44}$$

如果 K'很大(比近似表达式中所要求的大)，那么 ζ_L 也会很大。

□ 举例

如果 $K'=50$，那么 $\zeta_L \approx 3.5$。因此，在上面这些近似式的约束下，$H_L(p)$总是极大过阻尼的。另一方面，如果使 K'大于 b，那么 ζ_H 会小得令人无法接受。

□ 稳定性边界

如果把 $\tau_3=\tau_2$（即 $b=1$）代入式(2-38)，那么第三个开环极点就与起稳定作用的那个零点互相抵消，结果的传递函数与式(2-37)中的那些传递函数完全一样，而式(2-37)中环路滤波器只是一个简单的积分器。因此，$b=1$ 是一个稳定性边界；如果 $b<1$，则环路不稳定。另一方面，式(2-43)中给出的那些近似的高频极点表明，一个三阶 2 类 PLL，只要 $b>1$，则无论 K' 多大都是稳定的。当然，如果 K' 太大，阻尼就将小得令人无法接受。

2.3.4 更高类的 PLL

5.1.1 节解释了为什么有时需要一个 3 类 PLL。一个三阶 3 类 PLL 的传递函数可以表示为

$$G(s)=\frac{K}{s}\left(1+\frac{K_2}{K_1 s}+\frac{K_3}{K_1 s^2}\right)$$

$$H(s)=\frac{K\left(s^2+\frac{K_2}{K_1}s+\frac{K_3}{K_1}\right)}{s^3+K\left(s^2+\frac{K_2}{K_1}s+\frac{K_3}{K_1}\right)} \tag{2-45}$$

$$E(s)=\frac{s^3}{s^3+K\left(s^3+\frac{K_2}{K_1}s+\frac{K_3}{K_1}\right)}$$

我们需要 3 个独立参量来确定这个 PLL 的特性，所以它的特性不像二阶环路那样容易掌握。其中的有些特性将在第 3 章中做进一步探讨。

4 类或更高类型的锁相环是极少使用的，本书不做介绍。

参考文献

2.1 D. H. Wolaver, *Phase-Locked Loop Circuit Design*, Prentice Hall, Englewood Cliffs, NJ, 1991.

28



第3章 图 示 法

基于传递函数的频率响应曲线族只是为了理解 PLL 特性而使用的图示法中的一种形式。多年来，人们想出了另外一些传递函数的图示方法，包括根轨迹图[3.1]、伯德图[3.2]、奈奎斯特图[3.3]和尼科尔斯图[3.4]。这些是非常完善的方法，在大量的控制系统的书籍中都有详尽的描述；这里所引用的参考文献是每种方法的早期初创者的书籍与文章。

其中的两种方法在 PLL 分析中被广泛使用：根轨迹图和伯德图。奈奎斯特图和尼科尔斯图使用了与伯德图相同的数据，但做出的曲线却不一样。虽然根轨迹图和伯德图在 PLL 的分析中占有主导地位，但 PLL 工程师们也可得益于尼科尔斯图。下文将说明如何把根轨迹图和伯德图使用于几个实用 PLL 的传递函数中，接着再简单说一下奈奎斯特图，然后再说一下尼科尔斯图。3.5 节将指出，闭环频率响应曲线可以很容易地用生成伯德图或尼科尔斯图的同一开环数据画出来。

本章中的全部内容都适用于模拟（即连续时间和连续幅度的）PLL。而且，由于所有的 4 种图示技术都是为了对传递函数进行图示，并且传递函数仅适用于线性电路，所以这些方法中没有一个是可以用于非线性 PLL 的。

3.1 根轨迹图

从闭环响应的极点[即 $1+G(s)$ 的根]的位置中，我们可以获得对锁相环特性的深入理解。极点的位置随着环路增益（或其他参数）的改变而改变。这些极点在 s 平面上移动而画出的路线就叫做*根轨迹*。根轨迹图的特点（比如路径的条数、与坐标轴的交点等）可以使用一些简单的规则（见附录 3A），从已知开环极点和零点的位置确定。

3.1.1 根轨迹图的描述

一条轨迹通常是对应于增益的某个范围（从近似于零到非常大的值）而画出的。轨迹是从开环极点处（增益为零）开始的，结束于开环的零点（增益无穷大），有的零点可以位于无穷远处。任何一个 PLL 的开环传递函数都可写为 $G(s)=K_oK_d\,F(s)/s$。因此，至少总有一个极点位于 $s=0$ 处，这不包括 $F(s)$ 中的任何积分器的极点。开环零点是 $F(s)$ 的零点。

绘制根轨迹图可以使用下面几种方法。

(1) 很简单的传递函数(比如,一阶和二阶 PLL)的根轨迹可以通过观察来画出。其轨迹是一些简单的几何图形,这将在下面说明。图 3-1 和图 3-2 中示出了一些例子。

(2) 轨迹的复数分支与 s 平面上实轴与虚轴的交点可以用附录 3A 中的方法来确定。

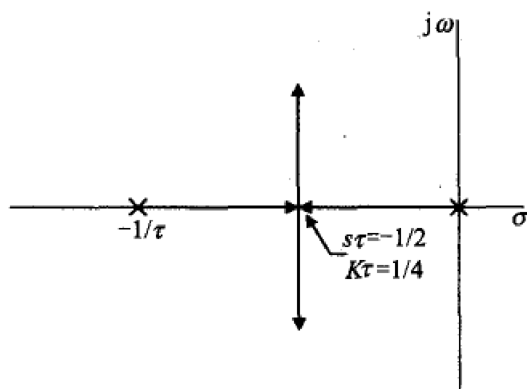


图 3-1 一个二阶 1 类 PLL 的根轨迹图,其中的滞后滤波器为 $F(s)=1/(s\tau+1)$

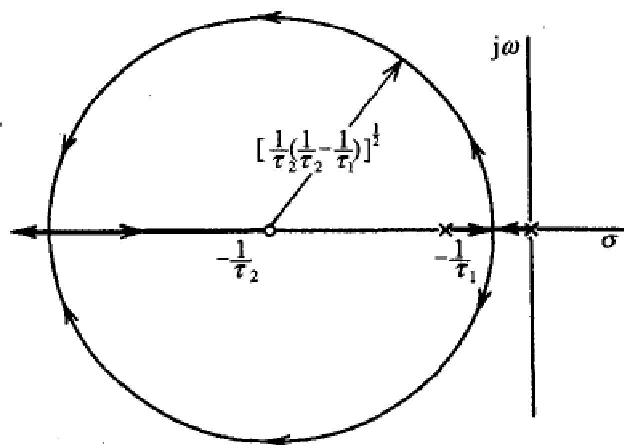


图 3-2 一个二阶 1 类 PLL 的根轨迹图,其中的滞后超前滤波器为 $F(s)=(s\tau_2+1)/(s\tau_1+1)$

(3) 特征方程的根的位置是在其他参数固定在某些值之后、让增益 K 在某个范围内变化时计算出来的,然后把这些位置画到图上。一条轨迹就是对应一组固定参数值条件下,改变 K(一般都是改变 K)而得到的全部这样位置的集合。图 3-3 和图 3-4 是这样的两个实例,其中的根是用数值法并求助于计算器算出的,图是手工描的。图 3-6

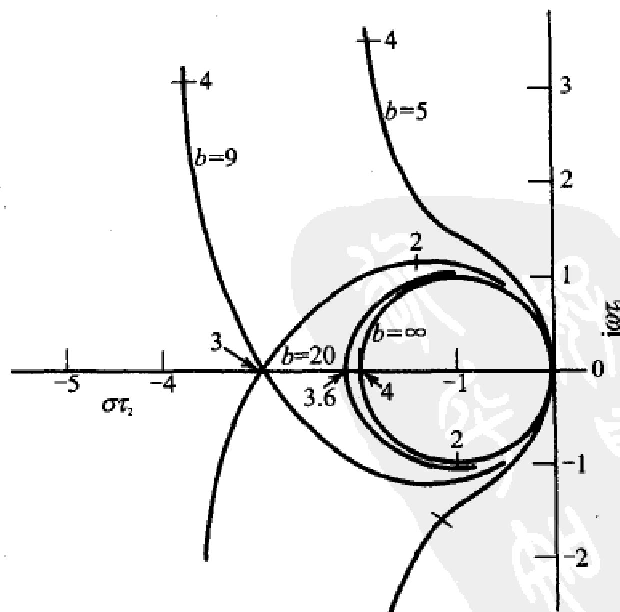


图 3-3 一个三阶 2 类 PLL 的根轨迹图,其中的零点在 $s\tau_2=-1$,第 3 个极点在 $s\tau_2=-b$

和图 3-7 是比较新近的例子，其中的根是用数值方法在计算机上用一个解算根的程序算出的（比用计算器手工迭代快得多），然后把根的位置送入一个电子表格，用计算机生成这些图。通常的电子表格所能提供的计算能力用于寻找根的位置是不够的。

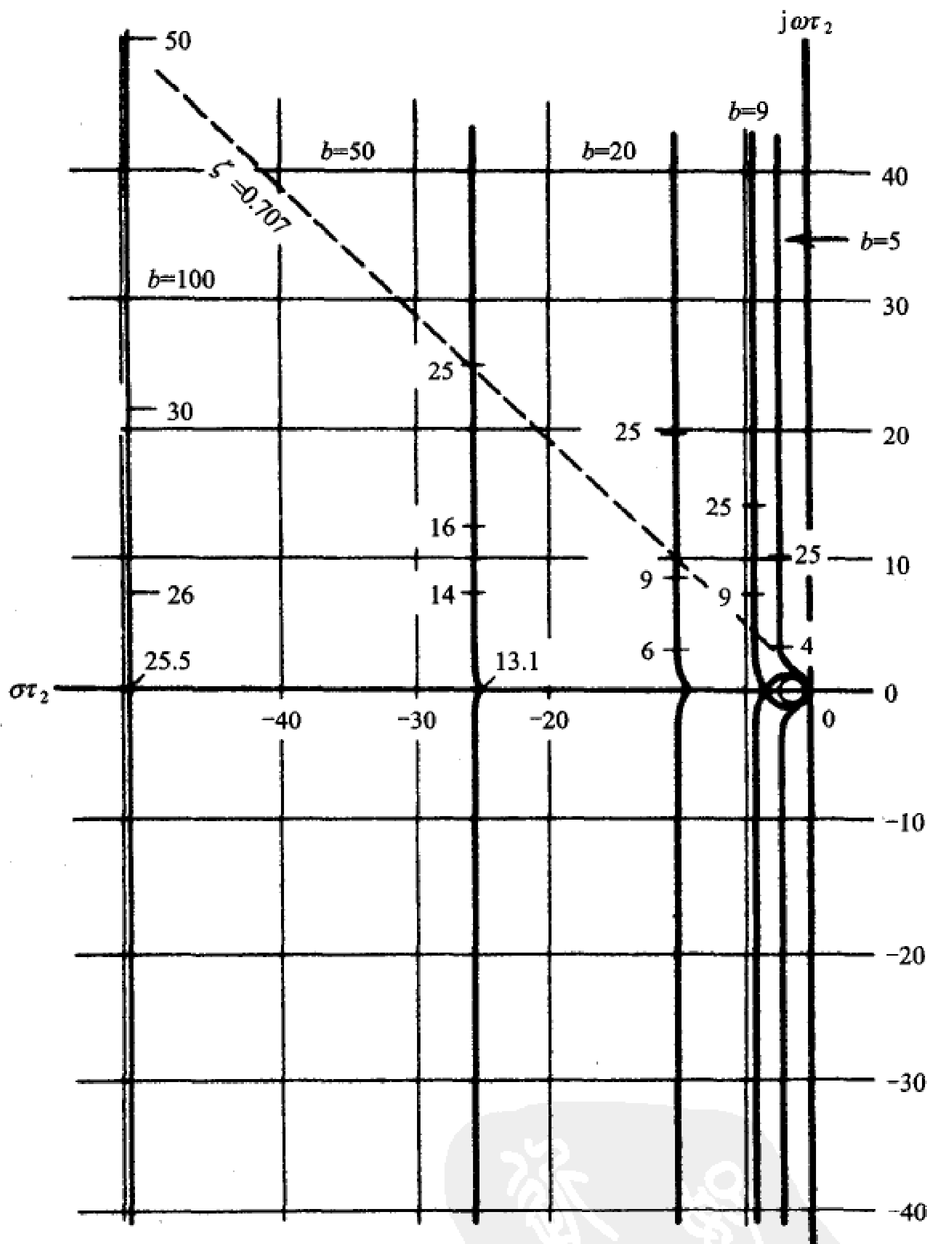


图 3-4　一个三阶 2 类 PLL 的根轨迹图，其中的第 3 个极点在 $s\tau_2=-b$

(4) 当极点个数增加时，处理过程即变得极其繁复，特别在重根的邻域，这时 K 的一个微小的改变都会引起根位置的相当大的变化。

30 ~ 32

(5) MATLAB 软件的 Control-System Toolbox 中包含一个程序叫`rlocus`，它可以自动地从指定的开环传递函数生成根轨迹图。在其他高端计算机数学程序中，也会有这种类似的绘图能力。

3.1.2 稳定性判据

如果所有的极点都位于 s 平面的左半平面内，那么反馈环路是稳定的；如果其中任意一个极点位于右半平面，那么反馈环路是不稳定的。s 平面的虚轴是稳定与不稳定之间的分界线；任何一个闭环极点都不可以在虚轴上。而且，作为良好的工作习惯，甚至不允许任何一个极点靠近虚轴，因为这样会导致很差的稳定性容限、阻尼不足以及过大的增益峰值。

3.1.3 1 类 PLL 的根轨迹

这里将展示一些 1 类 PLL 的根轨迹图，以说明最简单的曲线实例以及如何进行初期设计。

1. 一阶环路

也许都能想到，一阶环路 $[F(s)=1]$ 的根轨迹是最简单的。它有一个位于原点的单一开环极点和一个位于无穷远处的单一零点。闭环极点随着增益的增加而沿着负实轴从零移动到无穷大。

2. 带滞后滤波器的环路

只有一个滞后滤波器 $F(s)=1/(s\tau+1)$ 的环路有两个开环极点，一个在零点，另一个在 $s=-1/\tau$ 处，它的两个零点在无穷远处。根轨迹图如图 3-1 所示。当增益从零开始增加时，两个极点在负实轴上相向移动。当这两个极点在 $K\tau=1/4$ 处相遇时，即变成一对共轭复数，并随着增益的进一步增加而沿着 $\sigma=-1/(2\tau)$ 的垂直直线移动到无穷远处。当增益很大时，阻尼变得非常差。

3. 带有滞后超前滤波器的环路

滞后超前滤波器的传递函数为 $F(s)=(s\tau_2+1)/(s\tau_1+1)$。从超前项得到的好处可以从图 3-2 中看出。这些极点起先沿着负实轴相向移动，而在相遇之后变为复数。因为滤波器的零点是有限值的，所以根轨迹的复数部分现在变成了一个以 $-1/\tau_2$ 为圆心的圆，而不是图 3-1 中那条垂直的直线。对于适度偏小的增益，阻尼是很小的，但超过一个最小增益之后，阻尼则随着增益的增加而增加。当增益足够大时，轨迹最后回到实轴，环路进入过阻尼状态。轨迹中的一条分支终结于那个有限值的零点；另一条分支结束于负实轴的无穷远处。

3.1.4 2 类 PLL 的根轨迹

2 类 PLL 在实际应用中占有主导地位。

1. 二阶环路

图 3-2 中所示的是一个二阶 1 类环路的根轨迹曲线。如果环路滤波器真的具有一个完美的积分器，那么开环的两个极点都会位于 $s=0$ 处，因而根轨迹的圆形部分就会从 $s=0$ 开始，圆心会在 $s=-1/\tau_2$，圆的半径就会是 $1/\tau_2$。除了这些不同外，图形与

图 3-2所示基本一致。

2. 三阶环路

三阶 2 类 PLL 的根轨迹图以不同的比例尺绘制在图 3-3 和图 3-4 中。当 b 取大值时(第三个极点远远超过以 τ_2 归一化的零点的位置,该零点位于 $p=s\tau_2=-1$),图 3-3 表示出的靠得很近的根轨迹(即,当 $K'=K\tau_2$ 的值相对很小的情况下)几乎与二阶 2 类 PLL 的相同。但在图 3-4 中,当 K'变得足够大时,第三个极点的影响被强烈地显现出来;那个向外移动的极点(从 $p=0$ 出发的极点中的一个)和向内移动的第三个极点相遇,变成一对复极点,并趋于 $p=-(b-1)/2$ 的垂直渐近线。这个行为证实了2.3.3节中关于"高增益"的分析,在那个分析中发现垂直渐近线大约位于 $p=-b/2$ 处。实际上,对于 b 的一切值,我们都发现垂直渐近线位于 $p=-(b-1)$,而不仅仅是对于 b 的大值。

而且,如果 b 很小,那么第三个极点具有主要的影响力,甚至小增益时也是这样。事实上,如果 $b<9$,则对于所有的增益值,两个从 $p=0$ 出发的极点将永远是复数而不返回实轴。当 b 取小值时,就要求不能忽略第三个极点而必须给予明确的考虑。$b\approx 9$ 的条件对实际设计有好处。会出现这样的情况,即要求带宽尽量的大(大的 K'值)以及由第三个极点给出尽量多的滤波(大的 τ_3 值),并保持良好的阻尼。$b=9$ 和 $K'=3$ 的这个条件使所有三个闭环极点重合于 $p=-3$。b 的较小值会削弱阻尼,而 b 的较大值又给不出那么多的滤波。从某个角度来看,参量选择为 $b=9$ 和 $K'=3$(或它的邻域),在有些要求下差不多是最佳的。

注意:对这些参数取值的实际容差常常达不到要求的精度,因而无法实现这种准优化的参数选择。

如果 $b<1$,那么从 $p=0$ 出发的两个极点从不同路径进入右半平面,因而对一切 $K'>0$,环路都是不稳定的。

3.1.5 3 类 PLL 的根轨迹

三阶 3 类 PLL 的所有三个开环极点都位于 $s=0$。为了便于图示,我们假设 2 个零点重合于 $s=-1/\tau_2$。图 3-5 画出了这种情况下的根轨迹。该图的一般性特征对于任何一个 3 类环路都是相当典型的,所以应当认为是有用的。图中有一个不常见的特点:轨迹在增益取小值时进入了右半平面;环路在小增益下是不稳定的。较大的增益把极点带入左半平面,因而使工作稳定。这个环路被称作是条件稳定的。这个行为是与前面的 1 类和 2 类环路完全相反的,那些环路是无条件稳定的。所以当使用 3 类环路时,必须防止因增益下降而进入不稳定区。

评注:(1)几个 3 类 PLL 的设计者已经发现重合的零点是有用的。这一选择被 Tausworthe[3.5] 以及 Tausworthe 和 Crow[3.6] 推荐为最佳选择。(2)无数的文献极为详细地论述了 1 类和 2 类 PLL 的特性;第 1 章中的参考文献列出了许多这样的文章。与之相反,关于 3 类 PLL 的文献却寥寥无几。除了参考文献[3.5]和参考文献[3.6]之

外，Meyr 和 Ascheid 所著的书[3.7]中提供了分析方法、设计指南和性能曲线。第 5 章和第 8 章中还引用了其他几个参考文献，其中讲到了有理由使用 3 类 PLL 的情况。

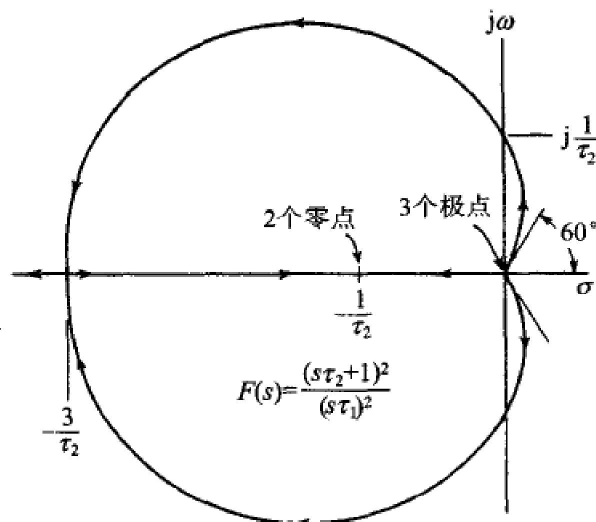


图 3-5 一个三阶 3 类 PLL 的根轨迹图，其中的 2 个零点重合于 $s\tau_2=-1$。与虚轴的交点出现在 $K\tau_2=\frac{1}{2}$，与实轴的交点出现在 $K\tau_2=\frac{27}{4}$

3.1.6 高阶 PLL 的根轨迹

我们假定 PLL 的阶数超过了三阶，那么对根轨迹图会有什么影响呢？如果开环的所有极点和零点都已确定，就可以不费多大力气计算并画出一条单一的根轨迹。但当需要对不同参数值画出一整套根轨迹曲线族的时候，工作量就大大增加了。试考虑其中一个比较简单但又相当常见的高阶的实例：一个四阶 2 类 PLL，它的新增加的极点位于 $s=-1/\tau_3$ 和 $s=-1/\tau_4$。与前面一样，我们做关于 τ_2 的归一化，并取 $K'=K\tau_2$ 作为独立变量，这样仍然还有两个参数 $b_3=\tau_2/\tau_3$ 和 $b_4=\tau_2/\tau_4$ 需要考虑。一套完整的根轨迹曲线图再也不能像图 3-3 和图 3-4 那样画在一张或两张图上了，而是需要一大批图纸才能画出合理覆盖 b_3、b_4 全部空间的曲线图。要是极点再多的话，情况会更糟。

如果一个四阶 2 类 PLL 极点被规定为使 $\tau_3\geq\tau_4$，那么当 $\tau_4=\tau_3$ 时，第四个极点将具有最长的时间常数和最大的影响力；这个极端情况下的曲线图，即 $\tau_3=\tau_4=\tau_2/b$，被示于图 3-6 和图 3-7 中，其中 b 有几个取值。为了简洁，图中并没有画出下半平面内的共轭复极点，也没有画出全部实极点的位置。 35

两个开环极点从 $p=0$ 出发，另外两个从 $p=-b$ 出发。在后两个极点中，一个沿着负实轴向左移至无穷大，另一个向右移至 $p=-1$ 处的开环零点。从 $p=0$ 出发的那两个开环极点，随着 K' 从零增加，最初以一对共轭复极点移动。对于所有的 $K'>0$，如果 $(8-4\sqrt{3})\approx1.0718<b<(8+4\sqrt{3})\approx14.928$，那么这两个极点将永远为复极点。如果 $b=(8+4\sqrt{3})$，则当 $K'=4(1+2/\sqrt{3})/3\approx2.8729$ 时，三个极点在 $p=-2(1+1/\sqrt{3})\approx-3.15470$ 处相遇。但对于 b 的上述取值，K' 取任何其他值时，有两个极点将是复

数。当 b 取较大值时，存在 K' 的一个范围，使所有四个极点为实数且不重合，但对任何 b 值，总存在 K' 的一个足够大的值，使两个极点为一对共轭复数。

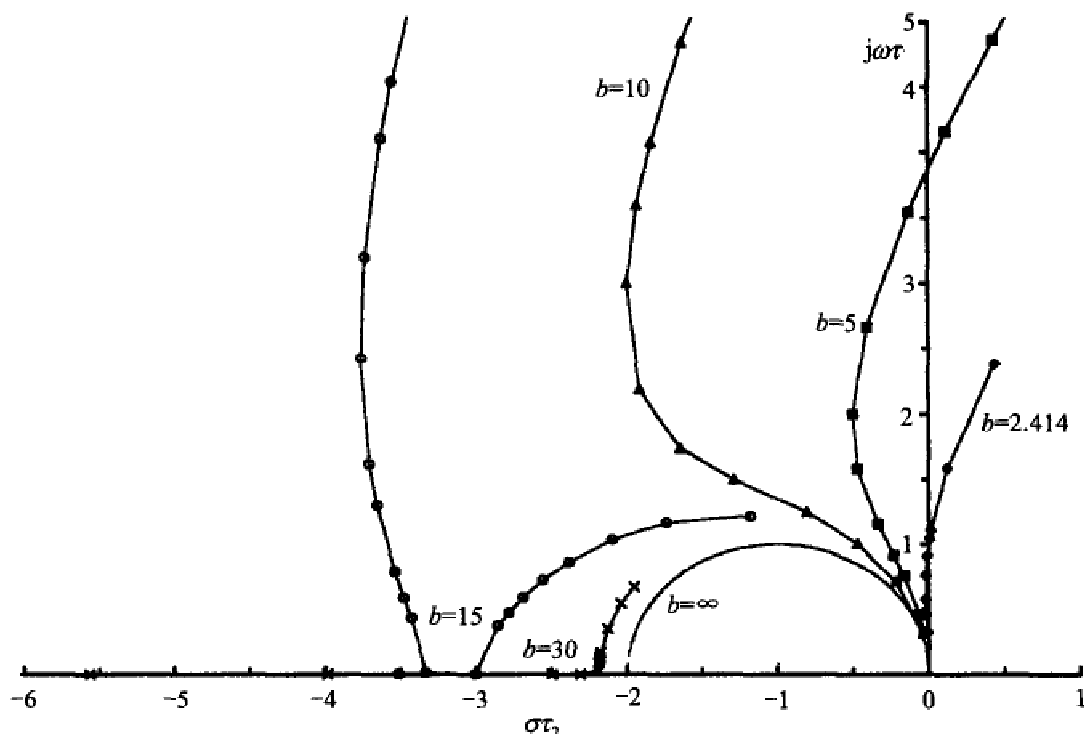


图 3-6 一个四阶 2 类 PLL 的根轨迹图，其中一个零点在 $s\tau_2=-1$，两个高频极点重合于 $s\tau_2=-b$

对于任何 $b>0$ 的值，对足够大的 $K'>0$，复数极点将最终移至右半平面，使环路不稳定。这一行为与前面讲到的所有其他例子相反，在那些例子中，无论 K' 多大，环路总是稳定的（虽然会出现严重的欠阻尼现象）。作为一个极端的例子，本例中的四阶 2 类 PLL，如果 $b<2$，那么对所有的 $K'>0$，环路都是不稳定的。

图 3-6 画出了当 b 取值相当小时的非常靠近的根轨迹曲线。由观察可知，当 $b<10$ 时，满意的阻尼（$\zeta>0.707$，相当于极点与负实轴之间的夹角为 $\pm45°$）是无法得到的，而且还可以看出，使主极点的位置接近二阶 2 类 PLL（标记为"$b=\infty$"的半圆）的极点，就要求 $b\approx30$ 或更大。在所画出的轨迹中有两条轨迹出现复极点进入右半平面的情况，但由于比例尺太小，所以这幅图未能表示出所有不稳定的轨迹。

36

应当记住图 3-6 中当 $b=15$ 时的这个轨迹，尤其是它与负实轴在 $p=-3.0$ 和 -3.333 的两个交点出现在 K' 分别等于 2.88（精确值）和 2.88066049…的时候。增益增加 0.023% 使极点在这个轨迹区域内偏移了 11%。我们把这种极端的灵敏度视为一种警告，以检查 PLL 中设计参数容差的影响，尤其是在多重极点的邻近。同时也提醒我们是否 b 值取小了。

图 3-7 用较大的比例尺画出了较大 b 值时的根轨迹。这个比例尺取得太大了，因而不能表示出位于 $p=-1$ 的零点附近非常靠近的轨迹行为，但我们可以想象，图 3-6 中的一个四阶 2 类 PLL 轨迹的相互靠近会是一个非常好的近似。更为相似的是根轨迹在大

增益时的行为：当K'足够大时，轨迹变为复数并最终进入右半平面。从渐近线来看，一个四阶 2 类 PLL 的根轨迹的复数分支趋于一条与实轴有±60°倾角的直线。请参阅附录 3A 关于轨迹与坐标轴相交的位置和增益值的计算方法，附录中还包含了其他一些特性。

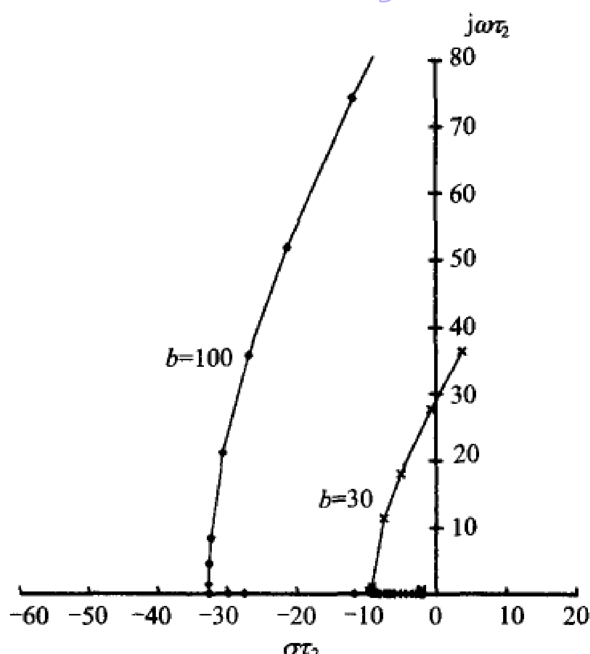


图 3-7 一个四阶 2 类 PLL 的根轨迹图，其中一个零点在 $s\tau_2=-1$，两个高频极点重合于 $s\tau_2=-b$

3.1.7 环路延迟对根轨迹的影响

一个延迟为 τ_d 的延迟电路的传递函数为 $\exp(-s\tau_d)$。考虑最简单的带延迟的一阶 PLL，它的特征方程为

$$s+Ke^{-s\tau_d}=0 \qquad (3\text{-}1)$$

式(3-1)的根是那些满足方程的 s 值。但这里的情况不同于无延迟的一阶 PLL，那里的 PLL 只有一个极点，而式(3-1)因为有指数项，所以有无数个根。所以说，根轨迹法不适用于反馈回路中包含延迟的 PLL。

3.2 伯德图

另一个研究 PLL 的有用工具是伯德图：这是一对表示开环传递函数 $G(j\omega)$ 的极坐标元素与角频率 ω 之间关系的曲线。习惯上，表示频率的水平轴使用对数比例尺，表示幅度 $|G(j\omega)|$ 的纵坐标以 dB 为单位，角度 $\mathrm{Arg}[G(j\omega)]$ 用线性纵坐标上的度表示。因为幅度通常以对数坐标轴上的一条直线为渐近线，所以幅度曲线通常只画出渐近线，用这种既恰当又方便的方法近似表示实际的 $|G(j\omega)|$。

使用伯德图有几个理由：(1)伯德图提供了 PLL 特性的直观表示，这在传递函数的代数式方程中是看不出来的；(2)几个环路参数在图上出现为几个不同的点；(3)伯德图特别适用于环路稳定性的实验分析；(4)绘制伯德图不需很长时间。

3.2.1 不同的图示方法

伯德图[3.2]在同一图中同时画出相位和确切的幅度(不用渐近线来近似)；这种图可以容易地用电子表格程序画出。下面这些作者一般都用两张图来表示，而两张图的频率轴是互相对齐的。分成两幅图有助于更清晰的显示。而且用渐近线近似表示幅度的方法，可以允许手工快速地画制幅度简图，并清晰地显现出 PLL 的某些重要参数。

先不说教学法，只要看一下最常用的电子表格方法就可以把相位和确切的幅度画在同 38 一幅图上，这是当今工程应用中最方便的方法。

伯德图使工程师们免于表示高阶环路复杂性时的苦恼。环路增益参数 K 呈现的少许变化，只表现为幅度曲线相对于 0 dB 的高度作垂直方向平移，它不改变这两条曲线的形状，也不改变相位曲线。我们没有必要对不同的 K 值绘制不同的图。如果伯德图是用电子表格产生的，那就可以把参数的改变量输入到电子表格中，再观察其结果，而不需要绘制曲线族。

3.2.2　稳定性

稳定性是 PLL 的一个根本特性；伯德图是评估稳定性的有用工具。

1. 稳定性判据

伯德图的稳定性准则很简单：一个 PLL，如果在增益穿越频率 ω_{gc} 处的相位滞后小于 180°，那么这个 PLL 是稳定的。这个判据在满足下面的条件时成立：(1)幅度曲线仅在一个频率上穿越 0 dB；(2)开环传递函数 $G(s)$ 是稳定的(右半平面上没有极点)。由于绝大多数的 PLL 都满足这些条件，所以这些限制条件对于伯德图的使用几乎没有任何实际的约束。增益穿越频率 ω_{gc} 曾在 2.3.1 节中被定义为 $|G(j\omega_{gc})|=1$(也就是 0 dB)。相位滞后这个术语的意思是 $\mathrm{Arg}[G(j\omega)]$ 为负值，因此 PLL 的稳定性判据可以从严格的代数意义上更准确地表示为 $\mathrm{Arg}[G(j\omega_{gc})]>-\pi$。

2. 稳定性裕度

以弧度为单位的相位裕度被定义为 $\mathrm{Arg}[G(j\omega_{gc})]+\pi$。一个 PLL，如果它的相位裕度是正的，则是稳定的；如果相位裕度是负的，则是不稳定的。相位裕度不仅告诉我们环路是否稳定，而且还给出环路阻尼的定性指示。下表给出了二阶 2 类 PLL 的几个阻尼值与相位裕度的对应关系。

阻尼，ζ	ω_{gc}/K	相位裕度(°)
0.5	1.27	51.8
0.707	1.10	65.6
1.0	1.03	76.4
2.0	1.002	86.4
5.0	1.00005	89.4

一些重要的观察结论：

- 因为 $\zeta=0.5$ 是合理阻尼系数的粗略的下界，所以一个 PLL 应当至少有 45°的相位裕度，最好 60°或更大。
- 在大阻尼时，相位裕度趋于 90°，这是由 VCO 固有的、位于 $s=0$ 的极点所确定的极限。39
- 上表中也指出，$\omega_{gc}\approx K$ 是对于 $\zeta\geqslant 0.707$ 的一个很好以至极好的近似。

增益裕度被定义为 $-20\log|G(j\omega_\pi)|$ dB，其中相位穿越频率 ω_π 被定义为 $\mathrm{Arg}[G(j\omega_\pi)]=-\pi$(不包括频率 $\omega=0$)。对于二阶 2 类 PLL，相位穿越频率并不存在，因为对

于任何 $\omega>0$，$G(j\omega)$的相位都不会穿越 $-\pi$。而且，这个增益裕度的定义仅适用于绝对稳定的反馈回路(所谓绝对稳定是指一个环路对所有 $K>0$ 或所有充分小的 $K>0$ 都是稳定的)，并不适用于条件稳定的环路，如 2.3.5 节中的举例。因为这些原因，对许多 PLL 来说，相位裕度成为一个比增益裕度更有用的工具。裕度的概念被画于图 3-8 和图 3-9 中，图中分别表示一个稳定环路和一个不稳定环路的伯德图。这两个图表示的是反馈放大器，而不是 PLL，但这两个图都示出了增益裕度和相位裕度的情况。

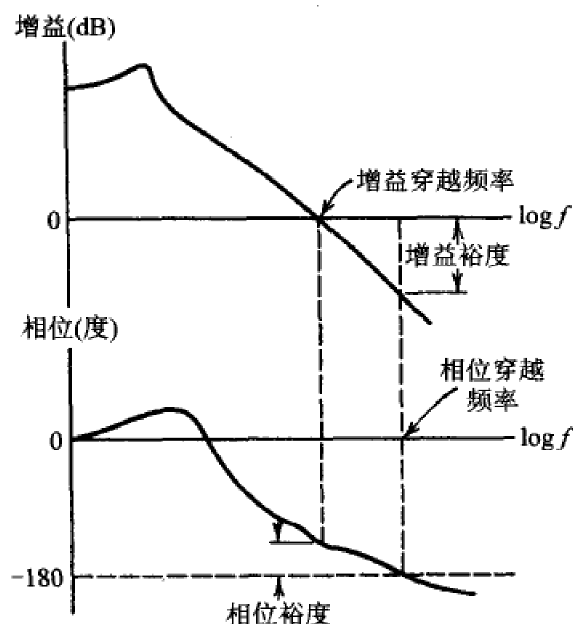


图 3-8 一个稳定环路的伯德图，表示了相位裕度与幅度裕度

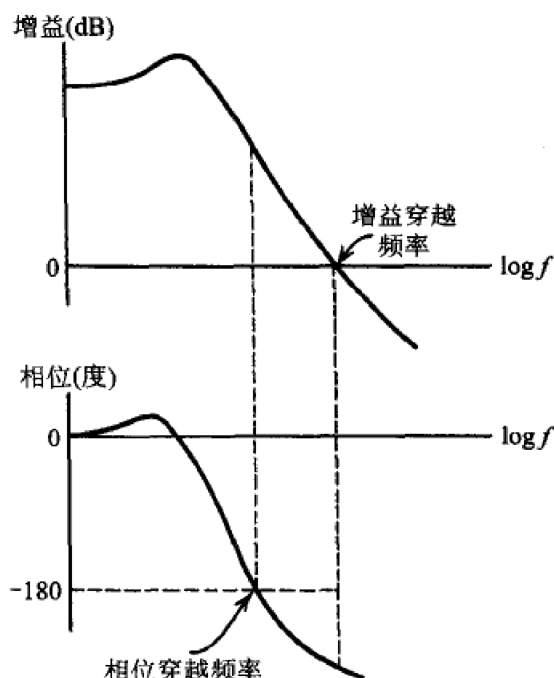


图 3-9 一个不稳定环路的伯德图

3.2.3 1 类 PLL 的伯德图

下面几节将讨论各种类别和各种阶数的 PLL 的伯德图，从 1 类环路开始。 40

1. 一阶环路

一阶环路的伯德图如图 3-10 所示。环路中仅有的一个选频特性是由 VCO 的积分操作产生的；幅度曲线在对数比例尺上是一条直线，有 -6 dB/倍频的斜率，而相位恒为 $-90°$。本例中的幅度曲线是一条真正的直线，完全不是近似的。因为每一个 PLL 都有 VCO，所以每一个高阶 PLL 的曲线图中都包含了 VCO 的这种伯德图。一阶环路的增益穿越点出现在 $\omega=K$。直线和穿越点就完全确定了一阶环路的线性动态特性。

2. 带滞后滤波器的环路

在环路中插入一个简单的滞后滤波器 $F(s)=1/(s\tau+1)$ 之后，就使幅度曲线产生一个转折，使频率在超过 $\omega=1/\tau$ 的部分趋于 -12 dB/倍频的渐近线，如图 3-11 所示。频率转折点通常放置在远大于增益穿越频率的地方，以便获得一个满意的阻尼值。如

果转折点位于增益穿越点，则阻尼系数为 $\zeta=0.5$。如果转折点低于增益穿越点，阻尼就小于 0.5，这个情况应当避免。在 −6 dB/倍频的直线渐近线（或它的延长线）上的增益穿越点位于 $\omega=K$。低频区的相位是 −90°，但在高频时趋于 −180°。在频率转折处将增加一个 45°的相位滞后。

41

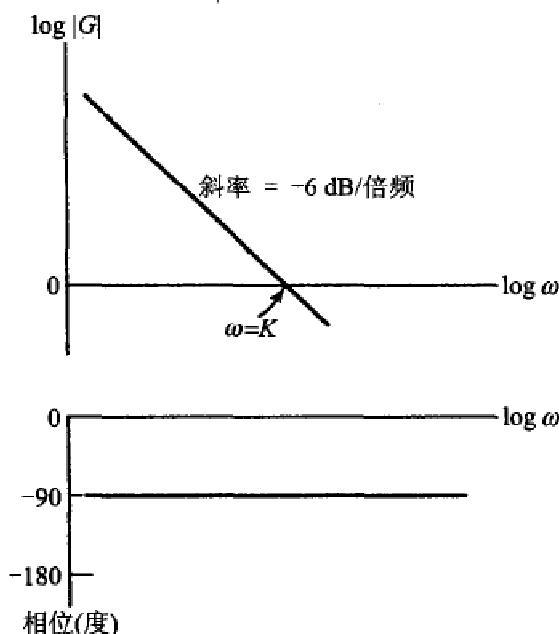


图 3-10　一个一阶 PLL 的伯德图

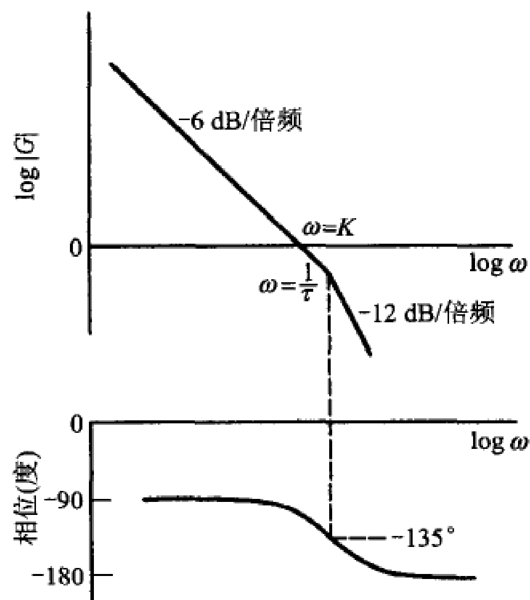


图 3-11　一个带有滞后滤波器的二阶 1 类 PLL 的伯德图，其中的滞后滤波器为 $F(s)=1/(s\tau+1)$

3. 带有滞后超前滤波器的环路

带有滞后超前滤波器的 1 类环路 $F(s)=(s\tau_2+1)/(s\tau_1+1)$ 的伯德图如图 3-12 所示。在低频率区，VCO 的积分操作处于主导地位，因此幅度渐近线的斜率是 −6 dB/倍频，相位是 −90°。环路滤波器的极点引入了另一个转角频率 $\omega=1/\tau_1$。渐近线斜率变为 −12 dB/倍频，相位在中频区趋于 −180°。位于 $s=-1/\tau_2$ 起稳定作用的零点引入了一个超前相位，使渐近线的斜率回到 −6 dB/倍频，而且高频区的相位趋于 −90°。斜率的转折出现在 $\omega=1/\tau_2$ 的频率处。在单位增益频率点上放置超前转折点，使阻尼 $\zeta=0.5$。由于很少需要比较小的阻尼，所以增益穿越点的频率几乎不变地放在超过零点产生的转折点的频率区内。对最后一条 −6 dB/倍频的直线（或其延长线，如果阻尼小于 0.5 的话）的穿越频率位于 $\omega=K$ 的频率处。固有频率 ω_n 是 −12 dB/倍频的直线穿越单位增益纵坐标时的频率值。

42

3.2.4　2 类 PLL 的伯德图

现有的大多数 PLL 是 2 类的，或者可以很好地近似为 2 类。2 类 PLL 的伯德图是建立在前面所说的 1 类 PLL 之上的。

1. **二阶环路**

二阶 2 类 PLL 的伯德图与图 3-12 的不同点仅在最低频率区。低频区幅度响应渐近线的斜率仍为－12 dB/倍频，并一直保持到零频，在 $\omega=1/\tau_1$ 处没有转折，而且在频率趋于零时低频相位趋于－180°。至于其他频率区，中频区和高频区的行为特性是与带滞后超前滤波器的 1 类 PLL 相同的。K 和 ω_n 的图示与图 3-12 比较也没有改变。

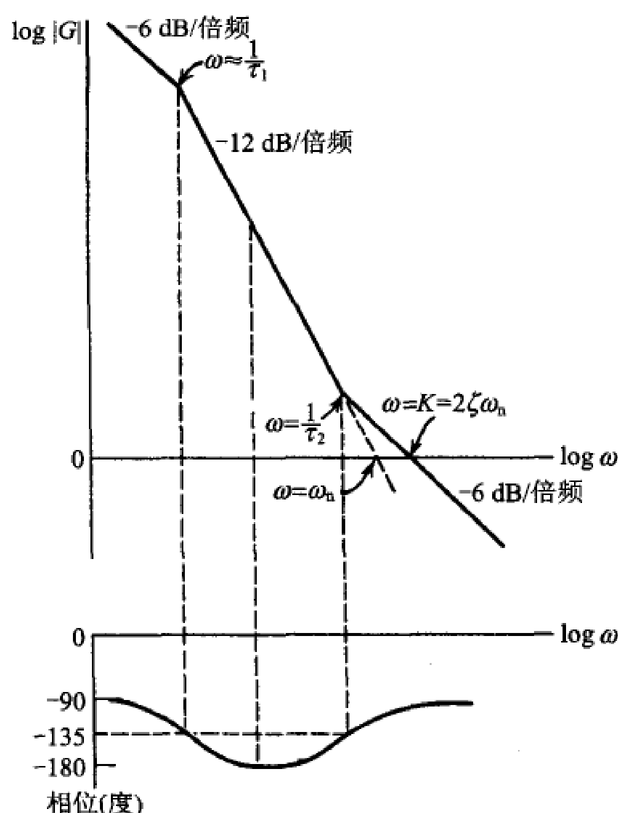


图 3-12　一个二阶 1 类 PLL 的伯德图，它的滞后超前滤波器为 $F(s)=(s\tau_2+1)/(s\tau_1+1)$

图 3-13 给出了二阶 2 类 PLL 的伯德图的另一种表示法。它不是把幅度与相位分开成两张图，而是把两者放在同一张图上。而且，图中不用直线渐近线表示幅度，而用实际的 dB 值画出。用直线近似的幅度图，手画比较容易，但因为图 3-13 是用一个电子表格程序画出的，所以用真实的 dB 数来画就更容易。

下面比较图 3-12 与图 3-13：(1)增益穿越频率在两张图中都清晰可见；(2)如预期的那样，在 $\omega=1/\tau_2$ 或 $\omega=\omega_n$ 处的这些突出的频率点，用幅度渐近线的方法是比较容易确定的；(3)电子表格有极大量的数据支持曲线图的表达。你可以从这些表格数据中得到任意想要的数据，这是用手画所没有的优点，或者是从一个具体比例尺的图中很难获取的数据。例如，由电子表格可以很容易地知道，图 3-13 中的归一化增益为 $K\tau_2=3$，相位裕度为 72°。

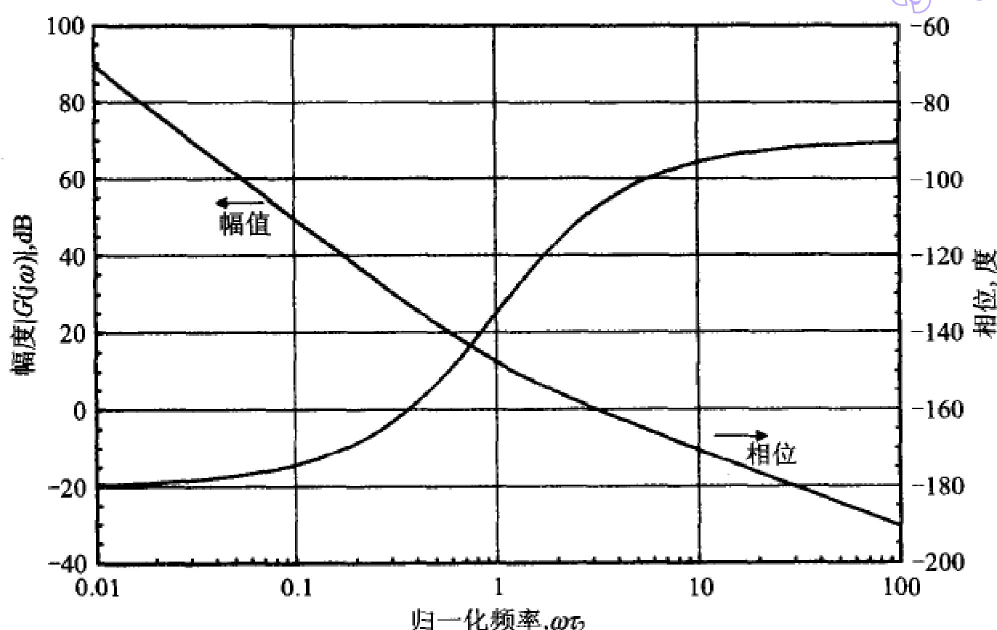


图 3-13 一个二阶 2 类 PLL 的伯德图，其零点位于 $s\tau_2=-1$，增益 $K\tau_2=3(\zeta=0.866)$，相位裕度为 72°；与图 3-18 中尼科尔斯图的参数相同，与图 3C-1 和图 3C-2 中频率响应曲线的参数也相同

2. 三阶环路

图 3-14 是一个三阶 2 类 PLL 的伯德图，其中 $K\tau_2=3, b=9$（这些归一化的参数与图 2-9 中那个三阶 2 类 PLL 是相同的，其中图 2-9 是它的频率响应；其归一化增益与图 3-13 中那个二阶 2 类 PLL 相同，其中图 3-13 是它的伯德图）。把图 3-14 与图 3-13 比较后可以看出，幅度曲线在频率 $\omega\tau_2<9$（第三个极点的转角频率）的区域内没有什么改变，但在频率大于 $\omega\tau_2\approx1$ 的区域内相位受到影响。

尤其是，看不出后来增加的极点对增益穿越频率有什么改变。这是具有宽松稳定性裕度的反馈回路的一个典型特性；另外增加的高频单元减少了相位裕度，但并不太影响增益穿越点的位置。在这些情况下，你可以感受到这样一种方便性，即只需用一个在增益穿越频率处有正确相位的延迟项，就可以近似地表示几个高频单元的影响。在图 3-14 中，相位裕度从图 3-13 比较宽余的 72°减少到了 53°。由于相位滞后对于任意有限值的 $\omega>0$ 是永远不会达到 −180°的，所以对三阶 2 类 PLL，我们尚未定义其增益裕度（对二阶 2 类 PLL 也没有定义）。

我们还可以看出，后加的那个极点对幅度曲线的 −12 dB/倍频部分的延长线的0 dB 穿越频率点的位置没有什么影响（二阶 2 类 PLL 的这个频率点是 $\omega=\omega_n$）。这样，虽然三阶 PLL 有三个极点，因而专门用于一对极点的“固有频率”的标准定义（在 2.2.3 节中引入）在这里并不适用，但扩展的定义仍然有效。

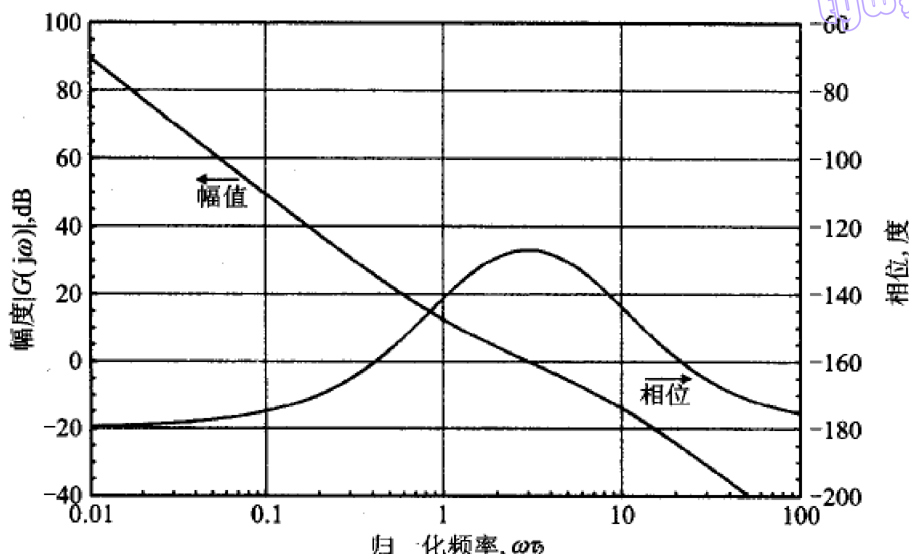


图 3-14 一个三阶 2 类 PLL 的伯德图,其中 $b=9$,$K\tau_2=3$,相位裕度为 53°;其参数与图 2-9 中频率响应曲线的参数相同,与图 3-3 和图 3-4 中标有“$b=9$”的根轨迹图参数相同

3. 四阶环路

44~46

图 3-15 是一个四阶 2 类 PLL 的伯德图,其中 $K\tau_2=3$,两个后加的极点的转角频率重合于 $\omega\tau_2=30$。这个 PLL 的根轨迹图是图 3-6 和图 3-7 中标有“$b=30$”的那条曲线。我们再次说明,滤波操作对远低于极点转角频率的那些频率上的幅度是没有什么影响的,但从低于增益穿越频率到逐渐增大以至超过该频率的范围内,对相位有相当大的影响。第四个极点使高频区的相位接近−270°,所以相位穿越频率现在是有意义的。相位穿越点发生在 $\omega\tau_2=30$ 的附近,并发现增益裕度约在 25 dB 左右。与这一组参数对应的相位裕度约为 60°。这些数据仍然是相当宽裕的裕度,但总不像图 3-13 中的二阶 2 类 PLL 那样的充裕。

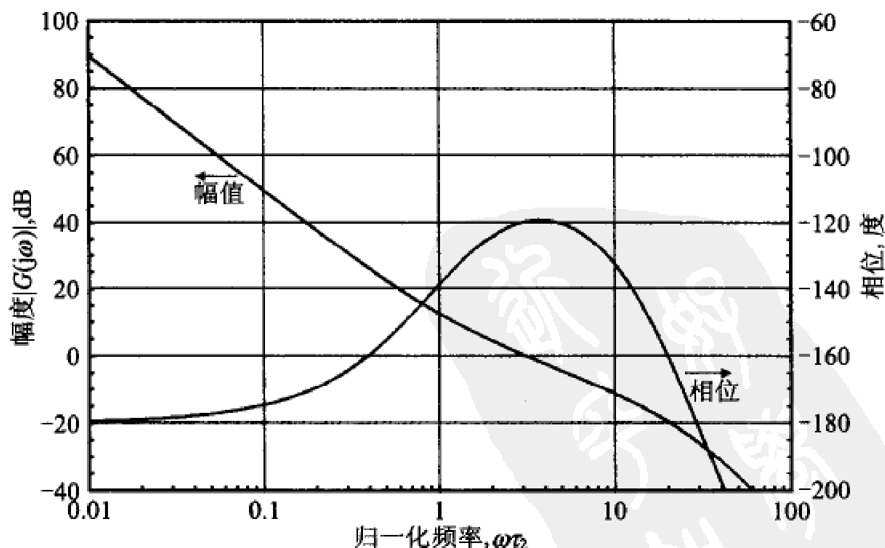


图 3-15 一个四阶 2 类 PLL 的伯德图,它的两个高频极点重合于 $s\tau_2=-b$,增益 $K\tau_2=3$,$b=30$,相位裕度=60°,增益裕度≈25 dB;其参数与图 3-6 和图 3-7 中标有“$b=30$”的那个根轨迹图相同

4. 延迟对伯德图的影响

图 3-16 是一个二阶 2 类 PLL 的伯德图，其中 $K\tau_2=3$，传输延迟 $\tau_d=\tau_2/10$。在本章的前面有个结论：根轨迹图不能用来分析环路中的传输延迟。但是，伯德图（或奈奎斯特图或尼科尔斯图）没有这样的缺点；只要在每张图上对所有 ω 的相位都加上一个 $-\omega\tau_d$ 弧度的相位。图 3-16 表示延迟对幅值没有任何影响（因为对所有实数 ω，都有 $|\exp(j\omega)|\equiv 1$），但对相位可以有强烈的影响。在相位穿越频率 $\omega\tau_2\approx 15$ 处，相位裕度减少到 54°，增益裕度大约为 14 dB。环路中存在延迟总会保证存在相位穿越频率，因为延迟项所产生的相位滞后是严格地随频率单调增的。

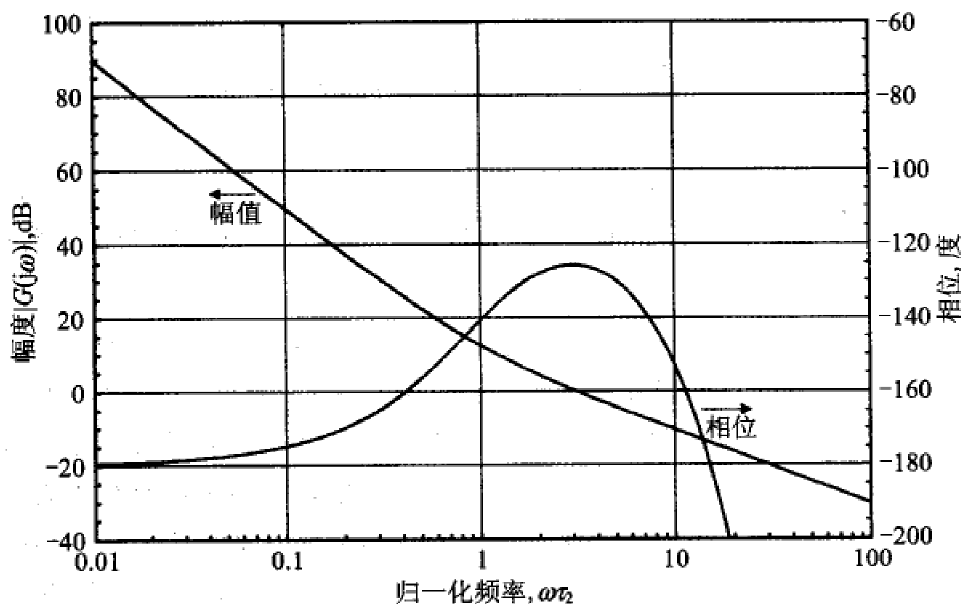


图 3-16　一个二阶 2 类 PLL 的伯德图，其中环路内的延迟 $\tau_d=\tau_2/10$，增益 $K\tau_2=3$，相位裕度≈54°，增益穿越频率 $\omega\tau_2\approx 15$，以及增益裕度≈14 dB；这些参数与图 3-20 中的尼科尔斯图相同，也与图 3C-3 和图 3C-4 中频率响应图的参数相同

47

3.2.5　3 类 PLL 的伯德图

作为伯德图的最后一个例子，图 3-17 示出了一个三阶 3 类环路的伯德图，它的根轨迹图曾经表示在图 3-5 中。因为现在的环路滤波器中包含了两个理想的积分器，所以低频渐近线的斜率为 −18 dB/倍频，零频时的相位为 −270°。我们需要两个超前零点，以使渐近线的斜率在增益穿越频率附近的转折为 −6 dB/倍频；这两个零点被随意地表示为重合于 $\omega=1/\tau_2$。增益穿越点再次出现在幅度渐近线直线上的 $\omega=K$ 处。请注意观察，这个图没有给出 ω_n 的定义，与之不同的是，在 2 类 PLL 的曲线上被定义为与一条 −12 dB/倍频斜线的延长线的交点。没有给出一个定义反映出这样一个事实，即严格地说，固有频率是二阶系统的特性；对于举例中的三阶系统，从本质上讲是不存在这个定义的，这也不是伯德图的缺漏。

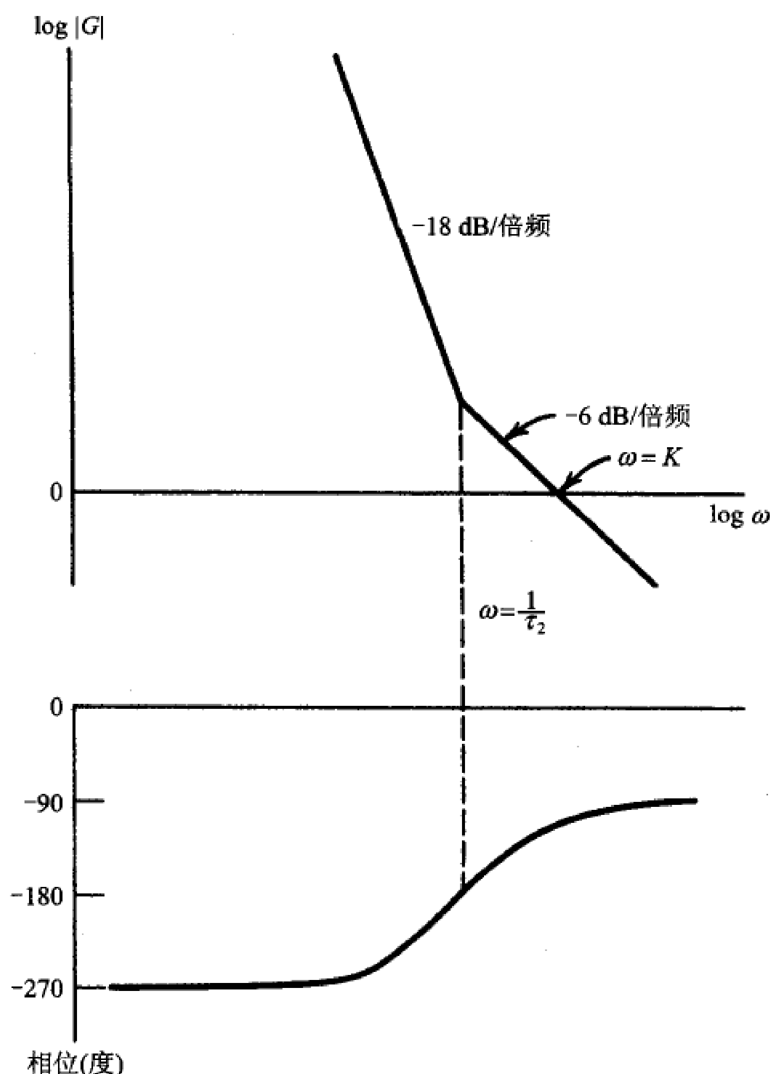


图 3-17 一个三阶 3 类 PLL 的伯德图，其中两个零点重合于 $\omega=1/\tau_2$；其参数与图 3-5 中的根轨迹图相同

48

如果降低增益使增益穿越点发生在低于 ω_π 的频率(此频率点上的相位＝－180°)时，环路就变成不稳定。(在这个举例中，ω_π 恰巧与 $\omega=1/\tau_2$ 重合，因为两个零点在这个频率上各贡献了准确的超前 45°。)因增益降低而导致的不稳定性，是在所有 3 类(或更高类)PLL 中会遇到的条件稳定性的特征。

3.3 奈奎斯特图

奈奎斯特图是一种在复数 $G(j\omega)$ 平面内以频率 ω 为参变量的 $G(j\omega)$ 图。奈奎斯特图不受施加于伯德图的那些条件的约束(也不受尼科尔斯图那样的约束)。奈奎斯特图可以用来分析多条通路的反馈环路，以及开环极点位于右半平面的环路。但因为几乎所有的 PLL 都没有这些特征，所以还没有看到奈奎斯特图的比较多的应用。环路稳定性可以用奈奎斯特图在复数 $G(j\omega)$ 平面上围绕 $-1+j0$ 点来指明。奈奎斯特稳定性准则评估

起来不像伯德图和尼科尔斯图那样方便，虽然它有比较广泛的适用性。因为 $G(j\omega)$ 是画在线性坐标上的（不像伯德图和尼科尔斯图中的幅度用 dB 为单位），所以图中的最大和最小幅度都会因太大而画不下，或者太小而看不见。因此，虽然奈奎斯特图是一种功能很强的工具，但在 PLL 的分析与设计上还是用得很少的。所以本书将不再做介绍。

3.4 尼科尔斯图

尼科尔斯图是一种以 $G(j\omega)$ 的极坐标分量标出的直角坐标图，也就是说，$|G(j\omega)|$ 以纵坐标上的 dB 为单位，而 $\mathrm{Arg}[G(j\omega)]$ 以横坐标上的度为单位。频率 ω 是一个参变量，但并不明显地出现在图中。尼科尔斯图只有一条曲线，由此而引出的一个特点是，可以比伯德图的两条曲线更快地审图理解，虽然所用的数据是完全相同的。因为 $|G|$ 使用了 dB 的比例尺，所以尼科尔斯图清晰地显示出 $|G|$ 的大值区域和小值区域，这在奈奎斯特图中是表示不清楚的。尼科尔斯图的功能可以用 M 等值线（将在 3.4.2 节中说明）加强，这个 M 等值线的方法是用来计算闭环系统响应的增益峰值的。尼科尔斯图并不显示频率的信息；当需要表示出频率信息的时候，伯德图是较好的方法。尼科尔斯图已经被我们控制系统的同行们在反馈系统设计方面广泛使用了许多年；现在看看它在 PLL 方面的应用。

3.4.1 稳定性准则

尼科尔斯图的稳定性准则受到与伯德图同样的限制：开环传递函数必须是稳定的，而且曲线只在一点上穿越 0 dB。如果一个 PLL 在尼科尔斯图上的增益穿越处的相位大于 $-180°$，那么这个 PLL 是稳定的。相位裕度是 180°和增益穿越点相位之和。增益裕度是在 $-180°$ 相位穿越点（如果有的话）上的增益 dB 数的负值。尼科尔斯图上的两个裕度要比在伯德图上或奈奎斯特图上更容易看出。

49

3.4.2 *M* 等值线

闭环系统响应 $H(j\omega)=G(j\omega)/[1+G(j\omega)]$ 可以用开环响应的数据来计算。在尼科尔斯图上的每一点都与 G（因而与 H）的每一个不同的值相对应。把闭环响应用极坐标的形式表示，即 $H=Me^{j\alpha}$。这样，尼科尔斯图上的每一点都与一对不同的 M 和 α 值相对应。把相等的 M 值连接起来的曲线称为 M 等值线，而把相等的 α 值连接起来的曲线称为 α 等值线。等值线的计算方法在参考文献[3.4]中和许多新近的控制系统的教科书中都有说明。

等值线是尼科尔斯图自身的基本性质，与具体的 $G(j\omega)$ 传递函数无关。因而，等值线可以从一张空白的图上产生，并用以计算任何可以计算的传递函数。M 等值线特别有用，因为它可以对于任何 G 确定其 $|H|$ 的增益峰值，不然就得画出 G 的图。增益峰值可以是 PLL 设计中的一个重要问题。

3.4.3 尼科尔斯图举例

2 类 PLL 的尼科尔斯图的几个例子示于图 3-18 至图 3-20 中。这些图绘制时所用的电子表格与前面图 3-13 至图 3-16 中伯德图用的电子表格相同。图 3-18 画出了一个二阶 2 类 PLL 的尼科尔斯图，其中 $K\tau_2=3(\zeta=0.866)$。增益穿越点的相位为 $-107°$，因而相位裕度为 73°。增益裕度是无穷大的，因为曲线在任何非零频率点都不穿越 $-180°$。

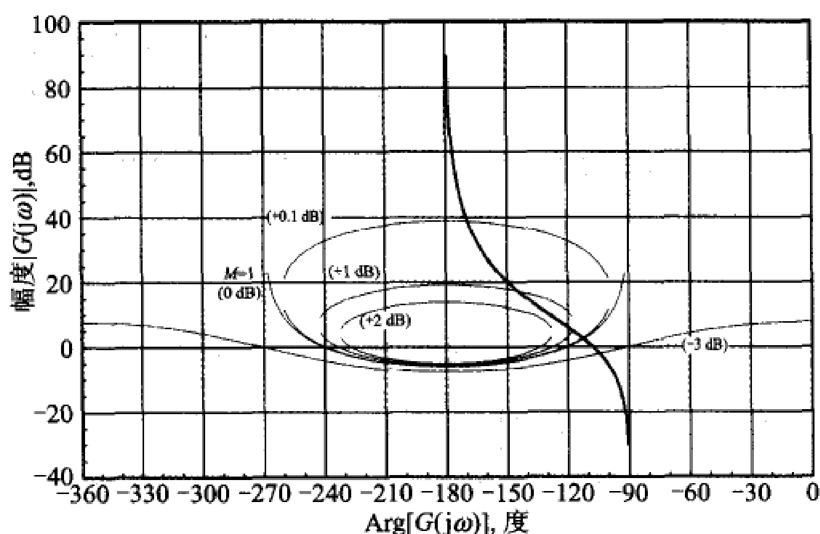


图 3-18 一个二阶 2 类 PLL 的尼科尔斯图，其中 $K\tau_2=3(\zeta=0.866)$；其参数与图 3-13 中的伯德图和图 3C-1 和图 3C-2 中频率响应曲线图的参数相同。粗线画出的曲线是以 dB 表示的 $|G(j\omega)|$，并相对于以度为单位的 $\mathrm{Arg}[G(j\omega)]$ 画出的。细线画出的椭圆形的曲线是 M 等值线。椭圆线末端的间隙是由计算中横坐标的量化引起的

$|H|$ 的增益峰值可以从 M 等值线上估算出来；所画的曲线大约在 +1 dB 与 +2 dB 的 M 等值线之间的中间位置穿过，所以 $|H|$ 的峰值大概是 1.5 dB。用式(2-25)做准确计算后，得到的结果为 1.55 dB。关于比较复杂的 PLL 的精确峰值公式尚未导出，但 M 等值线的峰值计算法不需要这样的峰值公式。

图 3-19 中的第二个例子是与第一个例子一样的，但增益已经被增加到了 $K\tau_2=81$ $(\zeta=4.5)$。尼科尔斯曲线的形状并没有改变；只是向上移动了 $20\log(81/3)=28.6$ dB。观察一下曲线就可以知道，它勉强擦过 +0.1 dB 的 M 等值线（所以 $|H(j\omega)|$ 的峰值不超过 0.1 dB），而 0 dB 的增益穿越点的相位大约为 $-91°$（所以相位裕度大约为 89°）。

示于图 3-20 中的第三个例子是与图 3-18 中例子相同的，但多了一个延迟 $\tau_d=\tau_2/10$。它的条件与图 3-16 中的伯德图相同。观察这个尼科尔斯曲线就可以立即知道，增益峰值略大于 2 dB，相位裕度为 54°，增益裕度大约为 14 dB。

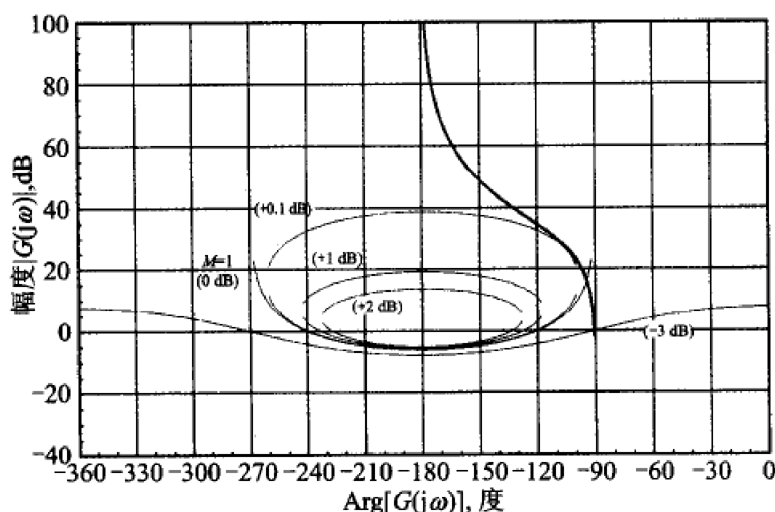


图 3-19　一个二阶 2 类 PLL 的尼科尔斯图，其中 $K\tau_2=81(\zeta=4.5)$，相位裕度≈89°

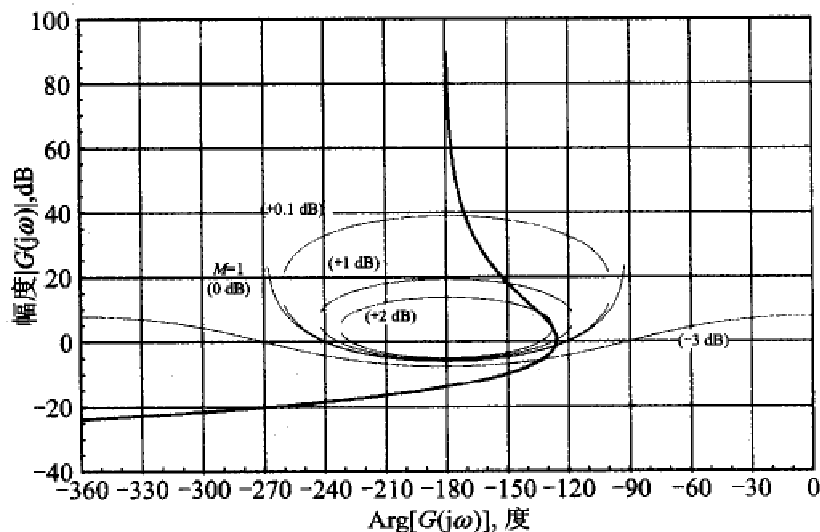


图 3-20　一个二阶 2 类 PLL 的尼科尔斯图，其中环路内的延迟为 $\tau_d=\tau_2/10$，增益 $K\tau_2=3$，相位裕度≈54°，增益裕度≈14 dB；其参数与图 3-16 中伯德图和图 3C-3 和图 3C-4 中的频率响应曲线图相同

3.5　闭环频率响应曲线

事实上，闭环频率响应 $|H(j\omega)|$、Arg$|H(j\omega)|$、$|E(j\omega)|$ 和 Arg$[E(j\omega)]$ 与频率 ω 之间的关系是可以容易地用电子表格计算的，而且可以生成伯德图和尼科尔斯图。所有必需的数据都已经有了，只需要再增加几个公式和一些数据项。关于它的计算原理和若干个实例，可参阅附录 3C。

附录 3A 根轨迹的特点

50～52

当 $G(s)$ 的某个参数值（最常用的是增益 K）在一个恰当范围内（比如，$K=0$ 到 ∞）变化时，s 平面上能满足特征方程 $1+G(s)=0$ 的所有点的集合就叫做根轨迹曲线。$1+G(s)$ 的零点确定了闭环传递函数 $H(s)$ 和 $E(s)$ 的极点。一般来说，$G(s)$ 的系数均为实数，所以 $1+G(s)$ 的任何复数根都是以共轭复数对出现的。本附录将说明如何计算根轨迹的几个主要的特征值。

3A.1 根轨迹的分支

一条根轨迹的分支数等于特征方程中的有限值根的个数，也就是闭环传递函数的根的个数。其中有些分支终结于有限值零点，而其他的则延伸至 $|s|=\infty$。如果 s 的幅值充分大，那么特征方程可近似为

$$G(s)=-1\approx\frac{aKs^{N_z}}{s^{N_p}}=\frac{aK}{s^{N_p-N_z}}$$

其中 N_p 和 N_z 是 $1+G(s)$ 的有限值极点和零点的个数，而 aK 是 $G(s)$ 中两个最高次幂的系数之比。

评注：$1+G(s)$ 的零点是 $H(s)$ 或 $E(s)$ 的极点。

对于轨迹上的任意一个点 s，$G(s)$ 的角是 π 的奇次倍，因为 $-1=e^{j(2k-1)\pi}$。也就是，当 k 为一个整数时，有

$$\mathrm{Arg}[G(s)]=\mathrm{Arg}\left[\frac{aK}{s^{N_p-N_z}}\right]=(2k-1)\pi$$

其中 $\mathrm{Arg}[x]$ 表示复数 x 的相角。乘积 aK 是正实数，因此 $G(s)$ 的渐近线的角度可由满足下面等式的那些 k 值来确定

$$\mathrm{Arg}\left[\frac{1}{s^{N_p-N_z}}\right]=(2k-1)\pi$$

并可以简化为

$$\mathrm{Arg}[s]=\frac{(2k-1)\pi}{N_p-N_z}$$

例如，如果 $N_p-N_z=3$，那么当 $k=0$、1 和 2 时的渐近线角度分别为 $-60°$、$+60°$ 和 $180°$。当 $N_p-N_z=3$ 时的任何其他 k 的值都将生成 $300°\equiv-60°$ 这样的角，而这样的角可以化简为 $k=0$、1 或 2 所对应的角度中的一个。渐近线一般不在 $s=0$ 上相交，而在负实轴上的某一点相交。

3A.2 轨迹在实轴上的部分

轨迹位于实轴上的部分是由 $G(\sigma+j0)=-1$ 来确定的，其中 σ 为 s 的实部。同样地，$\mathrm{Arg}[G(\sigma)]=(2k-1)\pi$。$G(s)$ 中成共轭复数对的极点和零点对 $G(s)$ 位于 $s=\sigma+j0$ 处的角度贡献是 $0°$，且与零极点的位置无关。每一个位于 σ 左边的实数极点和零点也

53

给 $G(\sigma)$ 的角度贡献 0°，但每一个位于 σ 右边的实数极点和零点则分别给 $G(\sigma)$ 的角度贡献 −180°和 +180°。因此，根轨迹在实轴上的任何一部分都有奇数个开环实数极点和实数零点位于它的右侧。如果在正实轴上不存在开环的极点和零点（几乎每个 PLL 都是这样），那么根轨迹的任何实数部分只可能出现在负实轴上或在 $s=0$ 处。

3A.3　轨迹与轴的交点

根轨迹与虚轴或实轴相交的位置是对 PLL 工程师们非常有用的信息。这里所示的是一个具体 PLL 的交点，而不是从一般情况推导出的。所选的例子是 3.16 节中的四阶 2 类 PLL。这个 PLL 在原点有两个开环极点，一个零点在 $s=-1/\tau_2$，两个重合的环路高频极点位于 $s=-b/\tau_2$。对 τ_2 做归一化后得到 $p=s\tau_2$，因而开环零点在 $p=-1$，两个开环高频极点在 $p=-b$。这个例子的特征多项式为

$$\frac{p^4}{b^2}+\frac{2p^3}{b}+p^2+K'p+K'=0 \tag{3A-1}$$

其中 $K'=K\tau_2$ 是归一化的增益。

1. 与虚轴的交点

虚轴是 PLL 的稳定性边界；如果根轨迹进入 s 平面的右半部，则环路就不稳定。在穿越点，虚数极点将是位于 $p=\pm jp_0$ 处的一对共轭复数，其中 p_0（p_0 为实数）是待定的。此外还有两个极点，其位置 $-p_1$ 和 $-p_2$ 还未知。现在用 $p_2+p_0^2$ 去除式(3A-1)，得到余数 $p(K'-2p_0^2/b)+K'-p_0^2(1-p_0^2/b^2)$。这个余数对所有的 p 都等于零，如果

$$K'-\frac{2p_0^2}{b}=0 \quad , \quad K'-p_0^2+\frac{p_0^4}{b^2}=0 \tag{3A-2}$$

从上面的第二个条件中减去第一个条件后得到

$$p_0^2\left(\frac{p_0^2}{b^2}+\frac{2}{b}-1\right)=0$$

上式确定了两对极点，它们分别位于虚轴上的 $p_0=0$（2 类 PLL 开环的积分器极点）和

$$p_0=\pm b\sqrt{1-\frac{2}{b}} \tag{3A-3}$$

54　等式(3A-3)是我们一直在寻找的 p_0 的结果。

p_0 的实数值仅当 $b>2$ 时才存在；当 b 的值比较小的时候，不存在与虚轴的非零交点。这个情况的意思是说，当 $b<2$ 和任何 $K'>0$ 时，根轨迹的复数分支完全位于右半平面内；即，当 $b<2$ 时，环路是不稳定的。为了找出 K' 的相应于 p_0 的值（即，相对于稳定边界的 K' 值），我们求解式(3A-2)的第一个方程，求出用 b 和 K' 表示的 p_0，并把结果代入式(3A-2)的第二个方程，因而可以找出根 $K'=0$（两个开环极点位于 $p=0$）和

$$K'=2(b-2) \tag{3A-4}$$

这个结果只适用于 $b>2$ 的情况。

2. 与实轴的交点

请参阅图 3A-1，图中表示前面这个例子在 p 平面上的开环极点和零点，以及在根轨

迹上位于 $p=-d+j\Delta$ 的一个点。我们把 Δ 看作一个无穷小量，因此 $p=-d$ 是根轨迹的复数部分与实轴的一个交点。从开环极点和零点到点 $p=-d+j\Delta$ 的矢量的角度必须加在一起成 180°的奇数倍。每一个位于 $-d$ 右边的极点和零点所贡献的角度都略小于 180°，而那两个位于 $-d$ 的左边的极点的每一个所贡献的角度都略大于 0°。零点给 $G(s)$ 贡献一个超前(正的)的相位，而极点给 $G(s)$ 贡献一个滞后(负的)的相位。也就是

$$(2k-1)\pi=-2\left(\pi-\tan^{-1}\frac{\Delta}{d}\right)+\left(\pi-\tan^{-1}\frac{\Delta}{d-1}\right)-2\tan^{-1}\frac{\Delta}{b-d}$$

$$=-\pi+2\tan^{-1}\frac{\Delta}{d}-\tan^{-1}\frac{\Delta}{d-1}-2\tan^{-1}\frac{\Delta}{b-d} \tag{3A-5}$$

令 $k=0$，因而那些 π 项互相抵消，结果变为

$$0=+2\tan^{-1}\frac{\Delta}{d}-\tan^{-1}\frac{\Delta}{d-1}-2\tan^{-1}\frac{\Delta}{b-d}$$

因为 Δ 是无穷小，所以这三个角都非常小，可以用它们的正切来近似，这样得到

$$\frac{-2\Delta}{d}+\frac{\Delta}{d-1}+\frac{2\Delta}{b-d}=0$$

通分并提出 Δ 因子后，其分子为

$$3d^2-(4+b)d+2b=0$$

该方程的根位于

$$d=\frac{4+b\pm\sqrt{b^2-16b+16}}{6} \tag{3A-6}$$

对于 $b\leqslant4(2-\sqrt{3})\approx1.072$ 或 $b\geqslant4(2+\sqrt{3})\approx14.928$，该鉴别式为非负。由于 $b=2$ 是一个稳定性边界，所以更小的 b 的限制值即表示一个不稳定状态，因而在 PLL 设计中没有用处。$b=4(2+\sqrt{3})$ 这个较大的限制值表示在负实轴上存在三个重合的实极点，它们位于 $p=-(4+b)/6=-2(1+1/\sqrt{3})\approx-3.15470$。

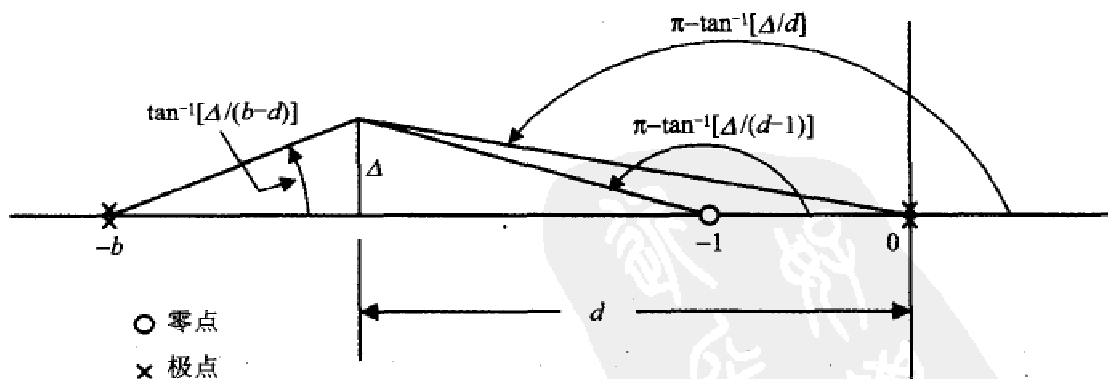


图 3A-1 用以确定四阶 2 类 PLL 的根轨迹与负实轴的相交的几何图示

附录 3B 开环传递函数 $G(s)$的形式

2.3.1 节中曾给出了开环传递函数 $G(s)$的非常一般性的形式：

$$G(s) = \frac{K_d K_o F_{p+i}(s) F_{hf}(s)}{s}$$

其中环路滤波器被划分为两个级联的环节：$F_{p+i}(s)$是一个比例加积分(P+I)环节，$F_{hf}(s)$是一个高频滤波环节。本附录将考察 $F_{p+i}(s)$的若干种不同的结构。同时还将说明其中的每一个传递函数应当如何安排，才便于伯德图和尼科尔斯图的计算。

3B.1 比例加积分环节

等式(2-27)把 P+I 环节定义为下面的形式

$$F_{p+i}(s) = K_1 + \frac{K_2}{s} + \frac{K_3}{s^2} + \frac{K_4}{s^3} + \cdots \tag{3B-1}$$

虽然几乎任何一个 P+I 的结构都可以通过恰当的代数运算而表示成上面这样的形式，56但从形式上看，式(3B-3)却表示了一种具有多个并行支路的结构，如图 3B-1 所示。这个完全并行的结构是可以工作的，但如果环路类别大于 2 类时，其积分器的数目明显地超过了实际所需的数目。如果一个 PLL 为 n 类，那么 PLL 可以刚好用 n 个积分器来实现。其中的一个积分器总是由 VCO 提供，所以环路滤波器只需要提供$(n-1)$个。但图 3B-1 中完全并行的结构需要 $\sum_{i=1}^{n}(i-1) = n(n-1)/2$ 个积分器，因此最好用一个更加经济的结构。

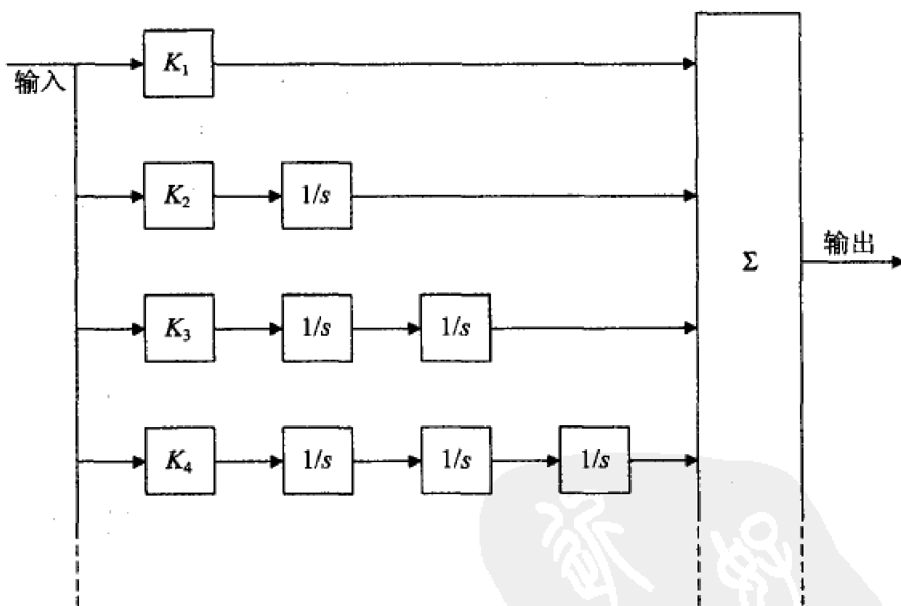


图 3B-1 一个高于 2 类 PLL 的环路滤波器的 P+I 部分所采用的并行结构

我们可以设计各种结构，把其中所需的$(n-1)$个积分器连成级联的形式；而这$(n-1)$个起到稳定作用的零点可以这样产生：把比例输入信号与$(n-1)$个积分器的输出信号通过恰当的加权组合而成。这样的一个结构(还有许多其他的结构)被示于图 3B-2中。这个结构有下面的传递函数

$$F_{p+i}(s)=K_1+\frac{K_1a_2}{s}+\frac{K_1a_2a_3}{s^2}+\frac{K_1a_2a_3a_4}{s^3}+\cdots$$

这些系数可以通过下面的式子与(3B-1)中的系数关联起来

$$K_2=K_1a_2$$
$$K_3=K_1a_2a_3$$
$$K_4=K_1a_2a_3a_4$$
$$\vdots$$

这个结构也仍然只需要$(n-1)$个积分器。可以看出，每一个 a_i 都有(时间)$^{-1}$的量纲。

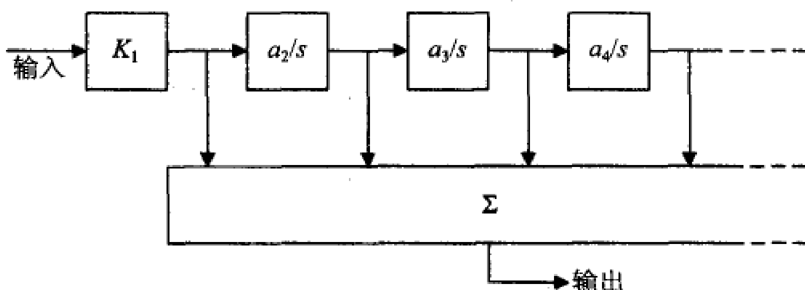


图 3B-2　一个环路滤波器的 P+I 部分由级联积分器和并行加法器构成

对于一个 2 类 PLL 来说，P+I 滤波器的传递函数不过是

$$\frac{F_{p+i}}{K_1}=1+\frac{a_2}{s}=\frac{s+a_2}{s}$$

因而可以看出 $1/a_2$ 与 τ_2 相同，τ_2 是 2 类 PLL 稳定性零点的时间常数，如图 2-2 所示。

对于一个 3 类 PLL，P+I 滤波器的传递函数可表示为

$$\frac{F_{p+i}(s)}{K_1}=1+\frac{a_2}{s}+\frac{a_2a_3}{s^2}=\frac{s^2+sa_2+a_2a_3}{s^2}$$

在使用二次方程的公式后，可给出表达式的两个零点位于

$$s=-\frac{a_2}{2}\left(1\pm\sqrt{1-\frac{4a_3}{a_2}}\right)$$

如果 $a_3=a_2/4$，那么这两个零点重合于 $s=-a_2/2$(希望的设计目标)，但如果 a_3 大于此值，则将是共轭复数(不希望的情况)。要是对 a_3/a_2 的容差有适当严格的规定，我们是可以把零点设计成重合的，但如果容差太大(在实际的模拟 PLL 设计中是常见的)，则复数零点的风险也就很大。

关于选择重合零点和避免复数零点的理由将在 8.3.1 节中论述。对所有 3 类或 3 类以上的 PLL，使用图 3B-1 和图 3B-2 中的结构，或使用由这些结构演变而成的任何结构，都可能出现复数零点。正是由于上面这种多路并行的结构，才有可能产生复数零点，即使积分器本身是严格地级联的。一种通过本身结构来避免复数零点的方法，是比较安全的，尤其当元件的容差比较大的时候。

图 3B-3 和图 3B-4 示出了两种可以完全防止复数零点的结构，其中级联中的积分器可以有任意多个。避免复数零点的方法是，把每个零点与一个单一的积分器相联系，而不是用两个或更多个积分器并联产生零点。这两种结构都是图 2-2 中一阶 P+I

57
~
58

滤波器的简单级联。

提示：奇数个级联的反相运算放大器会对反馈回路引入一个反向极性。一定要在整体设计中考虑到这一点。

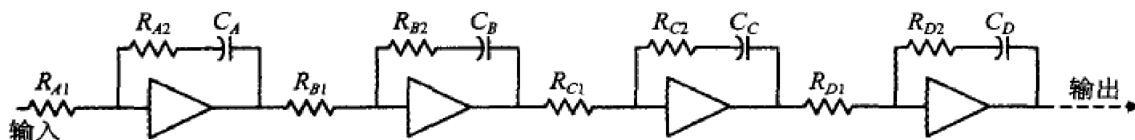


图 3B-3　一个环路滤波器的 P+I 部分用有源滞后超前单元级联而成

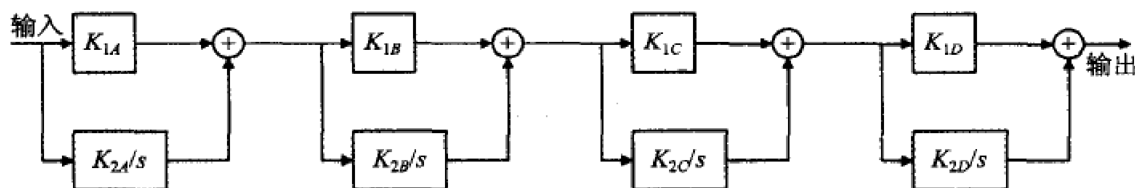


图 3B-4　一个环路滤波器的 P+I 部分用独立的一阶 P+I 单元级联而成

暂且不说极性反向的问题，图 3B-3 中的 P+I 环路滤波器的传递函数可写为

$$
\begin{aligned}
F_{p+i}(s) &= \frac{(sC_AR_{A2}+1)(sC_BR_{B2}+1)\cdots}{s^{n-1}C_AR_{A1}C_BR_{B1}\cdots} \\
&= \frac{R_{A2}R_{B2}\cdots}{R_{A1}R_{B1}\cdots}\cdot\frac{(s+1/\tau_A)(s+1/\tau_B)\cdots}{s^{n-1}} \\
&= K_1\frac{(s+1/\tau_A)(s+1/\tau_B)\cdots}{s^{n-1}}
\end{aligned}
\tag{3B-2}
$$

其中 $\tau_i=C_iR_{i2}$，$K_1=(R_{A2}R_{B2}\cdots)/(R_{A1}R_{B1}\cdots)$，$n$ 是环路的类别。同样，图 3B-4 中结构的传递函数与式(3B-2)中最后一行相同，并且按照定义：$K_1=K_{1A}K_{1B}\cdots$，$\tau_i=K_{1i}/K_{2i}$。为了方便计算（比如用电子表格），P+I 的传递函数要根据下面两个等式分成幅度和相位

$$
20\log\left|\frac{F_{p+i}(j\omega)}{K_1}\right| = -20(n-1)\log(\omega)+10\sum_{i=1}^{n-1}\log\left(\omega^2+\frac{1}{\tau_i^2}\right) \tag{3B-3}
$$

$$
\mathrm{Arg}[F_{p+i}(j\omega)] = \frac{180}{\pi}\left[-\left(\frac{\pi}{2}\right)^{n-1}+\sum_{i=1}^{n-1}\tan^{-1}\omega\tau_i\right] \tag{3B-4}
$$

59

3B.2　高频环节

在 PLL 中可以找到的几乎每一个高频滤波器的传递函数，都可以写成一阶和二阶的零极点与一个延迟之积，其形式如下

$$
F_{hf}(s) = F_{hf}(0)\frac{\Pi_m(s\tau_m+1)\Pi_q(\alpha_qs^2+\beta_qs+1)}{\Pi_k(s\tau_k+1)\Pi_r(\alpha_rs^2+\beta_rs+1)}e^{-s\tau_d} \tag{3B-5}
$$

其中 τ_d 是传输延迟。相应的幅度和相位表达式为

$$
20\log\left|\frac{F_{hf}(j\omega)}{F_{hf}(0)}\right| = 10\sum_m\log(1+\omega^2\tau_m^2)+10\sum_q\log[(1-\alpha_q\omega^2)^2+\omega^2\beta_q^2]
$$

$$
-10\sum_{k}\log(1+\omega^2\tau_k^2)
$$

$$
-10\sum_{r}\log[(1-\alpha_r\omega^2)^2+\omega^2\beta_r^2] \tag{3B-6}
$$

$$
\mathrm{Arg}[F_{hf}(\mathrm{j}\omega)]=\frac{180}{\pi}\Big(-\omega\tau_d+\sum_{m}\tan^{-1}\omega\tau_m+\sum_{q}\tan^{-1}\frac{\omega\beta_q}{1-\omega^2\alpha_q}
$$

$$
-\sum_{k}\tan^{-1}\omega\tau_k-\sum_{r}\tan^{-1}\frac{\omega\beta_r}{1-\omega^2\alpha_r}\Big) \tag{3B-7}
$$

F_{hf}中成对出现的共轭复数零点或极点是不多见的，但确实是可以发生的；这些零极点如果要用实系数表达的话，就需要用二次因式。在模拟 PLL 中也很少见到使用相当大的延迟，但确实是有的；当必须要处理延迟的时候，可求助于式(3B-5)和式(3B-7)。

3B.3 计算

- ☐ 可以建立这样一个电子表格，使 F_{hf} 中的极点和零点的数目比任何实际 PLL 中需要的还要多，并简单地把多出的一些系数 τ、α 和 β 置为零，从而把它们的影响因子降为 1。
- ☐ 对 F_{p+i} 却没有这样容易，因为把式(3B-2)中任意一个时间常数置为零，将使除数为零。
- ☐ F_{p+i}公式的构成法则是 $\lim_{s\to\infty} F_{p+i}(s)/K_1=1$。
- ☐ F_{hf}公式的构成法则是 $\lim_{s\to 0} F_{hf}(s)/F_{hf}(0)=1$。
- ☐ K_1 和 $F_{hf}(0)$都将以 K 的系数而被包含进去。

60

附录 3C 闭环频率响应

一旦建好了伯德图或尼科尔斯图的电子表格之后，就不难再增加几个公式以产生闭环传递函数 E(jω)和 H(jω)的频率响应。本附录将给出公式的产生方法和一些例子。

3C.1 频率响应公式

我们从闭环误差传递函数 E(jω)开始；E(jω)与开环传递函数之间的关系以极坐标形式可写为

$$
|E|\,e^{\mathrm{j}\mathrm{Arg}[E]}=\frac{1}{1+|G|\,e^{\mathrm{j}\phi}}=\frac{1}{1+|G|\cos\phi+\mathrm{j}\,|G|\sin\phi} \tag{3C-1}
$$

其中自变量 jω 因书写紧凑的缘故已被略去，而 $\phi=\mathrm{Arg}[G]$。E 的极坐标元素可以容易地从式(3C-1)中分离出来。首先，相位的表达式是

$$
\mathrm{Arg}[E]=-\tan^{-1}\frac{\sin\phi}{\cos\phi+1/[G]} \tag{3C-2}
$$

一般都在乘以 $180/\pi$ 之后用度来画出。然后，幅度是

$$
|E|^2=\frac{1}{1+2\,|G|\cos\phi+|G|^2}
$$

用 dB 表示的幅值是

$$10\log|E|^2 = -10\log[1+2|G|\cos\phi+|G|^2] \tag{3C-3}$$

闭环系统的传递函数用极坐标写出为

$$|H|e^{j\text{Arg}[H]} = \frac{|G|e^{j\phi}}{1+|G|e^{j\phi}}$$

且可得到下面的公式

$$\text{Arg}[H] = \phi + \text{Arg}[E] \tag{3C-4}$$

$$|H|^2 = |G|^2|E|^2$$

$$10\log|H|^2 = 10\log|G|^2 + 10\log|E|^2 \tag{3C-5}$$

3C.2　频率响应图举例

图 3C-1 至图 3C-4 示出了闭环频率响应 E 和 H 的曲线图的例子。图 3C-1 和图 3C-2 是一个二阶 2 类 PLL 的曲线图，其中 $K\tau_2=3(\zeta=0.866)$，与图 3-13 中的伯德图的条件相同，也与图 3-18 中的尼科尔斯图的条件相同。图 3C-3 和图 3C-4 显示了环路内的延迟 $\tau_d=\tau_2/10$ 对频率响应的影响。在频率 $\omega\tau_2<1$ 的区域内影响最小，但在高频时，可以看出影响不断增加。Arg[H]受到的影响甚大，此结果并非出乎意料，因为在高频时 $H(j\omega)\to G(j\omega)$。

61

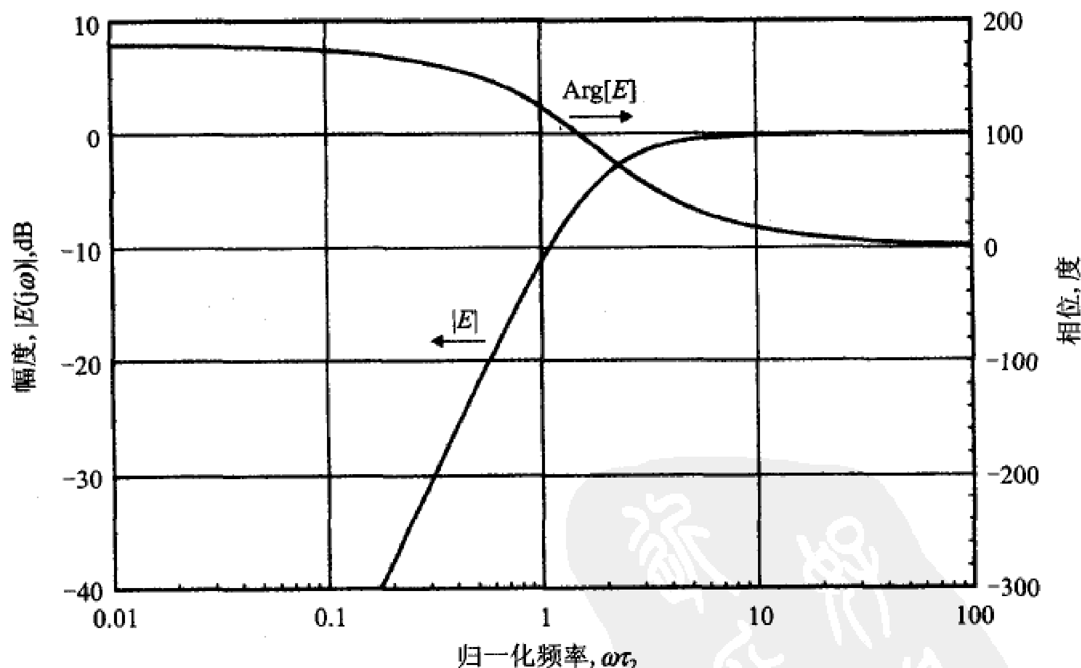


图 3C-1　一个 2 类 PLL 的 $E(j\omega)$ 频率响应，其中 $K\tau_2=3$；与图 3-13 中伯德图的参数相同，也与图 3-18 中尼科尔斯图的参数相同

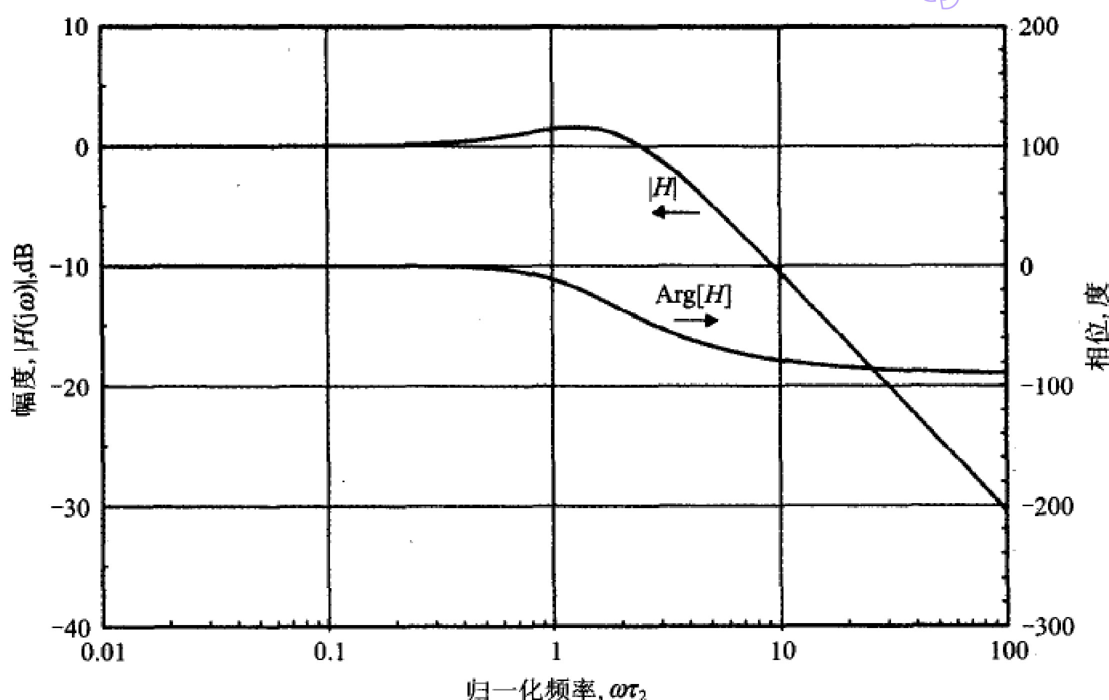


图 3C-2 一个 2 类 PLL 的 $H(j\omega)$ 频率响应，其中 $K\tau_2=3$；与图 3-13 中伯德图的参数相同，也与图 3-18 中尼科尔斯图的参数相同

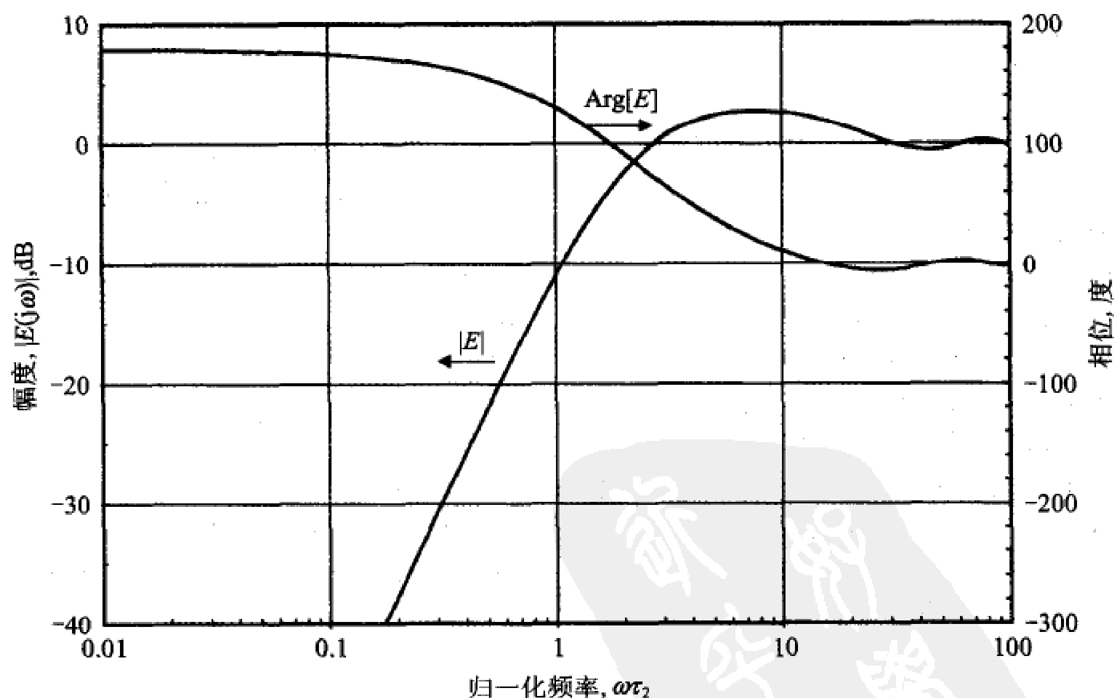


图 3C-3 一个 2 类 PLL 的 $E(j\omega)$ 频率响应，其中 $K\tau_2=3$ 和环路内的延迟 $\tau_d=\tau_2/10$；与图 3-16 中伯德图的参数相同，也与图 3-20 中尼科尔斯图的参数相同

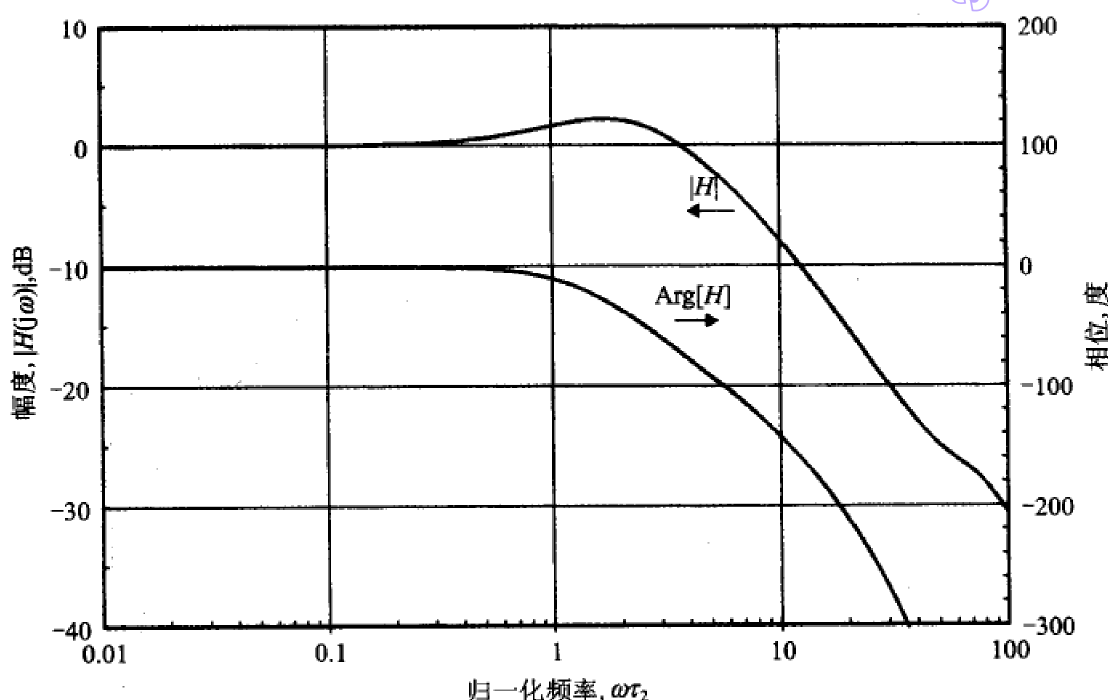


图 3C-4　一个 2 类 PLL 的频率响应 $H(j\omega)$，其中 $K\tau_2=3$ 和环路内的延迟 $\tau_d=\tau_2/10$；与图 3-16 中伯德图的参数相同，也与图 3-20 中尼科尔斯图的参数相同

参考文献

3.1 W. R. Evans, *Control-System Dynamics*, McGraw-Hill, New York, 1954.

3.2 H. W. Bode, *Network Analysis and Feedback Amplifier Design*, Van Nostrand, New York, 1945.

3.3 H. Nyquist, "Regeneration Theory," *Bell Syst. Tech. J.* ***11***, 126, 1932.

3.4 H. M. James, N. B. Nichols, and R. S. Phillips, *Theory of Servomechanisms* (Rad. Lab. Ser. 25), McGraw-Hill, New York, 1947, Sec. 4-11.

3.5 R. C. Tausworthe, "Improvements in Deep-Space Tracking by Use of Third-Order Loops," *JPL Q. Tech. Rev.* ***1***, 96-106, July 1971.

3.6 R. C. Tausworthe and R. B. Crow, "Improvements in Deep-Space Tracking by Use of Third-Order Loops," *IEEE Int. Conf. Commun.*, 1972, pp. 577-583.

3.7 H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, Wiley, New York, 1990, Sec. 2.5.

62～64

第4章 数字PLL:传递函数与相关工具

同许多电子器件一样,锁相环也正愈来愈多地用数字电路来实现。采用数字电路的诸多理由也适用于PLL:成本低、制造容易、元件无漂移和无容差等。数字信号很容易存储,但模拟信号几乎无法存储。数字积分器没有失调和易失性的问题。通常用数字运算可以完成的任务,用模拟电路则是无法完成的。除了这些优点以外,能与系统中其他数字电路相容的优点,无疑是PLL数字化的最大动力。

4.1 数字PLL的特性

数字PLL(DPLL)的操作与一般数字信号处理有下面相同的特点:

- 信号以一连串离散采样点(sample)的形式表示;
- 每个样点的信息是一个无量纲的数字量;
- 数字量必定是有限精度的;因为数字量是量化的数;
- 数字PLL内部的操作是通过计算来完成的。

执行计算的PLL有时叫做软件PLL,而PLL中的基本算法既可以用软件实现,也可以用硬件实现,取决于要求的速度和可使用的硬件。本书将用"计算的"这个词指硬件实现或软件实现。

所有PLL均呈现非线性的行为。我们在第2章和第3章中假设,如果相位误差足够小,那么PLL的操作可以近似为一个线性模型。这个假设对许多模拟PLL是很正确的,因而可以使用传递函数进行分析与设计。

然而,数字PLL要比模拟PLL更难处理,大量使用中的数字PLL的严重非线性是不能用近似方法描述的,甚至在相位误差很小时也如此。这就是说,这些本质上为非线性的PLL不能使用传递函数的分析方法;第13章中有一些这样的例子。但即使不存在严重的非线性,每个数字PLL也还受量化效应的影响;量化是一种非线性操作,它的影响在小相位误差时更为显著。为了避免非线性分析带来的极大复杂性,我们通常是这样做的,即假设量化是足够精细的,以至于可以略去它的一次效应,而且还假设这样的DPLL是可以用线性近似作分析的。量化效应将作为单独内容在第13章中讨论。在本章中我们将推导几种数字PLL的传递函数,但前提是略去了量化效应,而且把讨论局限于那些不再包含其他重大非线性的、小相位误差时的数字PLL。

4.2　数字传递函数

同模拟电路在时域中用微分方程描述一样,数字电路是在位移域(shift domain)中用差分方程描述的。(位移域可以与离散时域相联系,但不必如此。)正如一个线性、时不变微分方程可以用拉普拉斯变换的方法转换到变换域中一样,一个线性、移不变(shift invariant)的差分方程可以用 z 变换的方法转换到它的变换域中。本节将导出数字 PLL 一个代表性结构的差分方程和 z 变换式。总的传递函数则是通过数字 PLL 中各单元的 z 变换推导之后得出的。

4.2.1　数字 PLL 的结构

只需对图 1-1 中的 PLL 的一般性框图稍作改动,就可用于 DPLL。图中已经有了数字检相器和数字环路滤波器,但要用数控振荡器(NCO)代替压控振荡器(VCO)。此外,一个 D 个采样间隔的延迟单元(D 为正整数)是环路中不可缺少的单元。

在第 2 章和第 3 章中,输入和输出信号的相位是以弧度为单位的,并以符号 θ 表

66

示。虽然对数字 PLL 也可以使用同一组术语,但这里的相位将以周(cycle)为单位[周等效于单位间隔(UI)],并以符号 ε 表示。这两种标记法得出的传递函数是完全一样的;选择不同的方法仅是为了展示如何使用不同的术语。

输入信号是一个无量纲的数字量序列,序列中的数字量为输入信号相位 $\varepsilon_i[n]$,其中 n 是样点的序号。NCO 输出序列的相位被标记为 $\varepsilon_o[n]$。

注释:方括号[·]中的是离散序列中的序号自变量,而圆括号(·)中的是连续时域的自变量。

4.2.2　差分方程

对于足够小的相位误差,略去量化之后,检相器输出的第 n 个样点是下面这个无量纲的数

$$u_d[n] = \kappa_p\{\varepsilon_i[n] - \varepsilon_o[n]\} \tag{4-1}$$

其中 κ_p 是检相器的增益;它确定了 PD 对相位误差 $\varepsilon_e[n]=\{\varepsilon_i[n]-\varepsilon_o[n]\}$(以周为单位)的输出响应 $u_d[n]$。虽然 κ_p 是无量纲的,但可以有一个(周)$^{-1}$ 的伪量纲(pseudodimension);连续时域中与它对应的 κ_d 表示了 PD 对相位误差输入 θ_e 的输出响应,而 κ_d 可以有(弧度)$^{-1}$ 的伪量纲。

注释:所有像 κ_p 这样的系数总被看成是正的,除非特别说明。

本节中考虑的环路滤波器由比例单元、积分单元和延迟单元组成。一个通用的比例单元有增益 κ_m、输入 $x_{mi}[n]$和输出 $x_{mo}[n]$,它的差分方程可表示为

$$x_{mo}[n] = \kappa_m x_{mi}[n] \tag{4-2}$$

下标 m 意思是比例因子;这些标记将在下面用修改后的标记代替。我们把比例单元表

示为无延迟的和无记忆的模型；也就是，第 n 个输入信号和比例系数唯一地确定了第 n 个输出。

一个数字积分器可以用下面的差分方程描述：

$$y_{Io}[n]=\kappa_I x_{Ii}[n-1]+y_{Io}[n-1] \tag{4-3}$$

其中下标 I 表示积分器，κ_I 是比例系数，$y_{Io}[n]$是积分器的第 n 个输出样点，$x_{Ii}[n]$是第 n 个输入样点。环路滤波器中存放 y_{Io} 的积分寄存器，在达到它的两个极值之一后，必须饱和在这个极值上，而不能做循环操作。在通常的运行条件下，设计良好的 DPLL 是不会进入饱和状态的。

NCO 的差分方程为

$$\varepsilon_o[n]=\{\kappa_v u_c[n-1]+\varepsilon_o[n-1]\} \quad \text{mod-1} \tag{4-4}$$

其中 κ_v 是 VCO 的比例系数，$\varepsilon_o[n]$是第 n 个输出样点，$u_c[n]$是第 n 个控制输入样点。标记 mod-1 的意思是 $\varepsilon_o\in[0,1)$；NCO 积分器总是丢掉 ε_o 的整数部分，即 NCO 中的寄存器的内容是循环运转的，这与环路滤波器中积分器正好相反。这个由循环引起的相位回绕(wrapping)是非线性的，一般可以用某种方法避免，这里暂不讨论。为了推导传递函数，我们认为这种非线性是不存在的。(即把 NCO 看成一个循环的可逆计数器，而计数过程中的不连续是由于人为地用直线上的数标记圆周上的位置而造成的。所以在 NCO 的操作中，实际上是不会真正发生不连续的。)

67

乘积 $\kappa_v u_c$ 是一个以分数周期(fractional cycle)为单位的相位增量，所以无量纲的 NCO 增益系数 κ_v 就有周期(cycle)的伪量纲。一般 NCO 的增益系数为 $\kappa_v=1$。如果 NCO 的时钟频率为 f_s，那么它的输出频率(即相位寄存器的平均循环速率)就是 $\kappa_v u_c f_s$。应当注意，如果 $\kappa_v u_c$ 为负数，那么负频率可以有实际意义。NCO 的输出频率可以越过零频，这与通常的模拟 VCO 不同。相位增量值$|\kappa_v u_c|$必须小于 0.5，以便符合奈奎斯特采样条件，避免频率的混叠。

积分器和 NCO 的差分方程中都包含 1 个样点的延迟；也就是，第$(n-1)$个输入样点只有到了第 n 个输出样点的时候才出现在输出信号中。此外，积分器是有记忆的；第 n 个输出样点是前面所有一直到第$(n-1)$个输入样点的按比例相加之和。

一个具有 D 个样点间隔的延迟单元的差分方程很简单：

$$x_{do}[n]=x_{di}[n-D] \tag{4-5}$$

在前面的差分方程中加入延迟单元是为了兼顾实时与非实时两种情况。一方面，在进行仿真或对已存储的信号做后处理时，是可以在无延迟下完成环路操作的(即第 n 个输入被用于第 n 个输出)。另一方面，如果系统的时钟频率与 PLL 的采样率(典型地为高速硬件系统)可以比较时，环路就必须包含延迟，因为有些单元的处理时间超过了一个采样间隔时间。这里应当注意的是，不是所有的结构都允许像本模型这样把延迟集中于一个地方。

如果时钟频率明显高于 PLL(典型地为软件系统)的采样率，那么在一个采样间隔内 PLL 可以完成多次操作，但在实时环路中总是存在一些小于一个采样时间的处理延迟。环路中插入的整数延迟 D 并没有考虑分数延迟的情况。本书只考虑整数延迟。

在反馈环路中必须至少有 $D=1$ 的延迟。没有延迟的环路是无法进行计算的；因为当 VCO 必须输出一个相位样点的时候，PD 还没有算出它的相位误差输出（输入相位与输出相位之差），而这个相位误差输出正是计算 VCO 的当前输出相位所必需的。

写出这些差分方程时已经用了一个默认条件，即所有单元都运行在同一个采样率下。本章中所有下面的内容都是基于单一采样率的假设。关于多采样率的操作将在第 13 章中讨论。

68

4.2.3 环路单元的 z 变换

检相器差分方程的 z 变换式很简单：

$$U_d(z)=\kappa_p\{\varepsilon_i(z)-\varepsilon_o(z)\} \tag{4-6}$$

同样，无延迟比例单元的 z 变换为

$$X_{mo}(z)=\kappa_m X_{mi}(z) \tag{4-7}$$

其中 $\varepsilon(z)$ 和 $X(z)$ 是它们各自序列的 z 变换。具有一个单位延迟的积分器的 z 变换为

$$Y_{Io}(z)=\frac{\kappa_I z^{-1}X_{Ii}(z)}{1-z^{-1}} \tag{4-8}$$

在忽略 mod-1（以 1 为模）的非线性的前提下，NCO 的 z 变换为

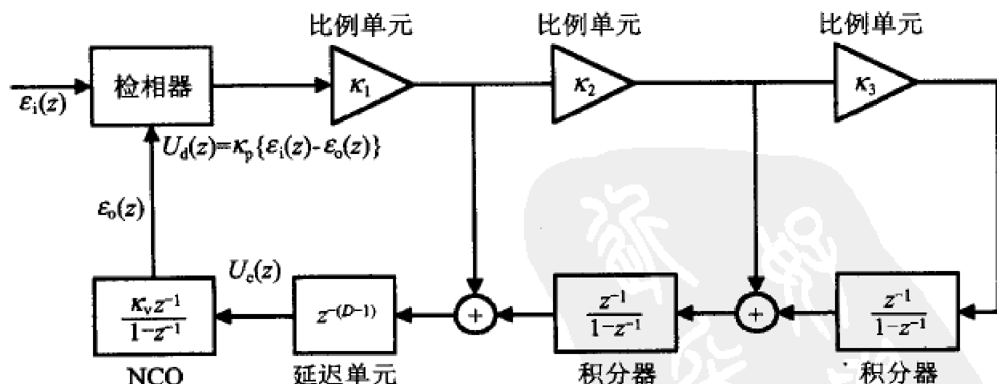
$$\varepsilon_o(z)=\frac{\kappa_v z^{-1}U_c(z)}{1-z^{-1}} \tag{4-9}$$

最后，整数延迟单元的 z 变换为

$$X_{do}(z)=z^{-D}X_{di}(z) \tag{4-10}$$

应当知道，采样反馈环路中的整数延迟单元的 z 变换式是一个代数式，处理起来比较简单，但连续时域反馈环路中的延迟单元的拉普拉斯变换式却是一些超越函数。

图 4-1 画出了一个数字 PLL 的线性模型，其中每个单元都标有 z 变换的传递函数。这个模型将作为本章后面大多数内容的基础。



69

图 4-1 一个 3 类 DPLL 的框图

4.2.4 环路滤波器

我们把环路滤波器的 z 变换传递函数记作 $F(z)$。环路滤波器由比例单元、积分器

和延迟单元组成。也可能增加一些高频滤波单元，这些将放在后面讨论。传递函数表达式 $F(z)$ 由它的各个单元的 z 变换组成。现在我们只讨论图 4-1 中的单环路滤波器；这个环路滤波器产生了一个 3 类的数字 PLL。这并不是说 3 类 PLL 是常用的（其实不是），也不是说数字 PLL 一定没有高频滤波。这个举例滤波器的传递函数，可以通过把某些系数置零而降为 2 类或 1 类。

模拟 PLL 的环路滤波器的几个变化结构曾示于附录 3B 中。数字 PLL 也可以有这些相同的结构。而且，图 4-1 的结构也可以作为另一个可能的模拟 PLL 结构列在附录 3B 中。机敏的读者将会看出，图 4-1 中的结构采用了最少的积分器个数（因为积分器是级联的），但在它的传递函数中有可能出现不希望的复数零点（因为使用了并行通路把信号组合起来）。但实际上，由于数字实现不会有系数容差的问题，所以也就不会有复数零点的风险；零点可以被准确地放在希望的位置上，这将在下面做进一步说明。

应当注意，不仅积分器是级联的，而且系数 κ_1、κ_2 和 κ_3 也是级联的。用这种方法绘制出来的滤波器框图显得整齐干净，而且还有实现上的优点，即所有的系数几乎都小于 1，κ_2 几乎总是小于 κ_1，κ_3 几乎总是小于 κ_2。因此，对最右边积分器的输入信号所需的衰减可以在 κ_1、κ_2 和 κ_3 之间分担，而不是全部放在某一个比例单元内。为了减少计算量，通常的做法是把比例系数选择为 0.5 的一些整次幂，因此比例操作可以不用乘法而用移位完成。

为简单起见，多余的延迟 $(D-1)$ 被包含在环路滤波器中，而没有分离出来放在它们实际所在的独立单元中。对于实际的数字 PLL 结构，我们未必能提取可以精确适合这个模型的单元延迟；所以，对具体的结构必须推导出它的经修改的传递函数。

把图 4-1 中所有的比例单元、积分器和多余的延迟单元组合起来，就得出环路滤波器的传递函数

$$F(z)=\frac{U_c(z)}{U_d(z)}=z^{-(D-1)}\kappa_1\left[1+\frac{\kappa_2 z^{-1}}{1-z^{-1}}\left(1+\frac{\kappa_3 z^{-1}}{1-z^{-1}}\right)\right]$$

$$=\frac{z^{-(D-1)}\kappa_1}{(1-z^{-1})^2}\left[(1-z^{-1})^2+\kappa_2 z^{-1}(1-z^{-1})+\kappa_2\kappa_3 z^{-2}\right] \tag{4-11}$$

70

该传递函数在 $z=1$（相当于连续时域中的 $s=0$）处有两个有限值的极点，在 $z=0$ 处有 $(D-1)$ 个极点（由多余的延迟产生的）和两个有限值的零点，位于

$$z=1-\frac{\kappa_2}{2}\pm\frac{\kappa_2}{2}\sqrt{1-\frac{4\kappa_3}{\kappa_2}} \tag{4-12}$$

如果 $\kappa_3=\kappa_2/4$（这个条件是可以很容易地保证完全精确的，因为在数字实现中无论如何都不会出现容差问题），这两个零点就重合于 $z=1-\kappa_2/2$，而仅当 κ_3 超过 $\kappa_2/4$ 时才变为复数。

4.2.5 环路传递函数

环路的传递函数现在可以简单地写为 $F(z)$ 与检相器和 NCO 的 z 变换的组合，并定义无量纲的环路增益为

$$\kappa = \kappa_p \kappa_v \kappa_1 \tag{4-13}$$

这样就得出下面的传递函数。G、H 和 E 的下标表示环路的类型(环路中积分器的总数)。

❑ 开环传递函数:

$$G_3(z) = \frac{\varepsilon_o(z)}{\varepsilon_e(z)} = \frac{\kappa z^{-D}[(1-z^{-1})^2 + \kappa_2 z^{-1}(1-z^{-1}) + z^{-2}\kappa_2\kappa_3]}{(1-z^{-1})^3} \tag{4-14}$$

❑ 系统传递函数:

$$H_3(z) = \frac{\varepsilon_o(z)}{\varepsilon_i(z)} = \frac{G_3(z)}{1+G_3(z)}$$
$$= \frac{\kappa z^{-D}[(1-z^{-1})^2 + \kappa_2 z^{-1}(1-z^{-1}) + \kappa_2\kappa_3 z^{-2}]}{(1-z^{-1})^3 + \kappa z^{-D}[(1-z^{-1})^2 + \kappa_2 z^{-1}(1-z^{-1}) + \kappa_2\kappa_3 z^{-2}]} \tag{4-15}$$

❑ 误差传递函数:

$$E_3(z) = \frac{\varepsilon_e(z)}{\varepsilon_i(z)} = \frac{1}{1+G_3(z)} = 1 - H_3(z)$$
$$= \frac{(1-z^{-1})^3}{(1-z^{-1})^3 + \kappa z^{-D}[(1-z^{-1})^2 + \kappa_2 z^{-1}(1-z^{-1}) + \kappa_2\kappa_3 z^{-2}]} \tag{4-16}$$

4.2.6　极点与零点

式(4-14)至式(4-16)的传递函数是3类的,这可以从 $G(z)$ 中的 $(1-z^{-1})^3$ 这一项看出,表示在环路中有3个数字积分器。而闭环传递函数的分母的次数要高于类型数,但不包括 $D=1$ 这个可能的最小值。多余的延迟使数字PLL的阶数增加 $(D-1)$;多余的这些开环极点位于 $z=0$。这个增加的阶数对稳定性不利,这将在下面讨论。

71

假设 $\kappa_3=0$,并用公因子 $(1-z^{-1})$ 去除所有传递函数的分子和分母,就得到一个阶数为 $(D+1)$ 的2类数字PLL的传递函数。系统传递函数可简化为

$$H_2(z) = \frac{\kappa z^{-D}(1 - z^{-1} + \kappa_2 z^{-1})}{(1-z^{-1})^2 + \kappa z^{-D}(1 - z^{-1} + \kappa_2 z^{-1})} \tag{4-17}$$

该传递函数在 $z=1-\kappa_2$ 处有一个零点。如果 $D=1$,那么 $H_2(z)$ 就有一对极点在

$$z = 1 - \frac{\kappa}{2} \pm \frac{\kappa}{2}\sqrt{1 - \frac{4\kappa_2}{\kappa}} \tag{4-18}$$

如果式(4-18)中的判别式为正实数,那么这两个极点是实数且不重合;如果判别式为零,这两个极点重合于 $z=1-\kappa/2$;如果判别式为负,这两个极点为复数。

评注:(1)关于 $H_2(z)$ 极点的式(4-18)在形式上与关于 $F_3(z)$ 零点的式(4-12)相同,因而也与 $H_3(z)$ 零点的表达式相同。我们可以容易地精确设置 H_3 的零点,但这个能力未必可以沿用到 H_2 极点的情况,因为式(4-18)中的 κ 包含了检相器的增益因子 κ_p。在许多(不是所有的)检相器中,κ_p 与输入信号的幅度或输入信号的信噪比有关,而 κ_p 与输入信号之间的这个关系几乎无法精确地确定。对于检相器增益的影响将在第10章中做进一步讨论。(2)在第2章和第3章中,2类PLL的传递函数表达式的归一化是关于零点位置 $s=-1/\tau_2$ 进行的。这个归一化对于数字PLL来说,既没有必要,也没有用处,因为 z 已经是一个无量纲(即归一化的)的量了。

现在令式(4-17)中的 $\kappa_2=0$,并将式(4-17)的分子和分母除以公因子$(1-z^{-1})$,就得到一个1类数字PLL的闭环系统传递函数:

$$H_1(z)=\frac{\kappa z^{-D}}{1-z^{-1}+\kappa z^{-D}} \tag{4-19}$$

这个传递函数没有零点。如果 $D=1$,那么只在 $z=1-\kappa$ 处有一个单极点。此外,如果 $\kappa=1$,则系统传递函数就简化为 $H_1(z)=z^{-1}$,这是一个纯粹的单位间隔延迟。多年来,有几位作者曾这样指出,由这样选择参数所形成的PLL,仅需一个采样周期的延迟就可对输入信号做出完全响应,这是采样反馈系统能达到的几乎即时的最快响应。延迟的输出与输入完全一样,没有任何滤波畸变。而连续时域中的等效PLL将会有无限大的带宽,但在实际上是不可能的。选择 $\kappa=1$ 和 $D=1$ 就抛弃了PLL的一个重要作用:对输入信号的滤波。因此,输入信号中的任何噪声或其他干扰将未受任何衰减地出现在输出信号中。

72

现在假设 $D=2$;那么二阶1类数字PLL的极点将位于

$$z=\frac{1}{2}\pm\frac{1}{2}\sqrt{1-4\kappa} \tag{4-20}$$

如果 $\kappa<0.25$,那么这两个极点是实数且不重合;如果 $\kappa=0.25$,则成为两个重合于 $z=0.5$ 的极点;如果 $\kappa>0.25$,则成为一对共轭复数极点。

4.3 环路稳定性

如果环路的所有极点(它的特征多项式的根)都位于单位圆内,则这个数字PLL是稳定的;如果任意一个极点位于单位圆之外,则是不稳定的。本节将对几个DPLL示例的稳定性条件做一总结;详细的分析将被放在附录4A中。关于延迟影响的进一步举例可在参考文献[4.1]中找到。

一定要注意,极点的位置和稳定性边界是与PLL中延迟的具体位置有关的。不同的延迟位置导致不同的结果。本节中的这些例子应当被看作是典型的情况,未必适用于结构被修改过的情况;但也许可以近似地适用。

4.3.1 1类DPLL

考虑式(4-19)中的一阶1类$(D=1)$DPLL。它的一个极点位于实轴上,如果 $\kappa<2$ 则在单位圆内;如果 $\kappa>2$ 则在单位圆外(因而不稳定)。可以与连续时域中的一阶PLL作比较;对于任何正的环路增益,无论增益多么大,连续时域PLL都是稳定的。数字PLL中不可缺少的延迟无法避免地产生了在有限增益下的不稳定性。

其次,把延迟增加到 $D=2$,因而两个极点的位置同式(4-20)中一样。为了找出使共轭复数极点位于单位圆上的 κ 值,令 $|z|^2=1$ 并求解,得到 $\kappa=1$ 为稳定性边界的值,这个边界上的极点位于 $z=(1\pm j\sqrt{3})/2$。在附录4A中是这样说的:一个1类DPLL,如果在环路中含有任意多个整数延迟 $D>0$,而且环路中没有任何其他的滤波操作,那

么在稳定性边界处的环路增益为

$$\kappa = 2\sin\frac{\pi}{2(2D-1)} \tag{4-21}$$

多余的延迟使 DPLL 的稳定性急剧下降。

4.3.2 2类 DPLL

接下来考虑 $D=1$ 时 $H_2(z)$ 极点的位置,如式(4-18)中写出的。只要 $\kappa_2<1$,稳定性边界就可确定为

73

$$\kappa = \frac{4}{2-\kappa_2} \tag{4-22}$$

当 $\kappa_2=0$ 时,上式简化为 $\kappa=2$,这与一阶 DPLL 的情况是一样的。等式(4-22)是简单地把 $z=-1$ 代入式(4-18),并作代数整理后得到的。对所有的 $\kappa>0$,如果 $\kappa_2>1$,那么环路不稳定。得到这些结论的理由将在后面 4.4 节中关于数字 PLL 的根轨迹法的讨论中解释。

4.3.3 3类 DPLL

当 $D=1$ 时,一个3类 DPLL 对所有 $\kappa>0$ 都是不稳定的,如果

$$\kappa_2 \geqslant \frac{4}{4-3\kappa_3} \tag{4-23}$$

上式在 $\kappa=0$ 时简化为 $\kappa_2>1$(因而与 $D=1$ 的2类 DPLL 对 κ_2 的约束条件一致),并且当 $\kappa_3=\kappa_2/4$ 时,简化为 $\kappa_2>4/3$(得到了3类 PLL 所希望的重合零点)。

在式(4-23)的约束下,如果

$$\frac{\kappa_3}{(1-\kappa_3)(1-\kappa_2+\kappa_2\kappa_3)} < \kappa < \frac{8}{4-2\kappa_2+\kappa_2\kappa_3} \tag{4-24}$$

则一个 $D=1$ 的3类 DPLL 是稳定的,并且在这些边界之外不稳定。如果 $\kappa_3=0$,那么关于 κ 的稳定性条件就简化为2类 DPLL 那样的式(4-22);如果 $\kappa_3=\kappa_2/4$,则简化为

$$\frac{\kappa_2}{(4-\kappa_2)(1-\kappa_2/2)^2} < \kappa < \frac{8}{(2-\kappa_2/2)^2} \tag{4-25}$$

式(4-24)和式(4-25)中的非零下限指出了3类数字 PLL 是条件稳定的(即,在增益足够小时是不稳定的),这与3类模拟 PLL 的情况相同。

4.4 根轨迹图

细心的读者会发现,在上面的讨论中,除了1类 DPLL 之外,我们并没有研究当 $D>1$时的稳定性边界。从附录4A 中可以知道,随着被考虑的传递函数越来越复杂,以解析方法确定稳定性所需的数学计算的负担也变得越来越沉重。但根轨迹图可以帮助我们减轻这种负担。

z 域中传递函数的根轨迹图的基本原理与 s 域中传递函数(曾在3.1节和附录3A

中讨论过）一样，但有下面的不同点：

- ☐ 开环时的积分器极点从 $z=1$ 出发，而不是从 $s=0$ 出发；
- ☐ 新增加的 $(D-1)$ 个开环极点位于 $z=0$；
- ☐ 稳定性边界是 z 平面内的单位圆（$|z|=1$），而在 s 平面中是虚轴；
- ☐ 恒值阻尼的等值线在 z 平面中是螺旋线，在 s 平面中则是简单的辐射线，所以，z 平面中的根轨迹图不能像 s 平面中那样可以容易地指出复数极点的阻尼（s 平面中的根轨迹图使用起来非常方便）；
- ☐ 由于整数延迟在 z 域的传递函数中是一个代数式，不同于 s 域中的超越函数，所以 z 域中的根轨迹图可以很容易地包含整数延迟。

74

4.4.1 1类 DPLL 的根轨迹

1类 DPLL 在文献中经常遇见；在实际应用中，当已知输入信号的频率充分精确时，这种 PLL 也可以使用。

1. 1类，$D=1$

$D=1$ 的1类 DPLL 的根轨迹是一条从 $z=1$（NCO 积分器极点的位置）出发的直线，随着 κ 的增加，直线沿着实轴左移并趋于 $z=-\infty$。对任意的 κ，闭环的单一极点位于 $z=1-\kappa$。这一行为与一阶1类模拟 PLL 十分相似。但是，DPLL 的根轨迹在 $z=-1$处穿越单位圆，因此当增益 $\kappa=2$ 时 DPLL 变成不稳定。相应的模拟 PLL 则与之不同，它对所有的 $\kappa>0$ 都是稳定的。

2. 1类，$D=2$

$D=2$ 的1类 DPLL 与带有简单滞后滤波器的1类模拟 PLL 十分相似（这种简单的模拟 PLL 曾在2.3.2节和3.1.3节介绍过）。这个 DPLL 的极点位于 $z=0.5(1\pm\sqrt{1-4\kappa})$。当 $\kappa<0.25$ 时，极点是实数且不重合，当 $\kappa>0.25$ 时为共轭复数。根轨迹的复数部分位于 $\mathrm{Re}[z]=0.5$ 的垂直直线上。（$\mathrm{Re}[z]$的意思是 z 的实部。）当 $\kappa=1$ 时，轨迹与单位圆的交点出现在$z=0.5(1\pm j\sqrt{3})=e^{\pm j\pi/3}$。

3. 1类，$D=3$

图4-2示出了一个 $D=3$ 的1类 DPLL 的根轨迹。一个开环极点（由 NCO 积分器产生的）位于 $z=1$，另外两个开环极点（由多余延迟产生的）位于 $z=0$。当 κ 增加时，一个极点从零出发，移向实轴的左边；另一个移向右边。在积分器的极点向左移动的过程中，在 $\kappa=\frac{4}{27}$的时候，与向右移动的延迟的极点在 $z=\frac{2}{3}$处相遇，在这之后，随着增益值的增大，这一对极点变为复数。当 $\kappa=0.618$ 时，该复数分支在 $\mathrm{Arg}\,|z|=\pm\pi/5$ 处穿越单位圆，这就确立了环路的稳定性边界。当 $\kappa=2$ 时，向左移动的实数极点在 $z=-1$ 处穿越单位圆，这时的 κ 大于0.618，因而只是另一个极点穿越了单位圆，而不是稳定性边界。

图 4-2 一个 $D=3$ 的 1 类 DPLL 的根轨迹图,其中下半平面没有画出

4.4.2 2 类 DPLL 的根轨迹

75 与解释模拟 PLL 的理由相同,大多数数字 PLL 也都是 2 类的。

1. 2 类,$D=1$

$D=1$ 的 2 类 DPLL 的根轨迹在 $z=1$ 处有两个开环极点,在 $z=1-\kappa_2$ 处有一个零点。随着增益从零开始增加,两个极点开始沿着一个以零点为圆心、以 κ_2 为半径的圆周移动。当 $\kappa=4\kappa_2$ 时,两个极点在 $z=1-2\kappa_2$ 处回到实轴。在这之后,一个极点向右移动,最终到达那个零点(此时 $\kappa=\infty$),另一个极点向左移动,趋于 $z=-\infty$。这一行为与第 3 章中的二阶 2 类模拟 PLL 非常相似。

参数 κ 和 κ_2 都已进入到了稳定性条件之中。除非根轨迹的圆周部分位于单位圆之内,否则对所有的 κ,PLL 都将是不稳定的。取 $\kappa_2=1$ 的值,使轨迹中的圆周部分与单位圆重合,所以,一个稳定性条件就是要求 $\kappa_2<1$。如果满足这个条件,那么向左移动的实极点将在 $z=-1$ 处穿过单位圆,此时的增益为

$$\kappa=\frac{4}{2-\kappa_2} \tag{4-26}$$

2. 2 类,$D=2$

图 4-3 画出了一个 $D=2$ 的 2 类 DPLL 的根轨迹曲线族。多余的延迟在 $z=0$ 处产生一个开环极点,但对零点的位置没有任何影响。从 $z=0$ 出发的那个极点沿着实轴向右移动,而那两个积分器的极点当增益很小时为复数。(图中只显示了虚部为正的 76 那个复数极点。)对所有的 $\kappa>0$,如果 $\kappa_2>1/2$,则环路不稳定(复数极点在单位圆之外)。

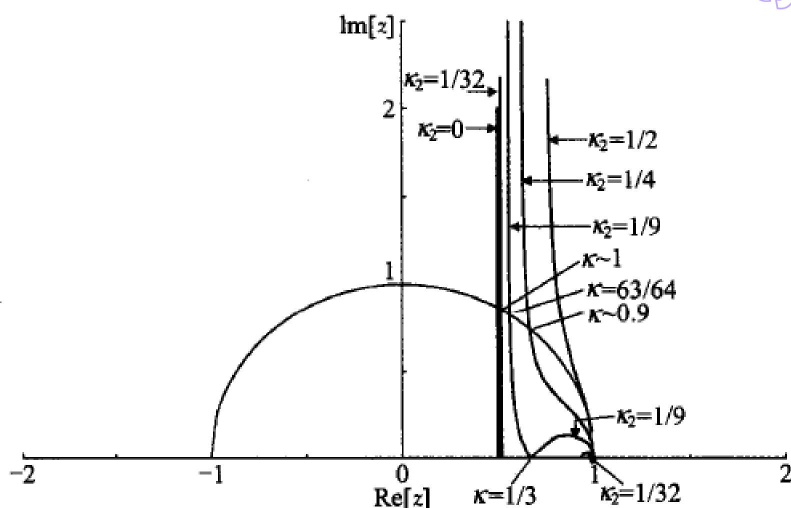


图 4-3 一个 $D=2$ 的 2 类 DPLL 的根轨迹图，其中 κ_2 取一系列不同的值。实极点和下半平面被略去

如果 $\kappa_2=\frac{1}{9}$，那么当 $\kappa=\frac{1}{3}$ 时，三个极点重合于 $z=\frac{2}{3}$，但对 κ 的其他所有值，其中两个极点组成一对复数极点。如果 $\kappa_2>\frac{1}{9}$，那么对所有 $\kappa>0$，从 $z=1$ 出发的那两个极点，都将保持为复数，而向右移动的那个实极点在 $\kappa=\infty$ 时终止于零点上。如果 $\kappa_2<\frac{1}{9}$，那么复数极点在 κ 的某个取值范围内将回到实轴。在这些极点中，有一个极点会沿着实轴向右边的零点移动，与此同时，另一个会向左移动，最终将与第三个极点汇合，从这点开始，这两个极点变为垂直轨迹上的一对共轭复数。

$D=2$ 的 2 类 DPLL 的根轨迹与 3.1.4 节中的三阶 2 类模拟 PLL 的根轨迹很相似，不同之处是 DPLL 有一个有限值的稳定性边界。另一个相似之处是，当 κ_2 向零变小时，κ 取大值时的根轨迹将接近于 $D=2$ 的 1 类 DPLL 的根轨迹，并具有几乎相同的稳定性边界。

3. 2 类，$D=3$

这种环路的开环传递函数有一个零点在 $z=1-\kappa_2$，由积分器产生的一对极点在 $z=1$，由多余的延迟产生的一对极点在 $z=0$。从 $z=1$ 出发的两个极点开始沿复数轨迹移动，与此同时，从 $z=0$ 出发的极点开始沿实轴分别向左向右移动（只要 $\kappa_2<1$）。

附录 4A 中指出，对所有的 $\kappa>0$，如果 $\kappa_2>\frac{1}{3}$，那么环路是不稳定的。值得注意的是，2 类 DPLL 关于 κ_2 的稳定性边界已被找出为：对于 $D=1$ 为 1，对于 $D=2$ 为 $\frac{1}{2}$，对于 $D=3$ 为 $\frac{1}{3}$。根据这个提示性的结果而进行的进一步分析（这里没有列出）指出，这个明显的规则对所有 $D>0$ 都将继续下去；也就是，2 类 DPLL 关于 κ_2 的稳定性边界为

$$\kappa_2 < \frac{1}{D} \tag{4-27}$$

$D=3$ 的2类DPLL的根轨迹与图3-6中的四阶2类模拟PLL的根轨迹很相似:其中的一个极点的轨迹终结于 $z=-\infty$,另一个终结于 $z=1-\kappa_2$ 的零点处,一对共轭复数极点趋于两条与实轴成±60°夹角的渐近线。如果 $\kappa_2=\frac{1}{2}-\sqrt{3}/4\approx 0.067$,那么当 $\kappa=\sqrt{3}/9\approx 0.1925$ 时,三个极点将重合于 $z=\frac{1}{2}+\sqrt{3}/6\approx 0.789$。如果 κ_2 大于约0.067,那么从 $z=1$ 出发的那两个极点将永远不会回到实轴。如果 κ_2 比较小,那么当 κ 为某些值时这两个极点回到实轴;然后其中的一个极点移向右边的零点,而另一个极点向左移动。向左移动的极点最终与从 $z=0$ 出发向右移动的那个极点相遇,然后变为复数。

在 $\kappa_2<\frac{1}{3}$ 的进一步限制条件下,关于 κ 的稳定性边界可给出为

$$\kappa=\frac{2(1-\cos\Psi)}{2(1-\kappa_2)\cos\Psi-1} \tag{4-28}$$

稳定性条件式(4-28)相当于复数极点在移动中穿越了 $z=\exp(\pm j\Psi)$。另一次实数极点的穿越是当 κ 比较大时发生的,位于 $z=-1$,这时的环路早已不稳定了。关于进一步的说明,请参阅4A.2节。

4.4.3　3类DPLL的根轨迹

图4-4示出了3类DPLL根轨迹的一个例子,其中 $D=1$,$\kappa_3=\kappa_2/4$。后面这个条件使系统传递函数的两个零点重合于 $z=1-\kappa_2/2$。图中对应于每一个 κ_2 取值的曲线仅显示出一对复数根中的上半平面极点的轨迹;所有实数轨迹和下半平面的复数轨迹均被略去。开环传递函数的三个极点位于 $z=1$。其中的一个极点沿着实轴向左移动,最后终止于一个零点上。另外两个极点从 $z=1$ 开始分离,并沿着与实轴成±60°的夹角移动,因此立即穿出单位圆。所以,同3类模拟PLL一样,3类DPLL的最好的情况是条件稳定的(即增益足够低时是不稳定的)。

除此之外,如果 $\kappa_2\geqslant\frac{4}{3}$,则环路对所有 $\kappa>0$ 是不稳定的,如图4-4中最外面的轨迹所示。当 $\kappa_2=\frac{4}{3}$、$\kappa=4.5$ 时,两个复数极点的轨迹在准确的 $z=-1$ 处回到实轴;对 κ 的所有其他值,这两个复数极点都在单位圆之外。如果 $\kappa_2<\frac{4}{3}$,那么这个3类DPLL在式(4-25)所规定的 κ 的范围内是稳定的。稳定性的下限由复数轨迹与单位圆的交点确定,上限是在实极点穿越 $z=-1$ 时达到的。

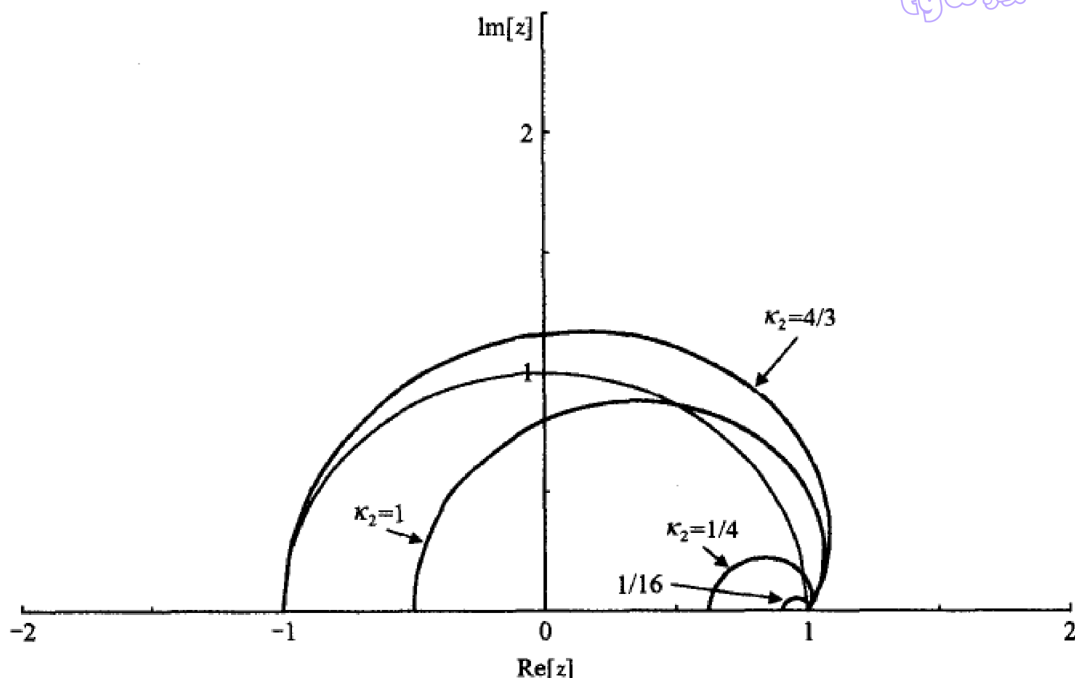


图 4-4 一个 $D=1$ 的 3 类 DPLL 的根轨迹图，其中 κ_2 取不同的值，$\kappa_3=\kappa_2/4$。通过选择 κ_3 使零点重合。实极点和下半平面被略去

4.5 DPLL 的频率响应：公式推导

对于一个连续时域 PLL 的传递函数 $Y(s)$，它的频率响应被定义为 $Y(s)|_{s=j\omega}=Y(j\omega)$。同样地，采样 PLL 的传递函数的频率响应被定义为 $Y(z)|_{z=e^{j\omega t_s}}=Y(e^{j\omega t_s})$，其中 $Y=E$、F、G 或 H（视其合适性），t_s 为采样间隔时间。在连续时域的传递函数中，ω 的取值范围是沿 s 平面的虚轴从 $-\infty$ 到 $+\infty$，而在离散时域 PLL 的传递函数中，乘积 ωt_s 的取值范围是沿 z 平面上单位圆从 $-\pi$ 到 $+\pi$。在这两个标记法中，频率 ω 的量纲是 rad/s，采样间隔 t_s 的量纲是 s；乘积 ωt_s 是无量纲的。

在关于数字信号处理的文献中，通常的习惯是把沿单位圆的无量纲的角度用符号 ω 表示，并避免提及 t_s（同样可以假定 $t_s=1$）。然而，由于大多数 PLL 是用于实时处理的，采样间隔常常是要考虑的一个问题，所以本书使用了无量纲的乘积 ωt_s 表示角度。为了标记的简洁，当不适合使用采样间隔的时候，我们用符号 $\Psi=\omega t_s$ 表示角度。

频率响应一般是以极坐标数据画出的：幅度与相位，或经常只用幅度。采样系统的频率响应是一个以 2π 为归一化周期的周期函数。从 $-\pi$ 到 $+\pi$ 的归一化频率曲线图包含了全部的频率响应信息，因此曲线图一般不超出这个范围。而且，如果 DPLL 传递函数的系数是实数（一般都是如此），那么在 $(-\pi,\ \pi]$ 区间内的频率响应是共轭且关于 $\Psi=0$ 对称的，所以仅画出 Ψ 的正值部分就足够了。最后一点，如果频率是以对数比例尺画出的（为了显示很低频率区的响应），那么图中的最小频率必须略大于零。

79

4.6 伯德图和尼科尔斯图

本章的前面几节和附录4A告诉我们,如果传递函数极点稍多,那么数学分析和根轨迹的方法就会异常麻烦。与之相反,借助电子表格很容易生成DPLL的伯德图和尼科尔斯图,即使复杂的传递函数也是这样。本节主要讨论一些重要的DPLL的伯德图,但应当知道,伯德图和尼科尔斯图是可以互换的。它们使用相同的数据,遵守相同的稳定性规则。究竟选择哪一种图则完全取决于个人对图示曲线的喜好。虽然下面将主要介绍伯德图,但这些讨论同样适用于尼科尔斯图。

4.6.1 伯德图基础

数字PLL的伯德图是用开环传递函数$G(z)$以极坐标数据(幅度与相位)画出的图形,其中z位于单位圆上:即$z=e^{j\Psi}$,而$\Psi=\omega t_s$是以采样率$1/t_s$归一化的角频率。幅度是用分贝画出的,相位用线性比例画出,一般以度为单位。数字PLL的伯德图看起来非常像第3章中的模拟PLL,但有两点例外:(1)频率是沿着单位圆取值的,而非虚轴;(2)横坐标在$\Psi=\pi$处截断。下面的举例也确实表示出了这种相似性;只有很小的不同。复习一下第3章中的伯德图和尼科尔斯图可以使我们更好地理解数字PLL的伯德图和尼科尔斯图。

但首先必须知道在控制系统教科书中采用的各种做法。有些作者简单地把伯德图直接用于z平面的传递函数,似乎完全不存在合法性的问题。但其他一些作者(正确地)指出,伯德图的分析源自连续时域系统,而其传递函数是定义在s平面上的。把z平面上的传递函数通过关系式$z=\exp(st_s)$映射到s平面上的做法,会产生一些与s平面上的传递函数(伯德图最初是在s域上导出的)非常不同的情况。在这些关于合法性的讨论中,有些作者似乎是说,对定义在z平面上的离散时域系统的伯德图进行直接计算是不正确的。取而代之的是,他们选择了另外的一种映射,把z平面传递函数变换到一个比较接近连续时域系统的形式,这样,原来的伯德图的规则应当是可以适用的。

非专家者(包括本作者)于是被置于两难境地:究竟跟谁走呢?直接把伯德图方法用于z域是错误的吗?使用中间变换的方法会引入不必要的复杂性吗?为了消除自己的疑惑,我用直接的方法探讨了几个DPLL的例子。这些例子曾用其他方法分析过:在4.3节和4.4节中用代数的方法分析过,并且在附录4A中用根轨迹的方法分析过。对于每一个例子,z域伯德图的解释与其他域内的分析方法完全一致。虽然例子之间的一致性并不能构成一般性的证明,但这确实证明了z域伯德图的判据至少在某些有实际重要性的情况下是正确的,同时也提高了Bode判据可以合法地适用于大多数DPLL的信心。本章的余下部分将直接使用伯德图示法,不再介绍中间变换法。

4.6.2 伯德稳定性判据

用于采样系统的Bode稳定性判据与第3章中用于连续时域系统的判据在所有重要内容上并没有什么不同。Bode分析的中心内容是增益穿越频率 Ψ_{gc}，其中 $|G(e^{j\Psi_{gc}})|=1$(0 dB)，以及相位穿越频率 Ψ_π，其中 $\mathrm{Arg}[G(e^{j\Psi_\pi})]=-\pi$。相位穿越可以发生在不至一个频率上：比如在一个条件稳定的DPLL中。也可能不发生任何相位穿越，其原因可能是在所有的频率值下，相位都大于 $-180°$；也可能是在所有的频率值下，相位都小于 $-180°$。严格的Bode分析法不追究相位穿越的次数，但总限制为传递函数仅有一次增益穿越。

相位裕度被定义为 $\mathrm{Arg}[G(e^{j\Psi_{gc}})]+32\pi$；稳定性要求正的相位裕度。稳定性边界有一个特性，即唯一的一次增益穿越频率与相位穿越频率是重合的。一个环路的稳定性边界可以不只一个，其中的每一个对应于某个具体的相位穿越，而且每一个都有自己的 κ 临界值。虽然增益裕度这个概念一般情况下都有用，但未必在所有情况下都有清晰的定义。下面我们将给出增益裕度概念的一些奇异的和不适用的例子。

4.6.3 DPLL 伯德图举例

本节给出了几个有实用意义的DPLL的伯德图。

1. 1类DPLL

图4-5示出了一个非常简单的DPLL的伯德图：1类，延迟 $D=1$，环路中没有其他滤波器单元。相位与频率的关系由两部分组成：一个是NCO中积分器所固有的 $-90°$ 的恒值，另一个是由延迟单元产生的线性变化的 $-90\Psi/\pi$。（频率的对数比例尺使图中的线性相位产生一个弯曲部分。）$-180°$ 的相位穿越是在 $\omega t_s=\Psi_\pi=\pi$ 时出现的。

幅度曲线以 $\kappa=1$ 画出；对于 κ 的其他值，只要把增益曲线按所需的分贝数上下移动就可得到。在相位穿越频率点上的增益是 -6 dB，所以增益裕度是6 dB。要是把增益增加到 $\kappa=2$ 的话，环路就将处于稳定边界上；如果 κ 再增加，环路就不稳定。在低频区，曲线的斜率大约为 -6 dB/倍频，但在 $\Psi=\pi$ 时逐渐变成水平线。这种水平线的形状是传递函数周期性的一个特点，在大多数DPLL中都会遇到。把 κ 选择为 $\kappa=1$ 已经非常大了；它的典型值是相当小的。所以，增益呈水平状一般是看不到的，因为已经超出了图的下方。因此，$D=1$ 的1类DPLL的伯德图通常与环路中有相近延迟的1类模拟PLL几乎一样。

可以看出，如果 $\kappa>2$，那么这个DPLL的伯德图没有增益穿越；也就是，对所有的 Ψ，幅度都将超过0 dB。严格地说，Bode判据在没有增益穿越时就不可使用。对于这个特殊例子的不稳定性的严格确认，应当依靠4.3.1节或附录4A中的特征方程的分析方法，或者依靠4.4.1节中那样画出根轨迹曲线。

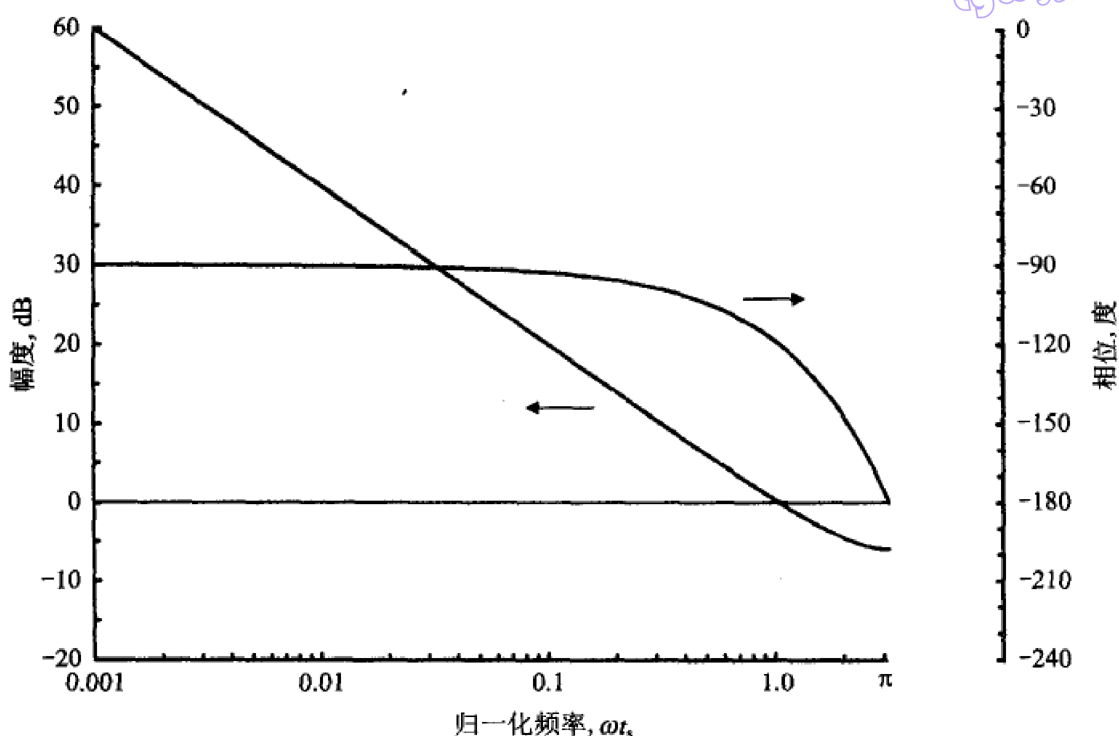


图 4-5 一个1类 DPLL 的伯德图,其中 $D=1,\kappa=1$

评注:图 4-5 中的几个要点值得注意。(1)两个纵坐标安排成使幅度轴的 0 dB 与相位轴的$-180°$互相对准;因此只用一条水平线便确定了关键性的增益穿越点和相位穿越点的大小。(2)频率轴末端与相位轴底部之间存在明显的间隙。这个间隙的原因是由于电子表格中的绘图程序只能画出对数比例尺的完整的十倍频程,但采样系统的横坐标却要画到 $\Psi=\pi$。实际上,有一个看不见的矩形区重叠并遮挡了横坐标最右边那个不需要的部分。

82

2. 2类 DPLL

图 4-6 示出了一个 2 类 DPLL 的伯德图,其中延迟 D 取几个不同的值。环路增益为 $\kappa=\frac{1}{8}$(相当大了),积分器通路的增益是 $\kappa_2=\frac{1}{32}$(当 $D=1$ 时,选择这个值将产生重合的极点)。幅度曲线的斜率在低频区接近-12 dB/倍频,在高频区大约是-6 dB/倍频。斜率的平坦区出现在高频区,但看起来不明显。转角频率(即低频斜率开始让位给高频斜率的地方)可以看到位于 $\Psi\approx\kappa_2=0.03125$。(当 $\kappa_2=0.2$ 这个很大值的时候,近似误差在12%以内,是个很好的近似,而且随着 κ_2 的增加近似会越来越好。)

从曲线上选取一些数据:增益穿越点发生在 $\Psi_{gc}\approx0.12$,相位裕度对于 $D=1$、2 和 3 大约分别为 73°、62°和 58°。当 $D=2$ 时,从曲线上取得的增益裕度大约为 18 dB,当 $D=3$时,增益幅度大约为 13 dB。当 $D=1$ 时,增益曲线在相位穿越频率点已超出了图的底部;此时对应的增益裕度,从曾经用来产生图 4-6 的电子表格中找出为 24 dB。

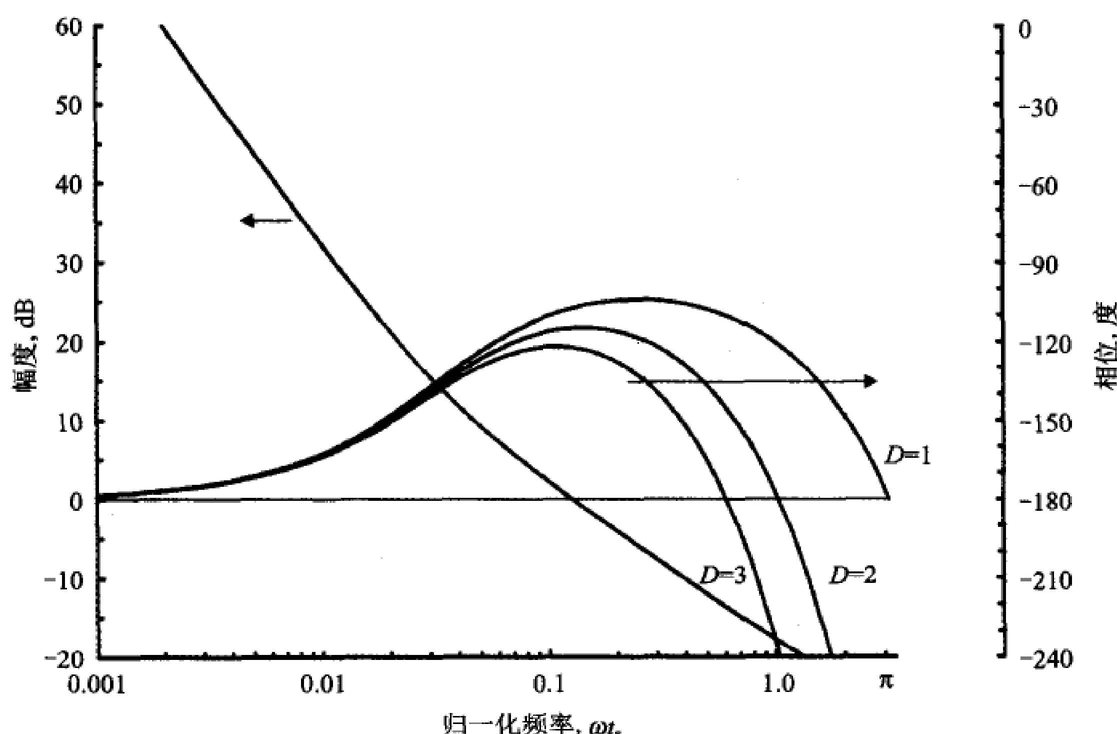


图 4-6 一个带有延迟 D 的 2 类 DPLL 的伯德图,其中 $\kappa=\frac{1}{8}$,$\kappa_2=\frac{1}{32}$

4.6.4 尼科尔斯图举例

一个 3 类 DPLL 的开环传递函数,在 $z=e^{j\Psi}$ 上的求值,可以写为

$$G_3(e^{j\Psi})=\frac{\kappa e^{-j(D-1/2)\Psi}[(2-\kappa_2+\kappa_2\kappa_3)\cos\Psi-2+\kappa_2+j\kappa_2(1-\kappa_3)\sin\Psi]}{8j^3\sin^3(\Psi/2)} \tag{4-29}$$

由此得出极坐标分量为

$$\begin{aligned}20\log|G_3(e^{j\Psi})|=&20\log\frac{\kappa}{8}-60\log(\sin\frac{\Psi}{2})\\&+10\log\{[(2-\kappa_2+\kappa_2\kappa_3)\cos\Psi-2+\kappa_2]^2\\&+[\kappa_2(1-\kappa_3)\sin\Psi]^2\}\end{aligned} \tag{4-30}$$

$$\begin{aligned}\mathrm{Arg}[G_3(e^{j\Psi})]=&\frac{180}{\pi}\Big[-\frac{3\pi}{2}-\Big(D-\frac{1}{2}\Big)\Psi\\&+\tan^{-1}\frac{\kappa_2(1-\kappa_3)\sin\Psi}{(2-\kappa_2+\kappa_2\kappa_3)\cos\Psi-2+\kappa_2}\Big]\end{aligned} \tag{4-31}$$

用尼科尔斯图将这两个公式画于图 4-7 中,其中 D 取三个不同的值。图 4-7 中的增益因子是 $\kappa=\frac{1}{8}$、$\kappa_2=\frac{1}{32}$、$\kappa_3=\kappa_2/4=\frac{1}{128}$。$\kappa_3$ 的这个取值使两个零点重合于 $z=1-\kappa_2/2$。κ_2 和 κ 的取值与前面那个 2 类 DPLL 相同,因而可以做一些有用的比较。

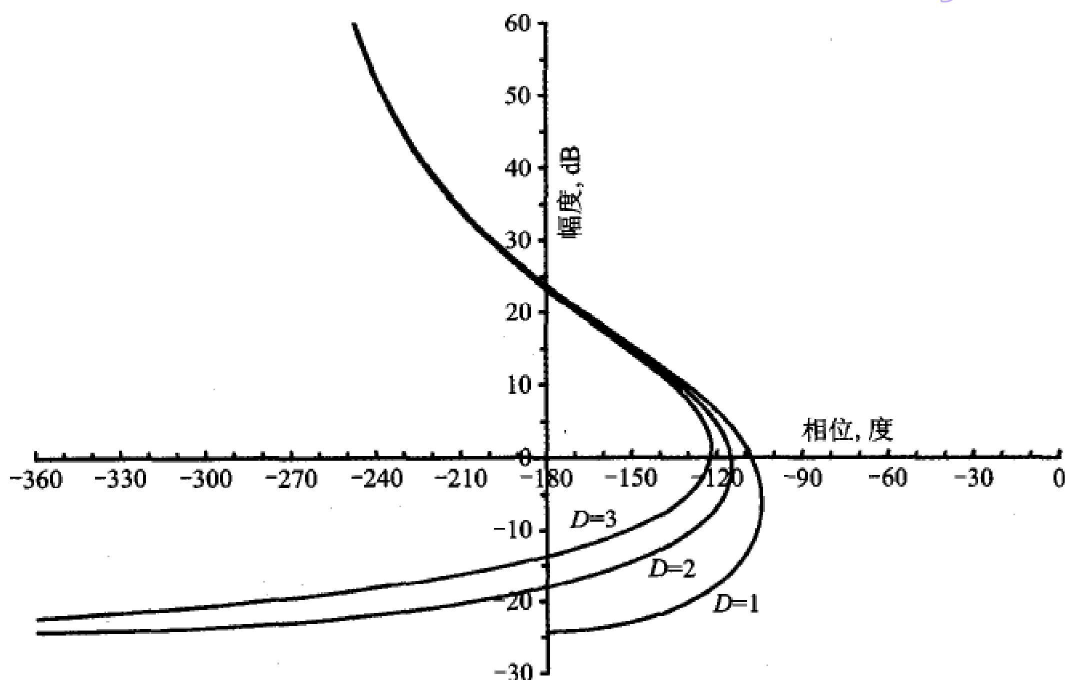


图 4-7 一个 3 类 DPLL 的尼科尔斯图,其中 $\kappa=\frac{1}{8}$、$\kappa_2=\frac{1}{32}$、$\kappa_3=\frac{1}{128}$

增益和相位的穿越,及其相应的裕度,可以很容易地从尼科尔斯图中找出。裕度数值的提取甚至比伯德图更容易(试与图 4-6 作比较),尤其是从图 4-7 的尼科尔斯图中提取增益和相位裕度。尽管有多次穿越,但只要稍一看图 4-7 便立即清楚地知道其稳定性。作为付出的代价,尼科尔斯图失去了伯德图中的频率信息。

84

相位裕度对于 $D=1$、2 和 3 大约分别为 71°、64°和 58°。每一条曲线都有两次相位穿越(这个例子与所有 3 类 PLL 一样是条件稳定的):一次是在大增益和相对较低频率时,另一次在小增益和高频区。本例中在高频区相位穿越点上的增益裕度,对于 $D=1$、2 和 3 大约分别为 24 dB、18 dB 和 13 dB。这些增益和相位裕度与前面具有相同 κ 和 κ_2 取值的 2 类 DPLL 例子的差异小得可以忽略。这种非常接近的相似性是可以预见的,因为高频区的相位穿越和增益穿越都是 PLL 频带边缘的特点,而这些特点几乎不受 κ_3 和 κ_2 这些低频参数的影响。

每条曲线都表示低频相位穿越时的增益裕度大约为 23 dB,所有三条曲线几乎都一样。由于这些曲线仅有 D 值的不同,而 D 对高频的影响最大,所以可以预见,低频相位穿越应当近乎一致。高频区的增益裕度的意思是使环路变得不稳定而需要*增加*的增益值。但与之相反,低频增益裕度的意思是用以引起环路不稳定而需要*减少*的增益量。增益裕度的定义必须包括这两种情况才可普遍适用;而最常见的定义仅包括高频的情况。

4.7 DPLL 的连续时域近似

上文列举的 DPLL 的伯德图与模拟 PLL 的伯德图相似，至少当增益系数足够小时情况是这样的。工程上的习惯说法是，如果离散时域系统的带宽（先不说“带宽”是如何定义的）与采样率相比很小时，那么离散时域系统的行为与连续时域系统很接近。凭直觉可知，如果一个稳定的 DPLL 的极点和零点接近 $z=1$，那么这个 DPLL 的特性应当接近于模拟 PLL 的特性。本节将对这些模糊的定性的概念给出定量化的一次近似。上面的“足够小”和“接近于”的含义必须根据每个具体项目的内容确定。

试考虑式(4-17)离散时域系统的传递函数 $H_2(z)$。在 z 变换中使用的复变量 z 是利用拉普拉斯变换中复变量 s 通过 $z=\exp(st_s)$ 定义的。当 $|Dst_s|\ll 1$ 成立时，下面的一次近似就成立：

$$z^{-1}\approx 1,\quad z^{-D}\approx 1,\quad 1-z^{-1}\approx st_s \tag{4-32}$$

把这些近似式用于式(4-17)可得到

$$H_2(e^{st_s})\approx\frac{s\kappa/t_s+\kappa\kappa_2/t_s^2}{s^2+\kappa s/t_s+\kappa\kappa_2/t_s^2} \tag{4-33}$$

把式(4-33)与式(2-16)比较后，得到

$$\omega_n\leftrightarrow\frac{1}{t_s}\sqrt{\kappa\kappa_2},\quad \zeta\leftrightarrow\frac{1}{2}\sqrt{\frac{\kappa}{\kappa_2}} \tag{4-34}$$

与式(2-19)比较后，得到

$$K\leftrightarrow\frac{\kappa}{t_s},\quad \tau_2\leftrightarrow\frac{t_s}{\kappa_2} \tag{4-35}$$

其中箭头↔表示当近似式(4-32)成立时的等值性。

因此，图 4-6 中选择 $\kappa/\kappa_2=4$ 就等值于模拟 PLL 的阻尼 $\zeta=1$（两个极点重合）。事实上，式(4-18)揭示了在一个 $D=1$ 的 2 类 DPLL 中，如果 $\kappa/\kappa_2=4$，那么它的两个极点将重合，且与 κ 无关。在较大 D 值时，这种在 $\kappa/\kappa_2=4$ 时的极点重合是不会发生的。

4.8 频率响应举例

介绍模拟 PLL 的附录 3C 指出，把伯德—尼科尔斯电子表格延伸到用以绘制闭环频率响应会非常方便。这些技术也可以不加修改地适用于 DPLL。本节画出了几个具有不同性质的 2 类 DPLL 幅度响应的例子。

4.8.1 延迟的影响

图 4-8 画出了一个 2 类 DPLL 取不同 D 值时的幅度响应 $|H_2(e^{j\Psi})|$，其中 $\kappa=4\kappa_2$。从式(4-18)可知，一个 $D=1$ 和具有这些增益系数的 2 类 DPLL 有重合的极点，这与 $\zeta=1$ 的二阶 2 类模拟 PLL 是相同的。延迟会影响增益的峰值，但在本例中影响不大。

增益峰值对于 $D=1$、2 和 3 分别为 1.34、1.50 和 1.72。可以把这些数值与式(2-25)中 $\zeta=1$ 时的二阶 2 类模拟 PLL 的 1.25 dB 增益峰值做比较。延迟也会影响高频滚降，但中等的延迟不会对此有太大影响。由于一般认为增益 $\kappa=\frac{1}{8}$ 相当大了，所以这些结果很好地证实了 4.7 节中的那些近似式。

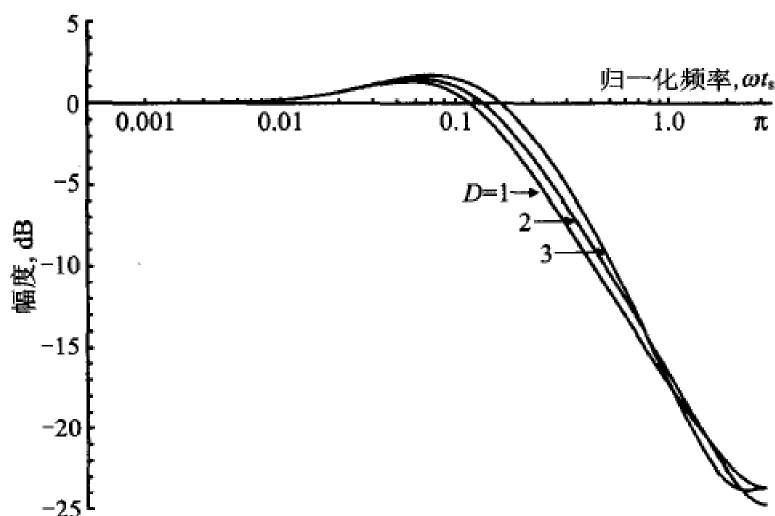


图 4-8　一个 2 类 DPLL 的幅度响应 $|H_2[\exp(j\omega t_s)]|$，其中 $\kappa=\frac{1}{8}$、$\kappa_2=\frac{1}{32}$

4.8.2　带宽的影响

DPLL 的频率范围是从 0 到 π/t_s；因此，带宽的大小是相对于 π/t_s 而言的。改变 DPLL 的相对带宽会改变频率响应的形状，这不同于对模拟 PLL 改变带宽只是简单使形状扩张而已（只要模拟 PLL 的带宽与 PD 的比较频率 f_c 相比很小）。这样的形状改变意味着相对带宽是 DPLL 的一个设计参数，这个参数一般在窄带模拟 PLL 的常用概念中是被忽略的（但在第 12 章中有一个相反的例子）。

图 4-9 示出了相对带宽对系统闭环频率响应 $|H(e^{j\omega t_s})|$ 幅度的影响。该 DPLL 是 2 类的，且延迟 $D=1$。环路增益 κ 被用作相对带宽的度量。在图中，κ 等于 $4\kappa_2$，并且曲线都标有 κ_2。被标为最小 κ_2 值的曲线与图 4-8 中的一条曲线相同。如果一个模拟 PLL 具有根据式(4-34)确定的相同的标称阻尼值，那么上面的曲线与这个模拟 PLL 的曲线将不会有太大的不同；至少一直到 $\omega t_s\approx 1$ 附近不会有太大不同。

当 κ_2 比较大时，因而 κ 也比较大时，增益峰值就增加，高频区的衰减就降低。当 $\kappa_2>1-\sqrt{0.5}\approx 0.292$ 时，幅度响应完全失去了低通特性（即对所有频率都有 $|H|\geqslant 1$）。图 4-9 中的所有举例 DPLL 都是稳定的，虽然在最大相对带宽的情况下，稳定性裕度是不足的。

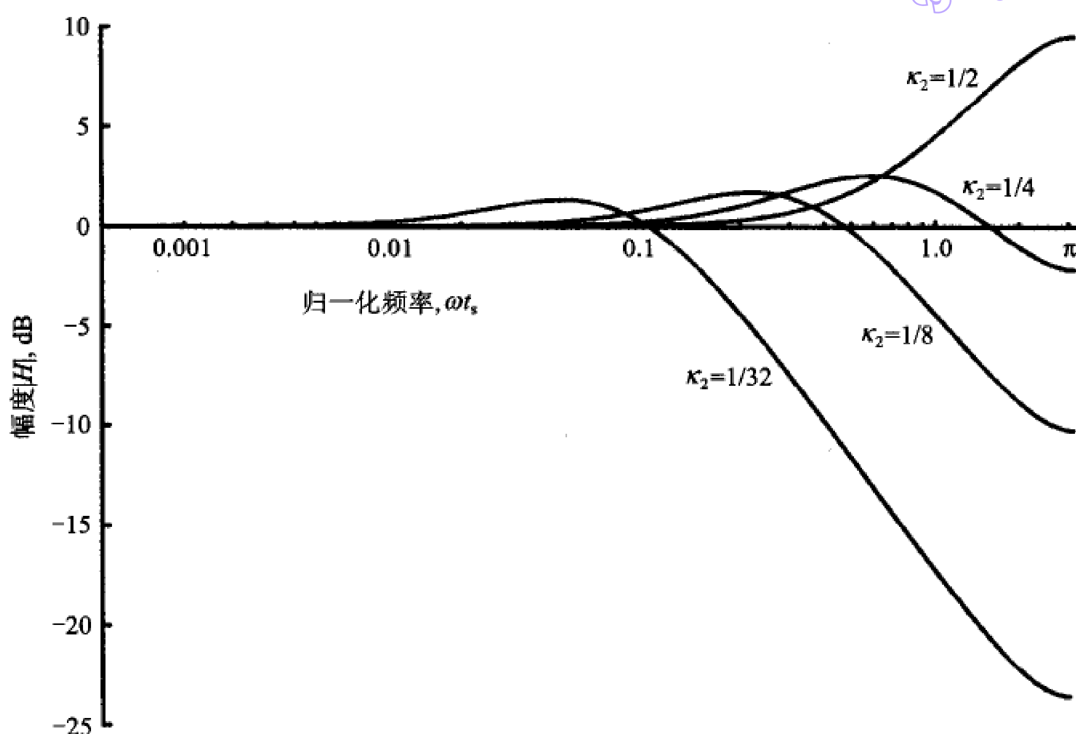


图 4-9 一个 2 类 DPLL 的幅度响应 $|H_2[\exp(j\omega t_s)]|$，其中 $\kappa=4\kappa_2$，$D=1$

4.9 环路中的低通滤波器

第 2 章和第 3 章中曾经指出，在模拟 PLL 的反馈回路中可以包含低通滤波器。该滤波器可以是由于要滤掉不需要的高频信号或噪声而有意引入的，也可以是由于环路单元的有限频率响应而不得不引入的。在这一章中，到现在为止还没有对 DPLL 引入过低通滤波器。对 DPLL 明确地考虑到的高频效应，也只是由不可避免的多余延迟所引起的，而多余的延迟并不构成低通滤波器。有时会出现这样的要求，即高频响应需要以比前面已经讨论过的所有 DPLL 更为陡峭的滚降。更陡的滚降率是通过在 DPLL 中加入低通滤波器实现的。本节将描述两个用于 DPLL 的简单低通滤波器。

4.9.1 无限冲击响应低通滤波器

模拟 PLL 中使用的最简单的低通滤波器只有一个极点。环路中的多极点低通滤波器往往用几个单极点滤波器级联而成。带有极点的滤波器具有无限长的冲击响应(IIR)。同样，DPLL 中使用的最简单的 IIR 低通滤波器也是单极点的。它的差分方程为

$$y[n]=ax[n-1]+(1-a)y[n-1] \tag{4-36}$$

其中 x 和 y 分别为输入和输出，方程中已经包含了一个单位采样间隔的延迟，以适应高速时钟下的操作。把增益参数 a 选择为 0.5 的整数幂之后，就可以不用乘法。把差

分方程取 z 变换之后,即得到滤波器的传递函数为

$$F_{iir}(z) = \frac{az^{-1}}{1-(1-a)z^{-1}} = \frac{a}{z-1+a} \tag{4-37}$$

单极点 IIR 低通滤波器的特点

86 ~ 88

- ☐ 极点的位置:$z=1-a$
- ☐ 稳定性边界:$a=2$
- ☐ DC 增益:$F_{iir}(+1)=1$
- ☐ 最大衰减:$F_{iir}(-1)=\dfrac{a}{a-2}$
- ☐ 频率响应:

$$F_{iir}(e^{j\Psi}) = \frac{a}{e^{j\Psi}-1+a} = \frac{a}{\cos\Psi-1+a+j\sin\Psi}$$

$$\mathrm{Arg}[F_{iir}(e^{j\Psi})] = -\tan^{-1}\frac{\sin\Psi}{\cos\Psi-1+a} \tag{4-38}$$

$$20\log|F_{iir}(e^{j\Psi})| = 20\log(a) - 10\log[(\cos\Psi-1+a)^2+\sin^2\Psi]$$

- ☐ 3 dB 频率:

$$\Psi_{3dB} = \cos^{-1}\left[1-\frac{a^2}{2(1-a)}\right] \tag{4-39}$$

如果 $a\ll1$,那么 $\Psi_{3dB}\approx a/\sqrt{2}$。幅度响应是与 Ψ 成单调变化的。如果 $a<1$,则响应随 Ψ 的增加而减小,但当 $a>1$ 时响应随 Ψ 而增加。如果 $a>1$,则滤波器完全失去低通特性。

【举例】 从上面的最大衰减公式中可以明显地看出,为了大的衰减,a 的值必须取得很小。在第 2 章和第 3 章中曾经指出,低通极点的转角频率必须大于增益穿越频率,才能得到可接受的相位裕度和可接受的阻尼。同样的约束也适用于 DPLL;低通滤波器的 3 dB 频率 Ψ_{3dB} 应当超过 κ 且有非常大的超出裕度。

图 4-10 中画出了一个 2 类 DPLL 的伯德图,它的环路参数为 $D=1$、$\kappa=\frac{1}{8}$ 和 $\kappa_2=\frac{1}{32}$。图中的曲线对应于环路内有滤波器和无滤波器的两种情况。这个例子中的滤波器参数为 $a=4\kappa=\frac{1}{2}$,它在 $\Psi=\pi$ 处提供 9.5 dB 的衰减:这个衰减并不是太大。本例子的相位裕度约为 60°,因此 a 的值可以选得比较小,但也不要太小,否则会过度损坏相位裕度。为了在高频区达到相当大的衰减,又要保持恰当的相位裕度,就不仅要求 a 的值比较小,而且还要求 κ 和 κ_2 的值也比较小。

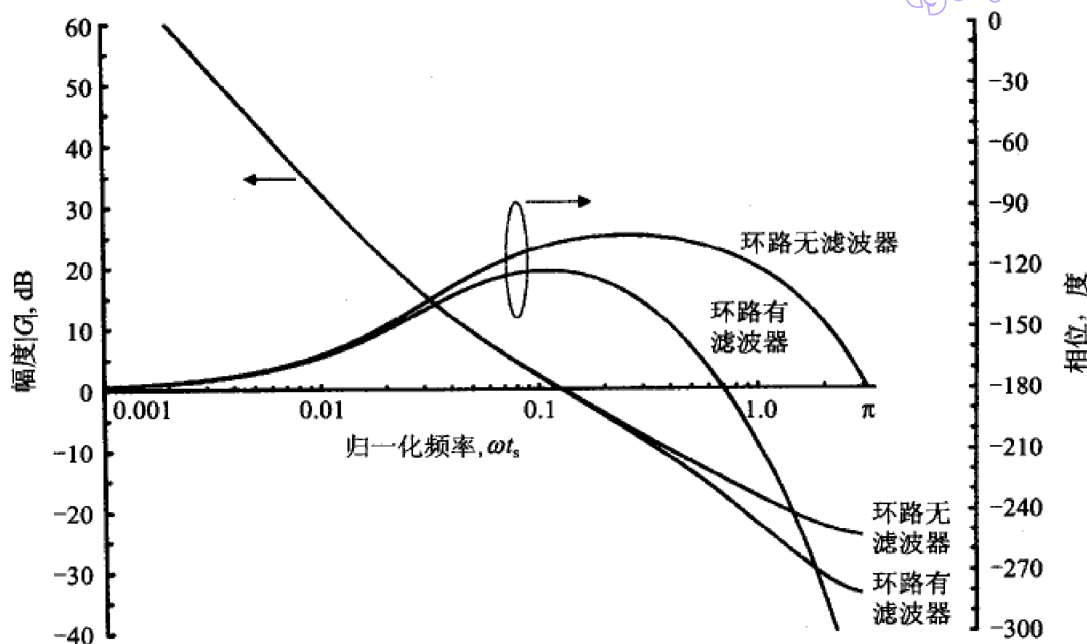


图 4-10 一个 2 类 DPLL 的伯德图，环路中有一个 IIR 低通滤波器。滤波器的极点位于 $z=1-a$。环路参数为 $D=1$、$\kappa=\frac{1}{8}$、$\kappa_2=\frac{1}{32}$和 $a=\frac{1}{2}$

4.9.2 有限冲击响应低通滤波器

所有能实际用于模拟 PLL 的低通滤波器都是无限冲击响应的。这样的滤波器也可用于 DPLL，但 DPLL 也可以使用有限冲击响应(FIR)的低通滤波器。这种选择说明了数字实现方法比模拟的方法更为方便灵活，但这是数字实现的一个次要方面。最简单的 FIR 低通滤波器的差分方程是两项的：

$$y[n]=0.5(x[n]+x[n-1]) \tag{4-40}$$

其传递函数为

$$F_{\text{fir}}(z)=\frac{Y(z)}{X(z)}=\frac{1}{2}(1+z^{-1}) \tag{4-41}$$

评注：加入 0.5 的因子是为了使 DC 增益等于 1。实际上，滤波器在实现时是不用 0.5 因子的，而是把 DC 增益 2 合并到 κ 中。

两抽头 FIR 低通滤波器的特点

- ☐ 零点位置：$z=-1$
- ☐ 稳定性边界：无条件稳定
- ☐ DC 增益：$F_{\text{fir}}(+1)=1$
- ☐ 最大衰减：$F_{\text{fir}}(-1)=0(-\infty\ \text{dB})$
- ☐ 频率响应：

$$F(e^{j\Psi})=e^{-j\Psi/2}\cos\frac{\Psi}{2}$$

$$\mathrm{Arg}[F(e^{j\Psi})]=-\frac{\Psi}{2}$$

$$|F(e^{j\Psi})|=\cos\frac{\Psi}{2} \tag{4-42}$$

□ 3dB 频率：$\Psi_{3dB}=\pi/2$

【举例】 图4-11示出了这个FIR低通滤波器对2类DPLL的伯德图的影响。DPLL的所有参数与图4-10中都相同，但FIR滤波器和延迟除外。差分方程(4-40)是没有延迟的，但没有延迟的操作在信号的采样率与最快的时钟频率相等时是无法进行的，所以又多加了一个延迟，使模型更接近实际情况。因此，这个例子中使用了$D=2$。

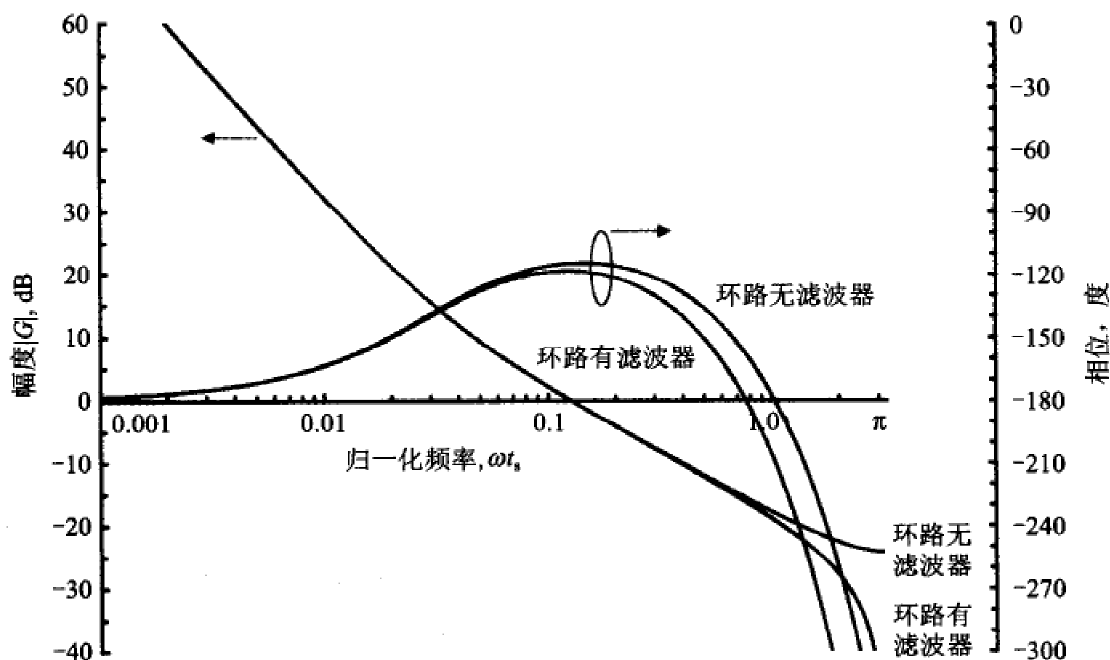


图 4-11　一个2类DPLL的伯德图，环路中有一个2抽头FIR低通滤波器。滤波器的零点在$z=-1$。$D=2$、$\kappa=\frac{1}{8}$和$\kappa_2=\frac{1}{32}$

滤波操作明显地被限于最高频率区。如果扰动也限于最高频率区，那么这个特性很有用，但如果低频区也同时需要滤波的话，那么这个特性就没有用了。这个最简单的FIR滤波器无法通过修改而提供低频衰减。其他的FIR滤波器可以设计成具有任何所需的衰减特性；在数字信号处理的文献中有大量的设计实例。虽然有各种各样的FIR滤波器，但也必须小心：这些滤波器都会对环路引入延迟，因而损害其稳定性。

附录 4A　数字锁相环的稳定性

89~91

由于所有极点都在单位圆内时DPLL是稳定的，所以稳定性边界被根轨迹与单位圆的交点$z=\exp(j\Psi)$所确定。如果Ψ可以确定，那就可以从特征方程计算出与单位圆相交时的增益κ。确定Ψ只涉及简单DPLL的简易的代数和三角函数，但随着复杂

性的增加，计算量会越来越大。本附录中将给出几个计算例子。

应当知道，并不是轨迹的每一次穿越单位圆都确定一个稳定性边界。有的穿越也许是从圆外进入圆内的，而其他极点仍留在圆外。也可能是，DPLL 的其他极点在增益值很低时就穿越到了圆外，因此当再次穿越时，环路早已不稳定。在一个多极点系统中，对每次穿越都必须进行核查，以确认每一次穿越是否是真正的稳定性边界。

4A.1 1 类 DPLL

式(4-9)中带有延迟 D 的 1 类 DPLL 的特征方程为

$$1-z^{-1}+\kappa z^{-D}=0 \tag{4A-1}$$

方程两边同乘以 z^D 并将 $z=\exp(\mathrm{j}\Psi)$ 代入，得到穿越单位圆的特征方程

$$\mathrm{e}^{\mathrm{j}D\Psi}-\mathrm{e}^{\mathrm{j}(D-1)\Psi}+\kappa=0 \tag{4A-2}$$

其中的实部和虚部为

$$\begin{gathered}\cos D\Psi-\cos[(D-1)\Psi]+\kappa=0\\ \sin D\Psi-\sin[(D-1)\Psi]=0\end{gathered} \tag{4A-3}$$

运用常用的三角恒等变换后，虚部可改写为

$$\sin D\Psi-\sin[(D-1)\Psi]=2\sin\frac{\Psi}{2}\cos\frac{\Psi(2D-1)}{2}=0 \tag{4A-4}$$

其解为 $\sin(\Psi/2)=0$(不适用)或者 $\cos[\Psi(2D-1)/2]=0$(适用)。当角度为$(2k-1)\pi/2$时余弦项变为零，其中 k 为整数。所求的角为

$$\Psi=\frac{\pi(2k-1)}{2D-1} \tag{4A-5}$$

把这个结果代入式(4A-3)中的实部，并使用三角恒等变换，即得到在单位圆上的 κ 值为

$$\kappa=2\sin\frac{\Psi}{2} \tag{4A-6}$$

这个 1 类 DPLL 的开环传递函数中有 D 个极点，但没有零点。每一个极点的轨迹在 κ 为某个值时穿越单位圆；我们必须确定其中最小的 κ。只考察上半圆内的情况(因为复数极点是以共轭复数成对出现的)，并且注意到 $\sin(\Psi/2)$在 Ψ 的这个范围内是单调增的，因而从式(4A-5)中得到的 Ψ 的最小值即对应于稳定性边界处的最小增益值。位于上半圆内的这个最小角度相应于 $\kappa=1$，所以这个 1 类 DPLL 的稳定性边界为 92

$$\kappa=2\sin\frac{\pi}{2(2D-1)} \tag{4A-7}$$

这个等式就是前面的式(4-21)。

4A.2 2 类 DPLL

式(4-17)的分母是一个 2 类 DPLL 的特征多项式。把 $z=\exp(\mathrm{j}\Psi)$代入并对 κ 求解之后，得到

$$\kappa=\frac{-(1-\mathrm{e}^{-\mathrm{j}\Psi})^2}{\mathrm{e}^{-\mathrm{j}D\Psi}(1-\mathrm{e}^{-\mathrm{j}\Psi}+\kappa_2\mathrm{e}^{-\mathrm{j}\Psi})} \tag{4A-8}$$

在对上式用 $\exp(-j\Psi)=\cos\Psi-j\sin\Psi$ 代入并使用几次三角恒等变换之后，κ 的表达式变为

$$\kappa=\frac{4\sin^2\Psi/2}{\mathrm{Re}[\mathrm{denom}]+j\mathrm{Im}[\mathrm{denom}]} \tag{4A-9}$$

其中，分母的实部和虚部给出如下

$$\mathrm{Re}[\mathrm{denom}]=\kappa_2\cos\left[\left(D-\frac{1}{2}\right)\Psi\right]\cos\frac{\Psi}{2}+(2-\kappa_2)\sin\left[\left(D-\frac{1}{2}\right)\Psi\right]\sin\frac{\Psi}{2} \tag{4A-10}$$

$$\mathrm{Im}[\mathrm{denom}]=(2-\kappa_2)\cos\left[\left(D-\frac{1}{2}\right)\Psi\right]\sin\frac{\Psi}{2}-\kappa_2\sin\left[\left(D-\frac{1}{2}\right)\Psi\right]\cos\frac{\Psi}{2} \tag{4A-11}$$

增益 κ 必须为正实数。由于式(4A-9)的分子是正实数，所以当 $z=\exp(j\Psi)$ 时式(4A-11)，即分母的虚部，必须为零。使虚部消失的条件为

$$(1-\kappa_2)\sin D\Psi-\sin(D-1)\Psi=0 \tag{4A-12}$$

只要分母的虚部为零，它的实部就可简化为

$$\mathrm{Re}[\mathrm{denom}]=\cos(D-1)\Psi-(1-\kappa_2)\cos D\Psi \tag{4A-13}$$

虽然表达式(4A-9)、(4A-12)和(4A-13)看起来非常简单，但这些条件曾经是非常复杂的，因而无法对任意 D 的稳定性边界求出一个通解。所以我们只是在下面简单对于 $D=1$、2 和 3 给出特定解。

93

1. 2类，$D=1$

对于 $D=1$，由式(4A-12)得出 $\sin\Psi=0$，所以 $\Psi=0$ 或 π。这个零值解确定了开环极点，并出现在 $\kappa=0$ 的时候，所以 $\Psi=\pi$ 就是所求的临界角。对于 $\Psi=\pi$，式(4A-13)变为$(2-\kappa_2)$，所以稳定性边界为

$$\kappa=\frac{4}{2-\kappa_2} \tag{4A-14}$$

这与式(4-22)相同。另一个约束条件是由条件 $\kappa_2<1$ 施加的。如果 $\kappa_2>1$，那么由根轨迹的复数部分所描述的那个圆心位于$(1-\kappa_2)$的圆则位于单位圆之外，而且从式(4A-12)可以找出穿越的方向是从圆外到圆内的。

2. 2类，$D=2$

如果 $D=2$，那么式(4A-12)变为 $2(1-\kappa_2)\sin\Psi\cos\Psi-\sin\Psi=0$，所以 $\sin\Psi=0$ 或者 $2(1-\kappa_2)\cos\Psi-1=0$。从图4-3中的根轨迹图可以明显看出，$\sin\Psi=0$ 不是合适的解，只剩下 $2(1-\kappa_2)\cos\Psi-1=0$，从中我们可以确定穿越角度的余弦值为

$$\cos\Psi=\frac{1}{2(1-\kappa_2)} \tag{4A-15}$$

将这一结果代入式(4A-13)并简化后，得到稳定性边界为

$$\kappa=\frac{1-2\kappa_2}{(1-\kappa_2)^2} \tag{4A-16}$$

任意一个 $\kappa_2>0.5$ 都可确定 κ 的一个不允许的负值，所以 $\kappa_2=0.5$ 也是一个与 κ 无关的稳定性边界。当 κ_2 足够小时，稳定性边界趋于 $\kappa=1$ 和 $\Psi=\pm60°$。

3. 2 类，$D=3$

对于 $D=3$，式(4A-12)变为

$$(1-\kappa_2)\sin 3\Psi-\sin 2\Psi$$
$$=(1-\kappa_2)\sin\Psi(3-4\sin^2\Psi)-2\sin\Psi\cos\Psi=0 \tag{4A-17}$$

由此我们可得出如下结论：或者 $\sin\Psi=0$(即 $\Psi=\pi$)，或者

$$(1-\kappa_2)(3-4\sin^2\Psi)-2\cos\Psi$$
$$=4(1-\kappa_2)\cos^2\Psi-2\cos\Psi-(1-\kappa_2)=0 \tag{4A-18}$$

这两种情况都必须探讨，因为两者都确定出了单位圆的穿越点。如果 $\Psi=\pi$ 是正确的穿越，那么式(4A-13)就简化为$(2-\kappa_2)$，并可确定单位圆穿越处的增益为

$$\kappa=\frac{4}{2-\kappa_2} \tag{4A-19}$$

这个等式在形式上与 $D=1$ 的式(4A-14)是一样的。

94

在接受式(4A-19)之前，必须研究式(4A-18)给出的约束条件。为此，曾使用式(4A-18)对 κ_2 求解，并随后绘制出关于 Ψ 的曲线，如图 4A-1 所示。κ_2 为负的区域是不允许的，可以立即排除在考虑之外。如果式(4A-18)成立，则式(4A-9)变为

$$\kappa=\frac{2(1-\cos\Psi)}{2(1-\kappa_2)\cos\Psi-1} \tag{4A-20}$$

式(4A-9)在 $\cos\Psi$ 为负和 $\kappa_2<1$ 的条件下为负，这个条件是在 Ψ 位于 0.5π 和 0.6π 之间的区域内出现的。同样，式(4A-20)在 Ψ 从 $\pi/2$ 到 $\pi/3$ 的区域内为负。在这些区域内的角度是不允许的。

从 $\Psi=0$ 到 $\pi/5$ 的区域内(即从 $\cos\Psi=1$ 到$(1+\sqrt{5})/4$)，所计算出的 κ_2 在 $\frac{1}{3}$ 到 0 的范围内变化。从式(4A-20)可以看出，如果 $\Psi=0$，则稳定性边界为 $\kappa=0$；这个穿越角度是在 $\kappa_2=\frac{1}{3}$ 时出现的。也就是说，对所有的 $\kappa>0$，如果 $\kappa_2>\frac{1}{3}$，那么从 $z=1$ 出发的那两个极点将位于单位圆外。因此，$\kappa_2<\frac{1}{3}$ 是对于 $D=3$ 的 2 类 DPLL 的一个稳定性条件。κ_2 的允许值范围是 $\frac{1}{3}>\kappa_2>0$。这个约束条件也适用于式(4A-19)和式(4A-20)。

在这个范围的另一端，即 $\Psi=\pi/5$ 和 $\kappa_2=0$，由式(4A-20)得出 $\kappa=0.618$，这与 $D=3$ 的 1 类 DPLL 曾经找出的边界是相同的，而这个 1 类 DPLL 的这个边界是在 $\kappa_2=0$ 时达到的。由于从式(4A-20)得到的结果小于从式(4A-19)得出的增益，所以可以得出这样的结论：式(4A-20)揭示了 $D=3$ 的 2 类 DPLL 真正的稳定性边界，而式(4A-19)只是简单地揭示了一次单位圆的穿越，而这时的增益早已超出了稳定性极限。

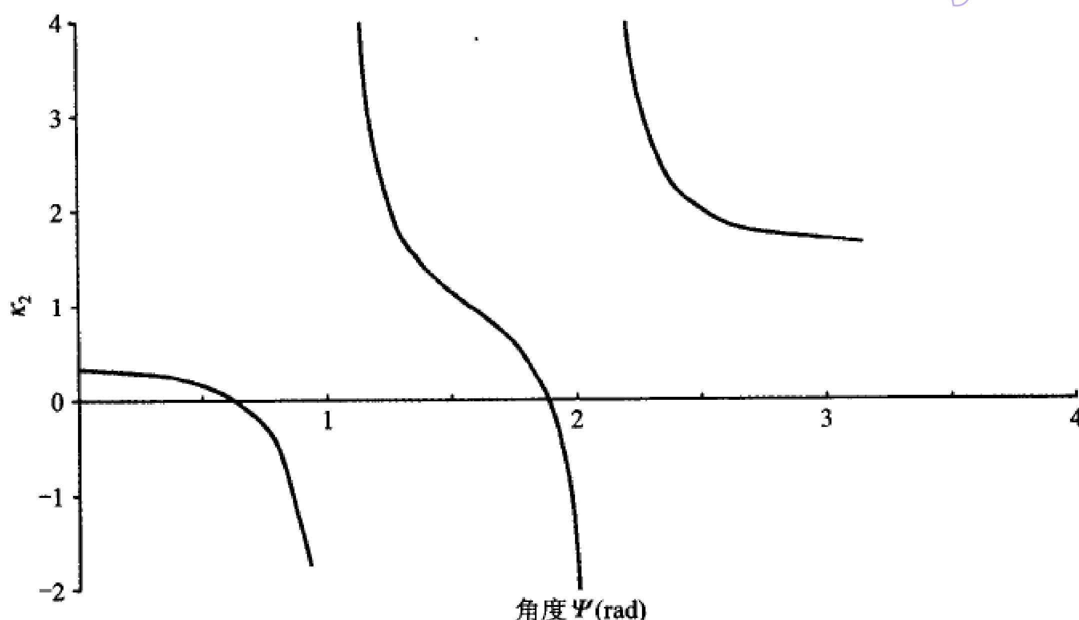


图 4A-1 在轨迹与单位圆相交处的积分通路增益 κ_2 与角度 Ψ 之间的关系曲线。环路为 2 类 DPLL，$D=3$

从 $\Psi=2\pi/3$ 到 π 的区域仍然需要考虑。因为 κ_2 太大，所以这是个不稳定的区域，但它能揭示极点的什么性质呢？这个区域的主要特点是 $\kappa_2>1$，所以传递函数在 $(1-\kappa_2)$ 处的零点是在负实轴上。因此，由多余的延迟产生的两个极点不可能在 $z=0$ 处分离后沿实轴移动；它们的轨迹在开始时必然是复数，然后沿着以零点为中心的一个圆周移动，当 κ 足够大时回到实轴。最后，其中一个极点移向 $z=-\infty$，另一个极点移向零点。等式(4A-20)指出了这些轨迹的复数部分穿出单位圆时的 κ 值，而式(4A-19)则指出了向右移动的实极点重新进入单位圆时的更大的 κ 值。但过大的 κ_2 使环路在这个区域内对所有的 $\kappa>0$ 都不稳定，所以这个特性仅有学术上的意义。

95

参考文献

4.1 J. W. M. Bergmans, "Effect of Loop Delay on Stability of Discrete-Time PLL," *IEEE Trans. Circuits & Syst. I*, **42**, 229–231, Apr. 1995.

96

第 5 章　跟　　踪

锁定的 PLL 可以解释为跟踪上了其输入信号。对跟踪的研究主要是对各种输入信号所引起的相位误差 θ_i 的研究。我们通常希望相位误差很小,而且把相位误差的大小作为衡量跟踪性能好坏的判据。如果误差变得很大,因而 VCO 发生周期滑步(slip),那就认为跟踪已经失败(环路已经失锁),即使这种滑步只是短暂的。

本章首先讨论相位误差足够小的环路情况,这样就可以使用线性近似的分析方法。线性系统可以使用传递函数作为分析工具,以确定 PLL 对工程上重要的输入信号的响应。通过一个重要的分析可以解释 2 类 PLL 在实际使用中占据压倒性优势的原因。同时,我们还将探讨环路的非线性行为,特别是那些锁相环操作的极限值,即什么样的输入情况会使 PLL 发生周期滑步和失锁。周期滑步是后面几章的主要论题。

5.1　线性跟踪

传递函数可以用来确定对于输入信号的稳态相位误差、瞬态响应和正弦角调制的响应。连续时域 PLL 的相位误差传递函数 $E(s)$ 由式(2-7)给出:

$$E(s)=\frac{\theta_e(s)}{\theta_i(s)}=\frac{1}{1+G(s)}=\frac{s}{s+K_dK_oF(s)} \tag{5-1}$$

对上式做适当修改后可以得到离散时域 PLL 的 $E(z)$。虽然本章是关于连续时域 PLL 的,但对许多离散时域 PLL,也可得到相似的结果。

5.1.1　稳态相位误差

我们要分析的最简单的相位误差,是当瞬态过程完全消失之后的稳态误差。这些误差很容易用拉普拉斯变换的终值定理计算出来,这就是

$$\lim_{t\to\infty}y(t)=\lim_{s\to 0}sY(s) \tag{5-2}$$

或者用 z 变换表示为

$$\lim_{n\to\infty}y[n]=\lim_{z\to 1}(1-z^{-1})Y(z) \tag{5-3}$$

即,传递函数的时域稳态值可以容易地通过对变换域内变换式的简单计算确定。把终值定理应用于相位误差公式(5-1)后得到

$$\lim_{t\to\infty}\theta_e(t)=\lim_{s\to 0}\frac{s^2\theta_i(s)}{s+K_dK_oF(s)} \tag{5-4}$$

1. 相位偏移

作为第一个例子，考察由输入相位的阶跃变化 $\Delta\theta$ 引起的稳态误差。输入信号的拉普拉斯变换式为 $\theta_i(s)=\Delta\theta/s$，把它代入式(5-4)后得到(假设 $F(0)>0$)

$$\lim_{t\to\infty}\theta_e(t)=\lim_{s\to 0}\frac{s\Delta\theta}{s+K_dK_oF(s)}=0 \tag{5-5}$$

换句话说，环路将最终完成跟踪并消除任何输入相位的变化；对于任何一个输入相位的阶跃变化，PLL 的稳态相位误差都为零。

2. 频率偏离

作为另一个例子，考察由输入频率的一个阶跃变化(也可以是 PLL 的初始频率偏移)$\Delta\omega$ 引起的稳态误差。输入相位是一个斜坡信号 $\theta_i(t)=\Delta\omega t$，所以 $\theta_i(s)=\Delta\omega/s^2$。把这个 θ_i 值代入式(5-4)得到

$$\theta_v=\lim_{t\to\infty}\theta_e(t)=\lim_{s\to 0}\frac{\Delta\omega}{s+K_oK_dF(s)}=\frac{\Delta\omega}{K_oK_dF(0)} \tag{5-6}$$

在 2.2.3 节中引入了乘积 $K_oK_dF(0)$，并把它定义为 DC 增益，这个乘积也称作*速度常数*，并用符号 K_{DC} 表示。熟悉伺服系统术语的人则把它看作*速度误差系数*。但必须注意到 K_{DC} 的量纲是频率。在数字 PLL 中也存在相似的、但无量纲的 DC 增益定义。

输入信号的频率几乎不可能等于零控制电压时的 VCO 频率。所以，两者之间总存在一个频率差 $\Delta\omega$。这个频率差可以是因为发送器与接收器之间的实际频率差引起的，也可以是因为多普勒效应引起的。无论是哪种情况，最终的相位误差通常被叫做*速度误差*、*环路应力*(stress)或*静态相位误差*，定义如下：

$$\theta_v=\frac{\Delta\omega}{K_{DC}} \tag{5-7}$$

用直观的方法推导出等式(5-7)将有助于我们较深入地理解 PLL。下面是这样的一个推导过程。为了使 VCO 实现调谐就需要一个偏离值 $\Delta\omega$，因而所需的控制电压的变化量 v_c 为 $\Delta\omega/K_o$。在稳态下，控制电压 $v_c=v_dF(0)$，其中 v_d 是检相器的 DC 输出。但检相器输出是由相位误差 $\theta_e=v_d/K_d$ 产生的。所以，为了生成必需的控制电压，就需要式(5-6)中那样的相位误差 $\theta_e=\Delta\omega/\ K_oK_dF(0)$。

2 类 PLL 被如此普遍使用的原因，现在已经清楚了。在 1 类 PLL 中，DC 增益是有限的，所以静态相位误差无法消除。静态相位误差损坏了 PLL 的性能。与此相反，2 类 PLL 由于环路滤波器中的积分器(因而有 $F(0)=\infty$)而使 DC 增益为无穷大，所以静态相位误差变为零。你也许会马上反对说，任何一个实际的模拟积分器都不可能有无穷大的 DC 增益。但是，大多数实际 PLL 的 DC 增益都可以很容易地做得足够大，从而把静态相位误差减小到微不足道。

3. 频率斜坡

假设输入频率随时间做速率为 Λ rad/s² 的线性变化；也就是，$\theta_i(t)=\Lambda t^2/2$。这种输入行为可以在发送器与接收器之间存在加速运动的情况下发生，也可以在卫星飞过上空时的多普勒频率变化情况下产生，或者在扫频调制时产生。相位的拉普拉斯变换式为 $\theta_i(s)=\Lambda/s^3$。可以证明，在 K_{DC} 为有限值的条件下，相位误差将无

限增加。

现在假设 PLL 是 2 类和二阶的。根据式(2-7)、式(2-14)和式(2-16)可以把相位误差的拉普拉斯变换式写为

$$\theta_e(s) = \frac{s^2\theta_i(s)}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{5-8}$$

在使用了终值定理之后,我们可以得到由频率斜坡产生的**加速度误差**(有时叫做**动态跟踪误差**或**动态滞后**)

$$\theta_a = \lim_{t\to\infty}\theta_e(t) = \lim_{s\to\infty}\frac{\Lambda}{s^2 + 2\zeta\omega_n s + \omega_n^2} = \frac{\Lambda}{\omega_n^2} \tag{5-9}$$

等式(5-9)也可以通过下面的直观思考推导得出。把一个 DC 电压 v_d 加到环路滤波器的积分器上,因而积分器的输出为 $v_c(t) = v_c(0) + v_d t/\tau_1$,所以 VCO 频率的变化率为 $\Lambda = K_o v_d/\tau_1$。DC 电压 v_d 必须由相位误差 $\theta_e = v_d/K_d$ 产生,当把这个相位误差代入频率变化率的表达式之后,就得到 $\Lambda = K_o K_d \theta_e/\tau_1$。从式(2-16)可知 $K_o K_d/\tau_1 = \omega_n^2$,因而就得到式(5-9)。

有时要求在对频率斜坡进行跟踪时不产生静态跟踪误差。那么使 θ_a 减小到零的 $F(s)$ 应该是什么样的形式呢?加速度误差的终值表达式为

$$\theta_a = \lim_{s\to 0}\frac{\Lambda}{s[s + K_o K_d F(s)]} \tag{5-10}$$

为了使 θ_a 等于零,就必须使 $F(s)$ 具有 $Y(s)/s^2$ 的形式,其中 $Y(0) \neq 0$。因子 $1/s^2$ 的意思是环路滤波器必须包含两个级联的积分器。再加上 VCO 中的那个积分器,环路总共有三个积分器,所以它是个 3 类 PLL。由于这个能够消除静态加速度误差的性质,3 类 PLL 可以被用来跟踪卫星和导弹的信号[5.1~5.3]。2 类 PLL 需要很大的固有频率,即很大的带宽,才能处理快速变化的输入信号。如果是 3 类 PLL,就可以使用窄带环路应对这样的频率变化率。

4. DC 偏移

模拟 PLL 中始终存在另一种稳态误差,这个误差是由有源滤波器和检相器所不希望出现的 DC 偏移引起的。环路的作用是产生一个包括这些偏移影响在内的 DC 平衡电压。为抵消这个偏移所需的最终的相位误差就是这个偏移电压除以 PD 增益因子 K_d。偏移将在第 10、12 章中讨论。漂移和 DC 偏移是模拟电路的缺点,在全数字 PLL 中是没有的。

5.1.2 瞬态响应

除了稳态行为以外,还必须确定由某些特殊的输入信号引起的瞬态相位误差。在 5.1.1 节中考虑过的信号相位有:

- ☐ 相位阶跃 $\Delta\theta$ rad;
- ☐ 频率阶跃(相位斜坡)$\Delta\omega$ rad/s;
- ☐ 加速度阶跃(频率斜坡)Λ rad/s^2。

这些输入信号的相位拉普拉斯变换式分别为 $\Delta\theta/s$、$\Delta\omega/s^2$ 和 Λ/s^3。为了计算瞬态相位误差，我们把每个输入代入到式(5-8)中，然后通过拉普拉斯反变换或查表确定时域响应。本节中的分析都是用线性近似的方法预测的，如果环路进入非线性区，那一切都将不成立。

100

1. 1类PLL

一阶环路的瞬态相位误差为简单的指数形式：

$$\Delta\theta e^{-Kt} \qquad \text{相位阶跃}$$

$$\frac{\Delta\omega}{K}(1-e^{-Kt}) \qquad \text{频率阶跃}$$

$$\frac{\Lambda}{K^2}(Kt+e^{-Kt}-1) \qquad \text{频率斜坡}$$

有几个特点值得注意。一个特点是，对于频率阶跃的相位误差响应的初始斜率是 $\Delta\omega$ rad/s，且与 K 无关。进一步的分析(这里没有给出)指出，初始斜率 $\Delta\omega$ rad/s 对所有PLL都是相似，并与类型、阶数和环路参数无关。这个现象的出现是因为在施加频率阶跃的时刻，输入相位开始突然以 $\Delta\omega$ rad/s 的速率改变，但用于校正的反馈信号要通过环路滤波器和VCO，因而必然是被延迟了的。另一个特点是，一阶PLL对频率斜坡的相位误差响应随时间而增加，并最后超出线性范围；一阶PLL是不适合用来跟踪长时间频率斜坡变化的。

2. 2类PLL

表5-1中示出了重要的二阶2类PLL的瞬态相位误差的解析表达式，而且是以固有频率 ω_n 归一化的，其曲线画在图5-1至图5-3中。这些曲线经常出现在PLL文献中，因而也使 ω_n 成为一个公认的PLL参数。这个瞬态响应的其他曲线表示在图5-4至图5-9中，其中图5-4至图5-6是以环路增益 K 归一化的，而图5-7至图5-9是以噪声带宽 $2B_L$ 归一化的(噪声带宽的定义见第6章)。这6个图是使用了表5-1中的同一等式得出的，其中还采用了下面的代换等式：

$$K=2\zeta\omega_n,\quad B_L=\frac{\omega_n}{2}\left(\zeta+\frac{1}{4\zeta}\right) \tag{5-11}$$

为什么对于同样的一些等式要麻烦地使用几种只是归一化参数不同的曲线图呢？其中的一个理由是，固有频率 ω_n 虽然在文献中是一直被普遍使用的，但对于设计工程师来说是非常没有用的；对于宽带PLL来说，环路增益 K 这个参数则有用得多。而对于窄带PLL，噪声带宽 B_L 就非常有用。可以参阅2.2.3节中更多的关于参数的讨论。另一个理由是，对不同归一化曲线进行研究后发现了一些原来未想到的性质，这将在下面的一些例子中说明。但在考察这些例子之前，我们应该注意到，所有的曲线图在小阻尼因子 ζ 时都呈现出过冲和下冲。很大的振荡式瞬态过程一般是不可接受的，所以一定不要使用小阻尼值，除非在极端的情况下。

101

表 5-1 二阶 2 类 PLL 的瞬态相位误差 $\theta_e(t)$(rad)

	相位阶跃	频率阶跃	频率斜坡
$\zeta<1$	$\Delta\theta\left(\cos\sqrt{1-\zeta^2}\omega_n t-\frac{\zeta}{\sqrt{1-\zeta^2}}\sin\sqrt{1-\zeta^2}\omega_n t\right)e^{-\zeta\omega_n t}$	$\frac{\Delta\omega}{\omega_n}\left(\frac{1}{\sqrt{1-\zeta^2}}\times\sin\sqrt{1-\zeta^2}\omega_n t\right)e^{-\zeta\omega_n t}$	$\frac{\Lambda}{\omega_n^2}-\frac{\Lambda}{\omega_n^2}\left(\cos\sqrt{1-\zeta^2}\omega_n t+\frac{\zeta}{\sqrt{1-\zeta^2}}\sin\sqrt{1-\zeta^2}\omega_n t\right)e^{-\zeta\omega_n t}$
$\zeta=1$	$\Delta\theta(1-\omega_n t)e^{-\omega_n t}$	$\frac{\Delta\omega}{\omega_n}(\omega_n t)e^{-\omega_n t}$	$\frac{\Lambda}{\omega_n^2}-\frac{\Lambda}{\omega_n^2}(1+\omega_n t)e^{-\omega_n t}$
$\zeta>1$	$\Delta\theta\left(\cosh\sqrt{\zeta^2-1}\omega_n t-\frac{\zeta}{\sqrt{\zeta^2-1}}\sinh\sqrt{\zeta^2-1}\omega_n t\right)e^{-\zeta\omega_n t}$	$\frac{\Delta\omega}{\omega_n}\left(\frac{1}{\sqrt{\zeta^2-1}}\times\sinh\sqrt{\zeta^2-1}\omega_n t\right)e^{-\zeta\omega_n t}$	$\frac{\Lambda}{\omega_n^2}-\frac{\Lambda}{\omega_n^2}\left(\cosh\sqrt{\zeta^2-1}\omega_n t+\frac{\zeta}{\sqrt{\zeta^2-1}}\sinh\sqrt{\zeta^2-1}\omega_n t\right)e^{-\zeta\omega_n t}$

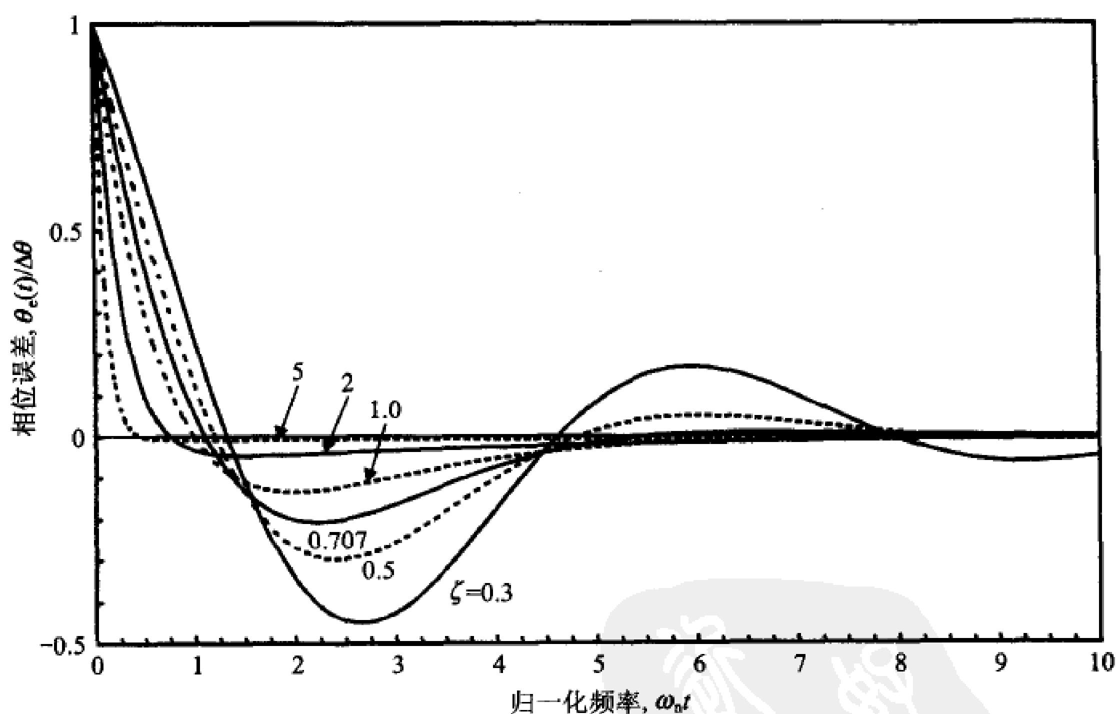


图 5-1 二阶 2 类 PLL 对相位阶跃的瞬态响应

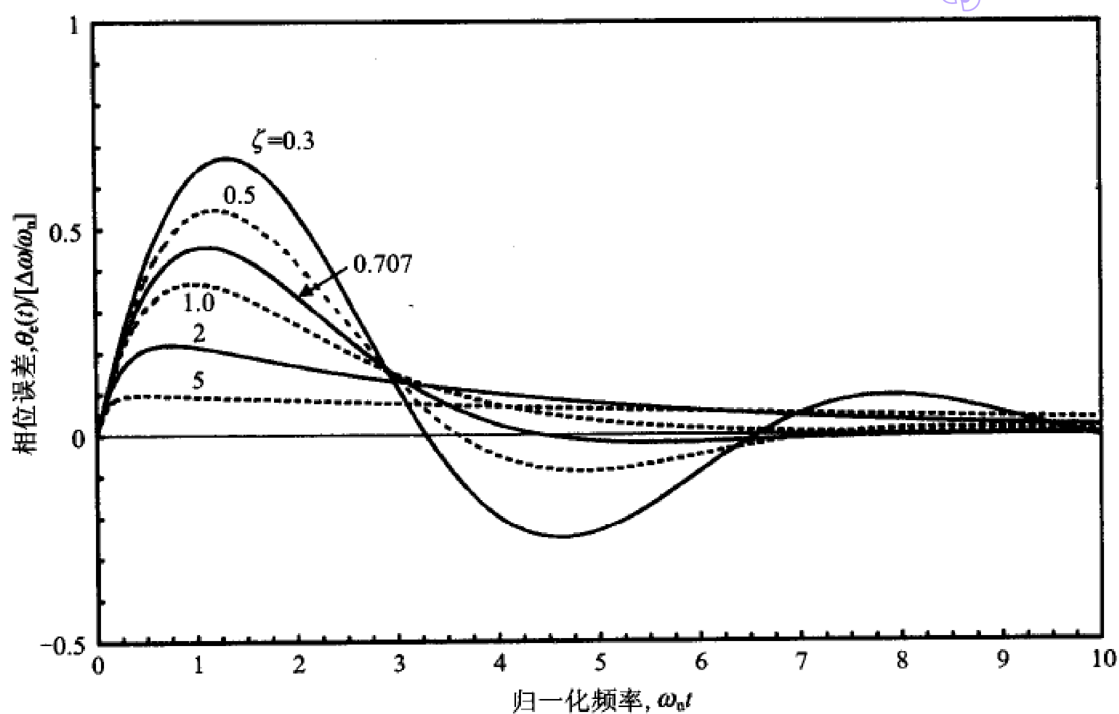


图 5-2 二阶 2 类 PLL 对频率阶跃的瞬态响应

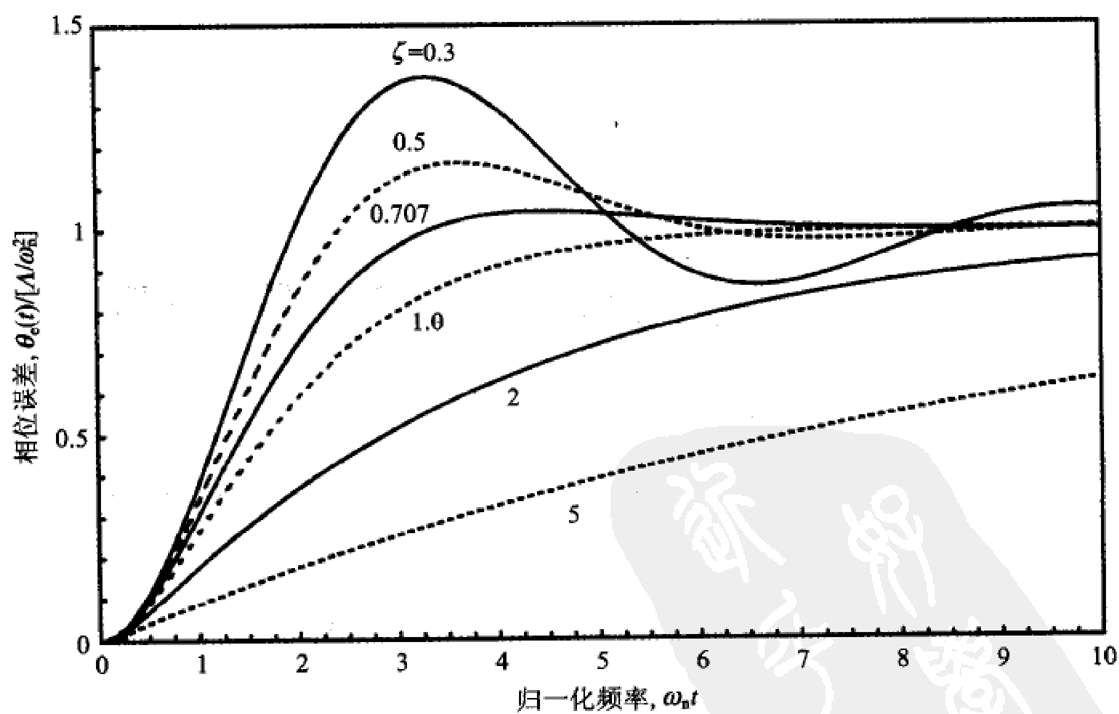


图 5-3 二阶 2 类 PLL 对频率斜坡的瞬态响应

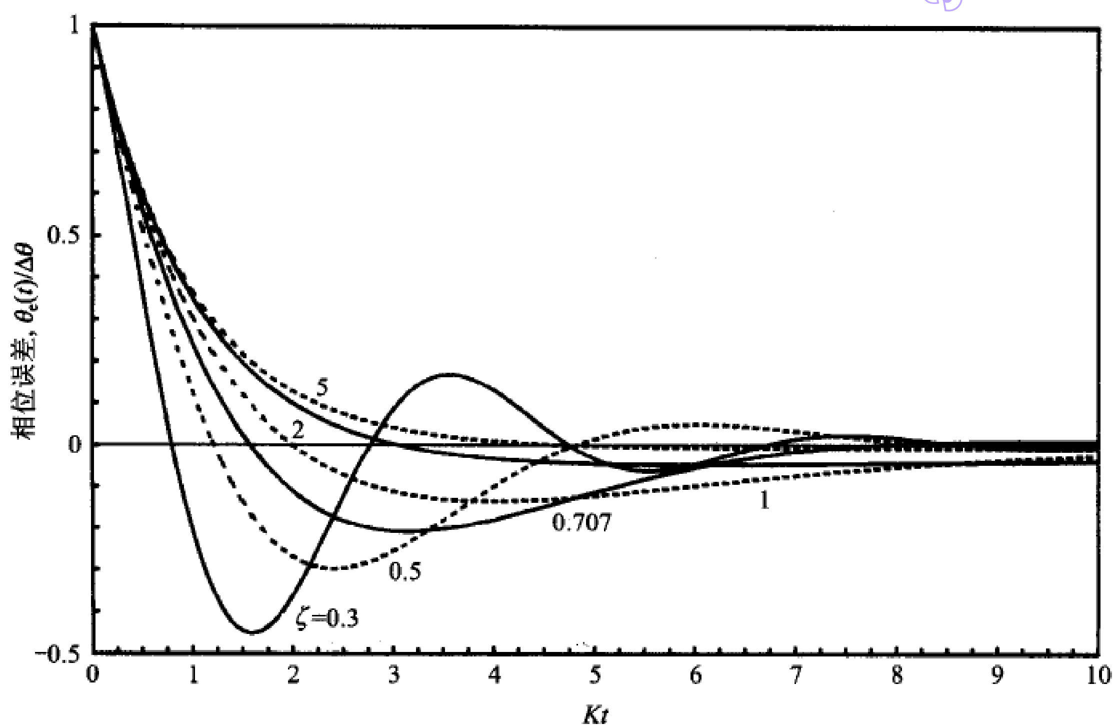


图 5-4 二阶 2 类 PLL 对相位阶跃的瞬态响应

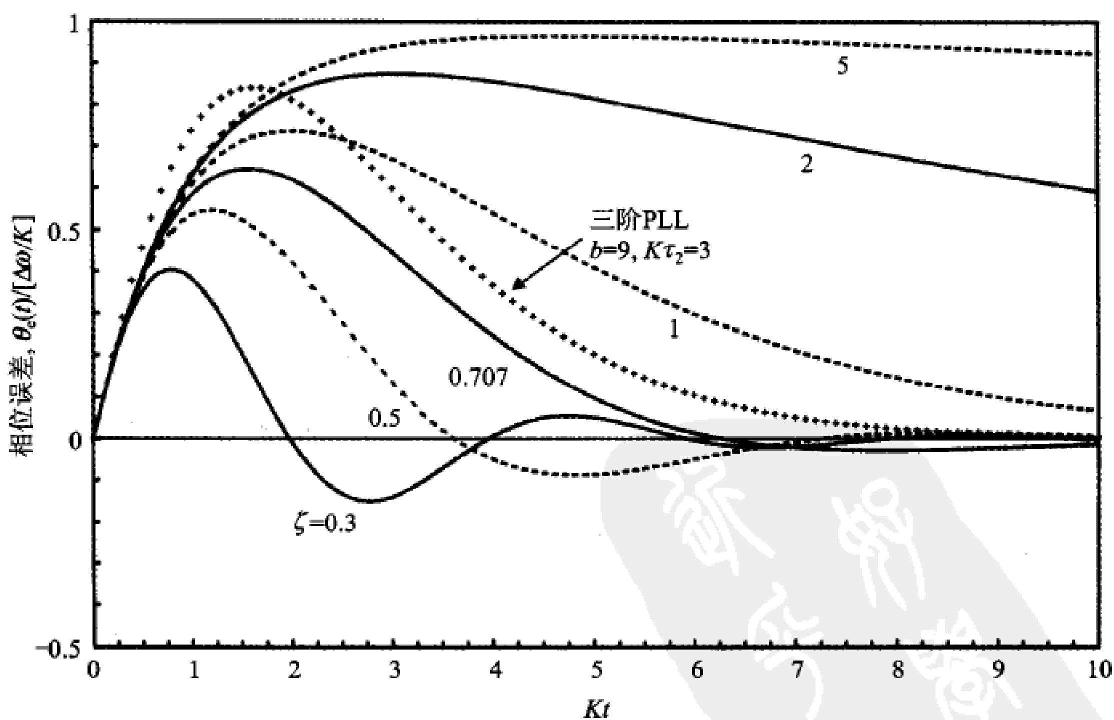


图 5-5 二阶 2 类 PLL 对频率阶跃的瞬态响应

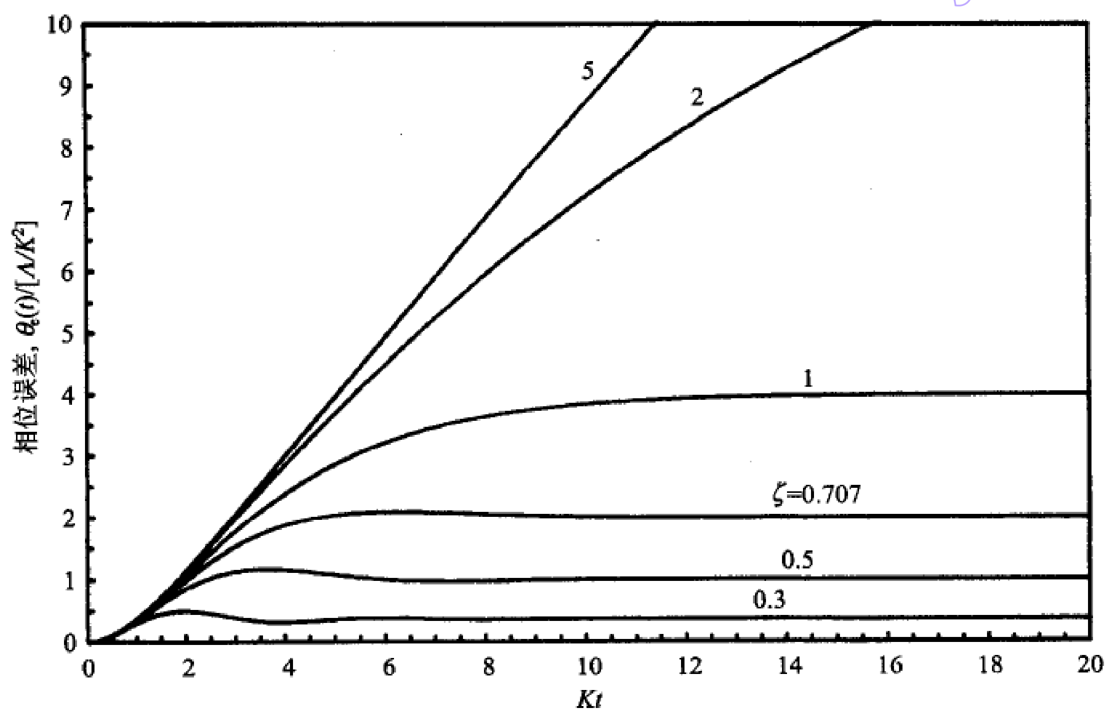


图 5-6 二阶 2 类 PLL 对频率斜坡的瞬态响应

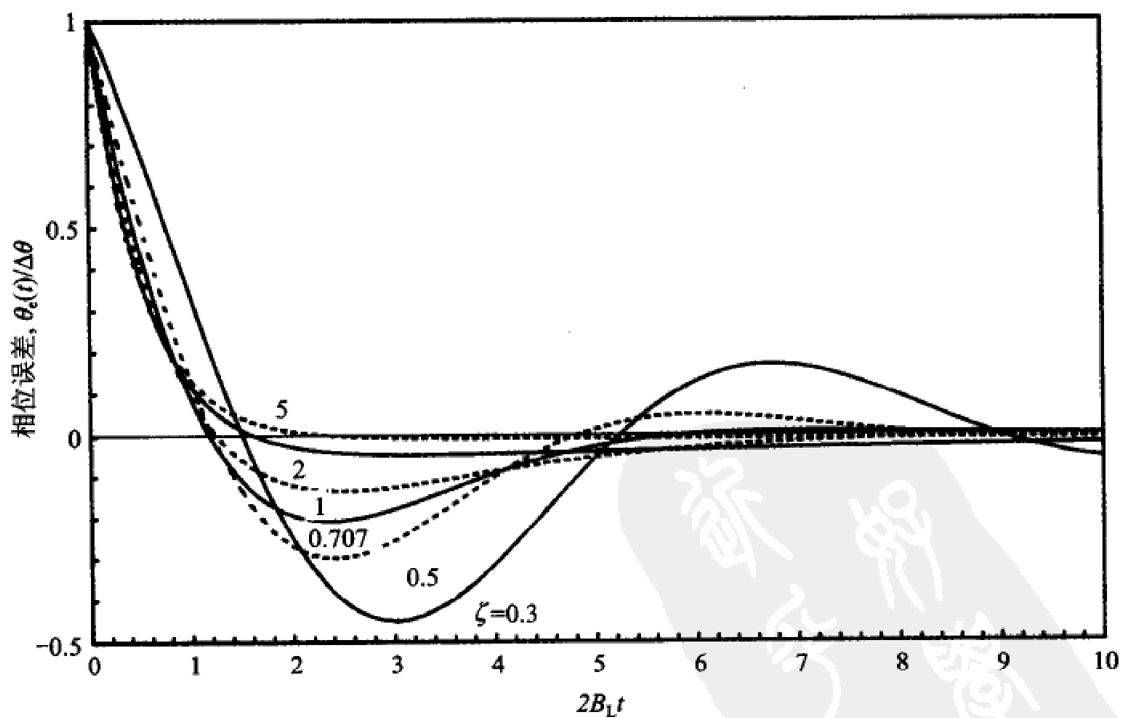


图 5-7 二阶 2 类 PLL 对相位阶跃的瞬态响应

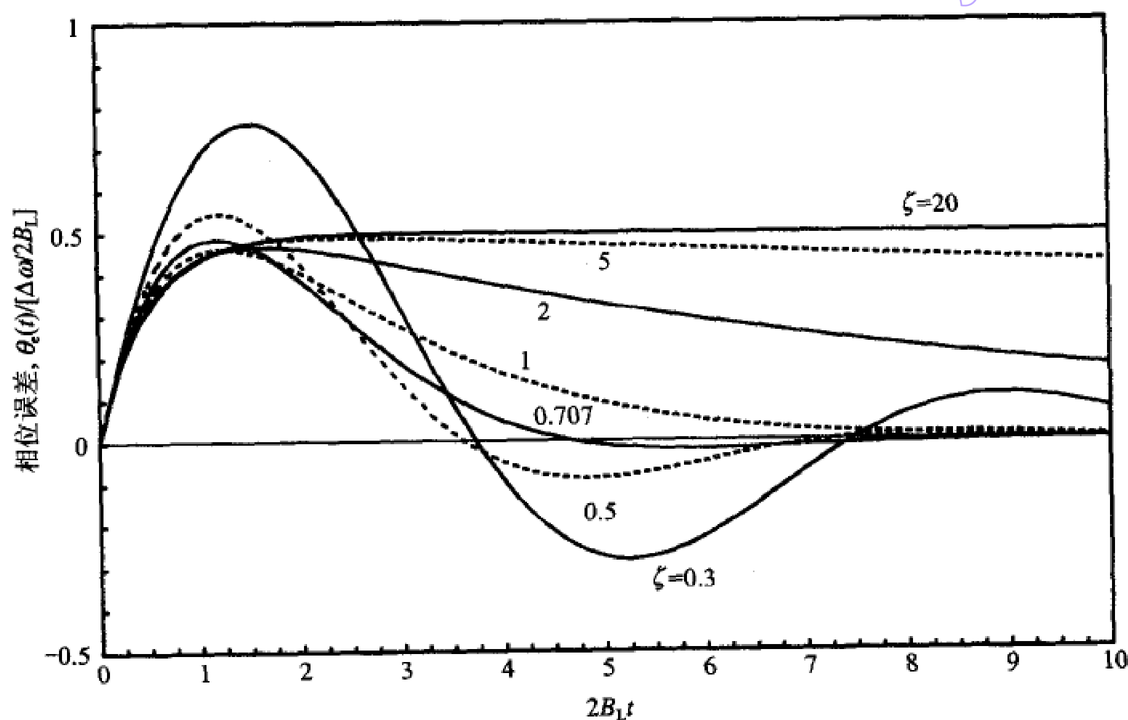


图 5-8　二阶 2 类 PLL 对频率阶跃的瞬态响应

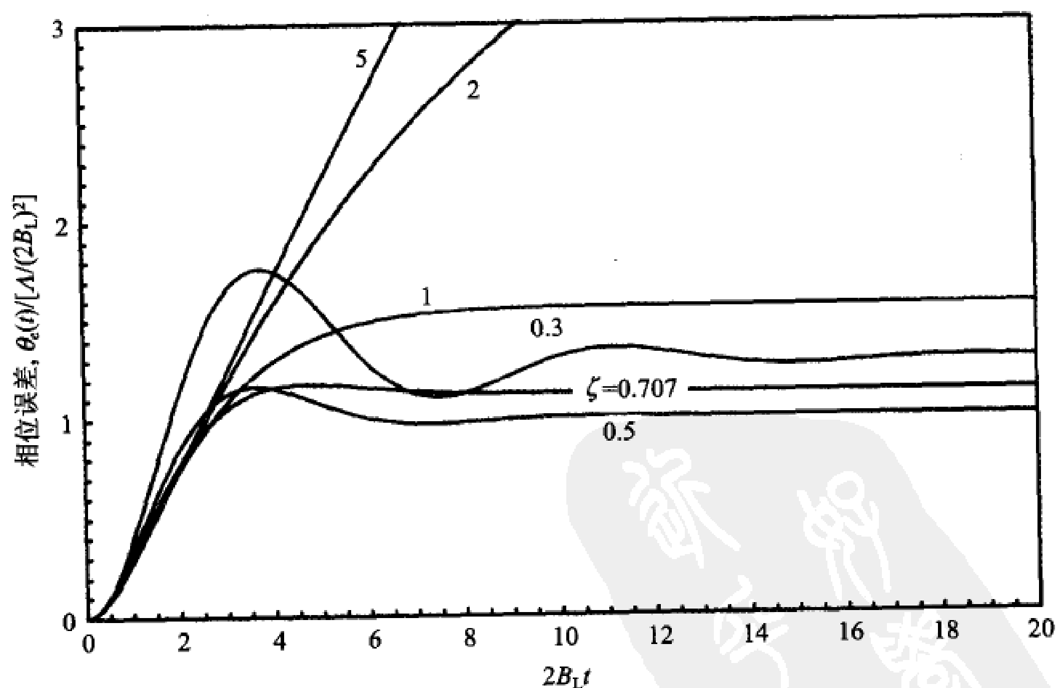


图 5-9　二阶 2 类 PLL 对频率斜坡的瞬态响应

□ 相位阶跃的瞬态过程

图 5-1(以 ω_n 归一化)表现为在最大阻尼因子时相位误差响应具有最快的初始下

降速率，但图5-4(以K归一化)表现为在最大阻尼因子时具有最小的初始速率，而图5-7(以$2B_L$归一化)表现为对所有阻尼因子$\zeta>0.5$的初始速率大致相等。图5-1是有误导的，因为当ω_n固定时，较大的阻尼因子由关系式$K=2\zeta\omega_n$得到较大的带宽，而较大的带宽表现出较活跃的响应。

□ 频率阶跃的瞬态过程

在把图5-2(以ω_n归一化)与图5-5(以K归一化)比较时，可以比较清晰地看出相同的逆转(reversal)效应；图5-2中呈现的大阻尼的明显优点，只是因为前面指出的由大阻尼所确定的较大带宽。可以考虑这样一个论点，即小阻尼的好处是对频率阶跃的很快速的恢复。(但小阻尼有其他的一些缺点；一般不应当仅依靠一个判据来选择阻尼或其他参数。)在图5-2、图5-5和图5-8中，初始相位误差近似直线地上升，其上升的斜率与阻尼因子无关。经过一段时间后(时间长短取决于阻尼因子)，斜率进入水平区然后向下。把瞬态过程的初始部分看作由于频率的变化，使相位误差以$\Delta\omega$ rad/s的速率逐渐积累起来，而斜率变为水平并逆转向下是由于通过环路中比例加积分的组合通路的反馈所致。在图5-5中，比例通路的增益对所有曲线都是相同的，但积分通路的增益与阻尼成反比例关系。小阻尼(积分通路的大增益)导致瞬态过程的快速斜率逆转，而大阻尼(积分通路的小增益)导致非常慢的斜率逆转。对于非常大的阻尼，峰值误差接近$\Delta\omega/K$，这个值是1类PLL的稳态误差。图5-2是有误导的，因为当ω_n固定时，比例通路增益K随ζ的增加而增加。图5-8(以$2B_L$归一化)表示出一个未预料到的现象：对所有$\zeta>0.5$，峰值相位误差都是$\Delta\omega/B_L$弧度±10%，且与ζ无关，这个性质在设计窄带PLL时是有用的，我们应当记住。

102～107

□ 频率斜坡的瞬态过程

图5-3(以ω_n归一化)表示了所有相位误差曲线都收敛于同一稳态值Λ/ω_n^2，这与式(5-9)是相符的。在这个例子中，以ω_n的归一化提供了许多信息，而稳态相位误差只取决于ω_n，与其他带宽参数没有太直接的关系。

3. 更高阶的2类PLL

图5-1至图5-9中的瞬态响应的持续时间都要比$1/\omega_n$、$1/K$或$1/B_L$长。所以，我们并不预期另外增加的高频极点会对瞬态响应产生强烈的影响，尤其是如果高频极点远大于增益穿越点频率的时候。

作为一个极端的例子，我们把某个三阶2类PLL的响应与相同环路增益K的二阶2类PLL的响应一起画在了图5-5中。三阶环路的参数为$b=9$和$K\tau^2=3$。(关于这类PLL的更多说明见2.3.3节。)通过分析得出频率阶跃$\Delta\omega$响应的拉普拉斯变换式

$$\theta_e(s)=\frac{\Delta\omega(s+3K)}{(s+K)^3} \tag{5-12}$$

由此得出时域的瞬态响应为

$$\theta_e(t)=\frac{\Delta\omega}{K}[Kt\mathrm{e}^{-Kt}(Kt+1)] \tag{5-13}$$

并画成图 5-5 中标有“三阶 PLL”的曲线。可以把三阶环路的曲线与 $\zeta=1$ 的二阶环路相比较。这两个 PLL 的相似点是所有极点都重合于负实轴上：三阶 PLL 在 $s=-K$，二阶 PLL 在 $s=-K/2$。因为这些极点都是实数，所以两个瞬态响应都是单极性方向上的；在瞬态过程中都没有出现经过零相位误差下冲的情况。

$K\tau_2=3$ 的条件使二阶 2 类 PLL 的阻尼因子 $\zeta=0.866$，但对于三阶 PLL 的例子则显然不是这样。然而，三阶 PLL 的瞬态过程曲线位于 $\zeta=0.707$ 和 $\zeta=1$ 之间，与 $\zeta=0.866$ 的二阶 PLL 的稳定过程曲线极为相似。因而，三阶 PLL 的瞬态过程大致与同一 $K\tau_2$ 值的二阶 PLL 相同，虽然第三个极点靠得特别近。瞬态过程的主要不同点出现在峰值误差的增高，三阶 PLL 的峰值误差要比同一 $K\tau_2$ 的二阶 PLL 更高更陡。为什么误差峰值会更高呢？因为增加了低通滤波后，检相器给出的、经过滤波的相位误差的指示要比没有增加滤波时推迟到达 VCO，所以在很大的校正反馈信号起作用的时候，就已经累积起了比较大的相位误差。

108

4. 3 类 PLL

3 类 PLL 可以用 2 类 PLL 一样的方式处理，但公开发表的结果[5.1~5.7]却很少，而且都零散地位于许多文献中。其原因是 2 类 PLL 的普遍性远远超过了 3 类 PLL，而且 3 类 PLL 过于复杂。在 3 类 PLL 中有(至少)三个环路参数，所以如果用图 5-1 中的方法，就需要许多页的图示来表示同一组数据。作为一个经验规则，我们假定 3 类环路对相位阶跃或频率阶跃的瞬态误差，大约与同一环路增益 K 和相似主极点位置的 2 类环路相同。参考文献[5.4]给出了一些例子。两种环路类型之间的主要不同点出现在对频率斜坡的响应上。因为 2 类 PLL 的响应稳态误差等于 Λ/ω_n^2，而对于同一输入的 3 类 PLL 的稳态误差为零。不过，带宽比较接近的 3 类与 2 类 PLL 对突然开始的频率斜坡，呈现大致相同的峰值相位误差，这是个要记住的很重要的事实，因为在处理动态变化信号时很有用。

5. 更复杂的输入

相位阶跃、频率阶跃和频率斜坡是对实际中遇到的信号的有用简化。对简化信号响应的理解有助于对更一般情况下 PLL 行为的理解。但如果输入信号的性质与简化信号非常不同，这里提出的方法和结果也许就不适用了；工程师也许要借助于信号与响应的数值计算。参考文献[5.3]中有这样的一些例子。用于线性电路时域计算的计算机程序非常适合完成这个任务。

6. 数字 PLL

前面关于瞬态响应的内容是对模拟 PLL 导出的。根据 4.7 节的论述，我们可以预期数字 PLL 应当有相似的行为，只要数字 PLL 的带宽与采样率比很小。那么这个“很小”是什么意思呢？也许环路增益 $\kappa\approx0.1$ 似乎是一条恰当的分界线。如果使用较大的环路增益，那就需要用离散时域的分析方法来确定实际的瞬态行为。

5.1.3 正弦角调制的响应

现在研究施加角调制输入信号时的环路行为。正弦相位调制为

$$\theta_i(t) = \Delta\theta \sin \omega_m t \tag{5-14}$$

正弦频率调制为

109

$$\theta_i(t) = \frac{\Delta\omega}{\omega_m} \cos \omega_m t \tag{5-15}$$

其中 $\Delta\theta$ 是峰值相位偏离，$\Delta\omega$ 是峰值频率偏离，ω_m 是调制频率。相位误差是正弦的（用线性近似时），并且可以简单地以闭环误差响应 $E(s)$ 的稳态频率响应来计算。图 5-10 至图 5-12 示出了一些例子。对相位调制的误差响应是调制频率的一个高通函数，如图 2-5 和图 5-10 所示。在低频区，一个 n 类环路的响应幅度以 $6n$ dB/倍频的速率上升。当调制频率很高时，环路跟不上调制的变化，所以全部的调制相位表现为检相器的误差。相应地，图 5-10 中的高频渐近线是 0 dB 的恒定值。

图 5-10 中的曲线是简单画出的；这些例子表示不同类型的环路，但它们的误差响应 $E(s)$ 具有相同的转角频率。可以明显看出的是，对于任何一个位于环路带宽内的频率，PLL 的类别越高，跟踪调制的能力就越好。而且可以预期，在环路内增加的任何高频滤波的主要影响表现在图 5-10 中的转角频率附近，并对渐近线没有什么影响。

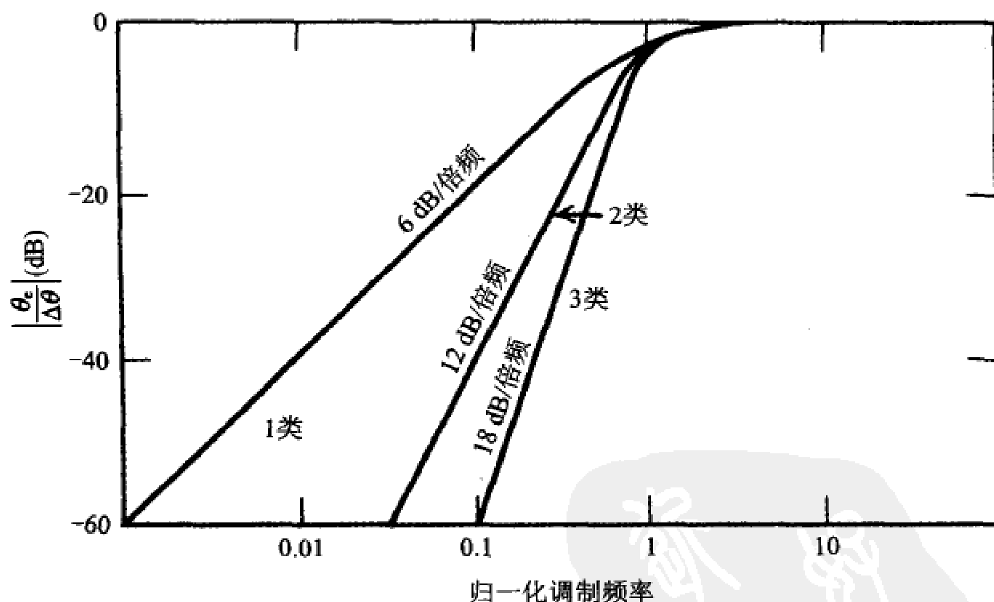


图 5-10　由正弦 PM 产生的稳态峰值相位误差，其中调制的峰值偏离为 $\Delta\omega$，调制频率为 ω_m

三种不同环路对正弦 FM 的误差响应画在图 5-11 中。可以看出，所有环路的高频渐近线是相同的；响应的不同点是在环路带宽内的低频区。在高频区出现的 6 dB/倍频的滚降，只是因为输入相位偏离 $\Delta\theta=\Delta\omega/\omega_m$ 与调制频率成反比。图 5-11 中的曲线都是以相同的环路增益 K 画出的。一阶环路的低频响应与它的单极点传递函数相对应，而 2 类环路在跟踪较低频率时比较有效。

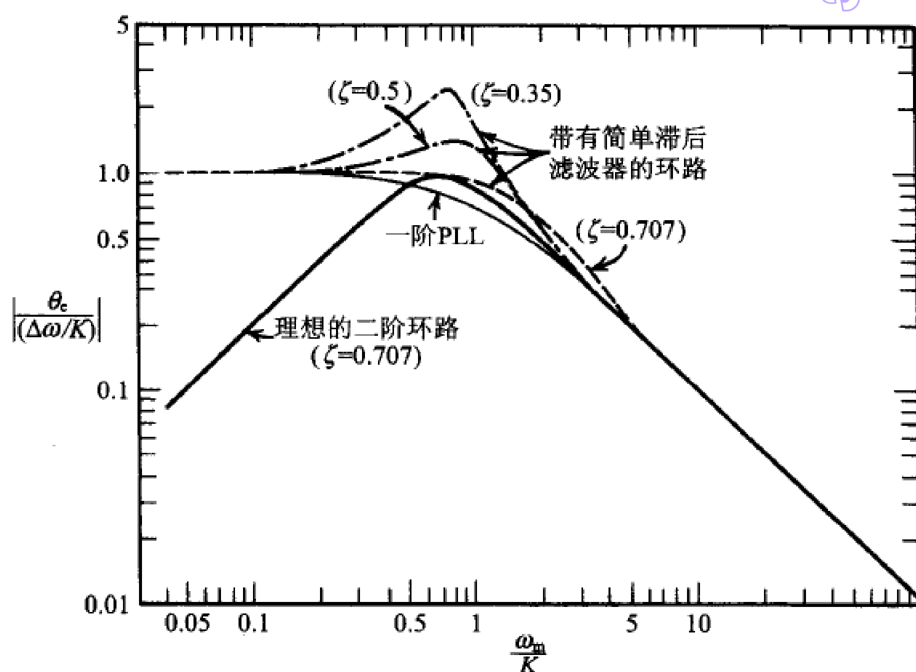


图 5-11　由正弦 FM 产生的稳态峰值相位误差，其中调制的峰值偏离为 $\Delta\omega$，调制频率为 ω_m

图 5-12 表示了二阶 2 类 PLL 对 FM 的相位误差响应，曲线是以阻尼为参数、相对于固有频率画出的。相位误差在调制频率等于固有频率 ω_n 时达到最大值，并与阻尼无关。峰值振幅为 $\Delta\omega/K$，而相位误差与输入频率调制之间的相移，在相位误差达到峰值时穿过零值，此时 $\omega_m=\omega_n$。这些性质有时用做对 ω_n 进行实验测量时的基准。

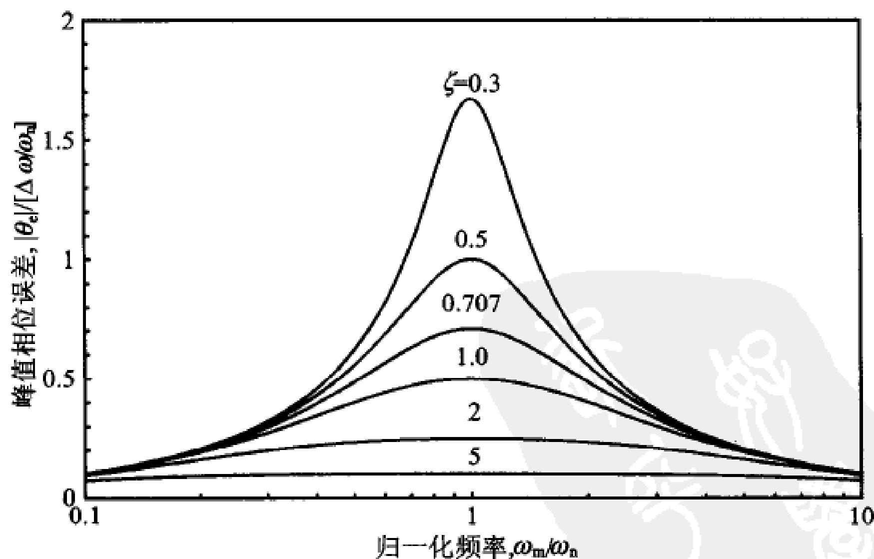


图 5-12　由正弦 FM 产生的二阶 2 类 PLL 的稳态峰值相位误差，其中调制的峰值偏离为 $\Delta\omega$，调制频率为 ω_m

5.2 非线性跟踪:锁定极限

所有前面关于跟踪与相位误差的讨论都是基于线性的假设,即相位误差对环路而言是足够小的,因而可以认为环路工作在它的线性区。随着误差的增大,这个假设会变得越来越不精确,到最后环路失去锁定,因而整个假设就毫无意义了。本节中我们将抛弃线性的假设,研究环路锁定的极限条件。

5.2.1 检相器的非线性

如第10章中对检相器的进一步讨论中所说的,检相器的 s 曲线(输出电压与相位误差的关系曲线)是周期性的、必定非线性的。s 曲线是相位误差的函数,习惯上表示为 $g(\theta_e)$;它的斜率 $dg/d\theta_e$ 在 $\theta_e=0$ 处的值是检相器的增益 K_d。s 曲线是一个有界函数,即检相器的输出有一个最大值。一种常见的并且非常重要的 s 曲线是正弦形:

$$g(\theta_e) = K_d \sin \theta_e \tag{5-16}$$

由正弦检相器所确定的锁定极限在文献中受到普遍的关注,同时也是要在本章下一节中讨论的。其他的 s 曲线将在之后介绍。虽然如此强调检相器的非线性,但我们必须知道跟踪极限一般是由环路中的其他单元确定的,这将在后面讨论。

5.2.2 稳态极限

第一个要考虑的参数是使环路可以保持锁定的输入频率范围。在式(5-7)中,由频率偏离引起的稳态相位误差的线性近似式可表示为 $\theta_v=\Delta\omega/K_{DC}$。但是,对于正弦 s 曲线的检相器,真正的表达式应当是 $\sin\theta_v=\Delta\omega/K_{DC}$。正弦函数的值不可以超过1;所以当 $\Delta\omega>K_{DC}$时,等式无解。因此环路失锁,检相器电压变成了一个拍音,而非DC电平。所以,带有正弦检相器的PLL的保持范围可以确定为

110～112

$$\Delta\omega_H = \pm K_{DC} \quad \text{rad/s} \tag{5-17}$$

等式(5-17)的意思是,保持范围可以简单地通过使用非常大的DC增益而变得非常大。当然,增益无限增大不是万能的,因为环路中会有另一个单元在检相器之前进入过载。试考虑这样的推理:为了实现VCO的一个任意指定的频率偏离,就需要某个一定的控制电压。但环路放大器(如果确实使用放大器的话)总是有某个它可以给出的最大电压幅度,而VCO也有某个它可以接受的最大控制电压幅度。当这两个最大值之一被超过而饱和之后,环路就无法锁定了。实际上,一般的做法是对PLL找出这样一个很高的DC增益,使放大器或VCO进入饱和的时候,静态相位误差却只有非常小的度数。如果PLL是真正2类的(在数字PLL中是常见的),那么由频率偏离所引起的静态相位误差准确地为零,所以保持范围完全由除检相器外的某个单元的边界来确定。

2类PLL的动态误差曾在前面的式(5-9)中近似地表示为 $\theta_a=\Lambda/\omega_n^2$。正弦 s 曲线检相器的正确表达式应当是 $\sin\theta_a=\Lambda/\omega_n^2$,由此可以推导出输入频率的最大允许变化率为

$$\Lambda = \omega_n^2 \tag{5-18}$$

如果输入速率超过这个值，环路就失锁。

许多检相器的线性范围和最大输出都超过了式(5-16)的正弦 s 曲线检相器。图 5-13 中画出了几个例子。图 5-13 中所有的曲线在 $\theta_e=0$ 处的斜率都是相同的，这就是说，各种 PD 都有相同的增益因子 K_d。第 10 章中将对具有这些 s 曲线或其他延伸 s 曲线的检相器进行讨论。

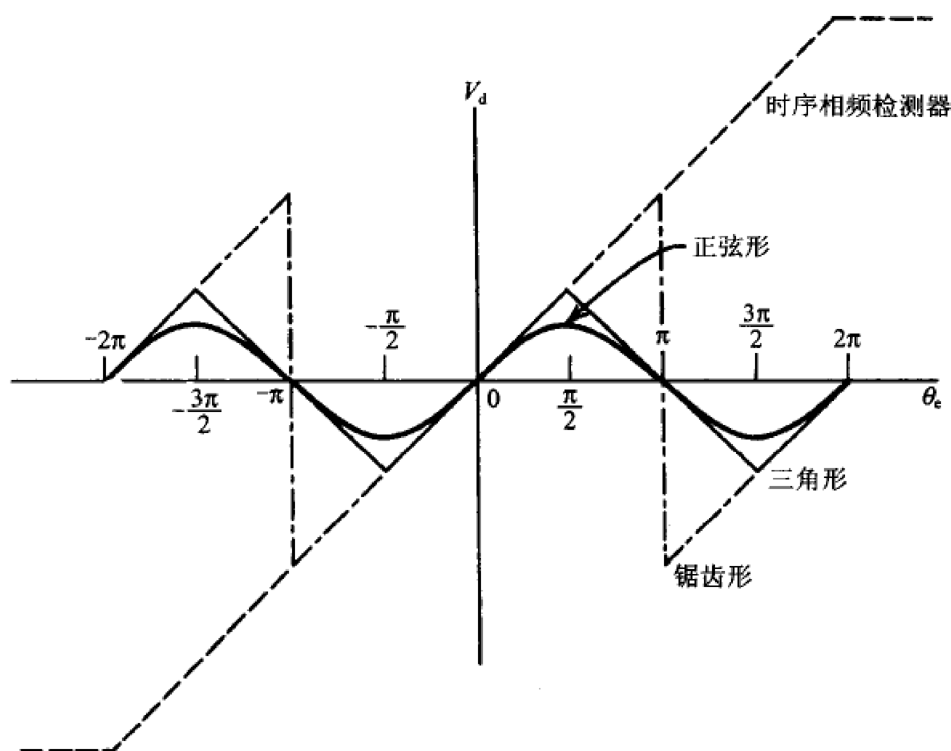


图 5-13 各种检相器的 s 曲线

PD 输出能力的提高可以提供比正弦 PD 更大的跟踪范围(即更大的锁定范围)。(当然，只有当锁定范围被 PD 所限制，而不是被其他某个非线性单元(例如运算放大器的钳位)限制的时候，PD 输出范围的延伸才有意义。)下表中给出了图 5-13 中各种 PD 对锁定范围的延伸。保持范围式(5-17)和速率极限式(5-18)都受到同一比例因子的延伸。

PD 类型	延伸因子
正弦形	1
三角形	$\pi/2$
锯齿形	π
时序相频检测器	2π

5.2.3 瞬态极限

图5-1至图5-9展示了瞬态相位误差可以比稳态相位误差大很多，这个意思是说，在瞬态过程中，一个在稳态下很容易跟踪的输入变化可以把环路拉出锁定。本节将考察一些过大的瞬态过程。

大多数检相器都是周期性的，所以我们无法把相位阶跃$(\Delta\theta+2\pi n)$与相位阶跃$\Delta\theta$两者区分开来。因此，当不存在其他应力时，一个普通的PLL应当永远不会因为输入一个相位阶跃而失锁，无论输入幅度有多大、环路阶数有多高。（只有当检相器的s曲线对它的一个周期内的所有相位误差都能给出极性正确的非零输出的时候，才有这个能力；见图14-3中的相反例子。）频率阶跃可以使环路失锁。一阶环路仅当频率阶跃超过保持范围时才失锁，而这个保持范围是根据式(5-17)对正弦形PD和上面说到的其他延伸s曲线的形状而确定的。2类PLL的瞬态极限将在介绍非线性分析工具之后讨论。

1. 相平面原理

相平面图(phase-plane portrait)对于研究二阶PLL的瞬态非线性行为是很有用的。关于相平面的论述可以在许多控制系统书籍中找到。Viterbi[5.8,5.9]把相平面分析方法应用于正弦s曲线的PLL。二阶环路的动态特性可以用一对一阶非线性微分方程描述，其中把时间作为自变量，把相位误差θ_e和频率误差$d\theta_e/dt=\omega_e$作为应变量。在两个方程中消去时间变量后，就得到一个表示相位误差与频率误差之间关系的二阶非线性微分方程。

113~114

这个二阶方程的解以$d\theta_e/dt=\omega_e$和θ_e之间的关系式表示；这些解可以画在以ω_e和θ_e为坐标轴的相平面上。这些解是得不到解析形式的；要借助计算机。一个解在相平面上的图形称为一条*相平面轨迹*。一组轨迹曲线族称为一个*相平面图*。一条轨迹表示出环路在趋于(或失锁时不趋于)平衡状态时的瞬态过程的动态行为。

图5-14简单画出了一个具体2类PLL的相平面图，其中环路的检相器是正弦形的，环路的临界阻尼$\zeta=1$。根据不同的环路阻尼、检相器s曲线、环路应力和信号调制方式，可以得到不同的相平面图。最好的相平面图，如果能得到的话，也许是在Viterbi的原始报告[5.8]中。他的书[5.9]中有相同的相平面图，但因缩得太小而不易看清。Blanchard的书[5.10]中有几幅比较大的图。在本节后面和第8章中的许多结果是用参考文献[5.8]中的相平面图得出的。相平面分析方法是理解二阶环路非线性动态特性的核心方法。

带有周期性检相器的PLL的相平面图本身也是周期性的，它的周期是变量θ_e的周期2π，但对于ω_e是非周期的。图形是沿着相位坐标轴无限重复的；图5-14画出了两个完整的周期。轨迹都是顺时针走向的，如图中箭头的方向。轨迹之间只在奇点处相交，而这些奇点可以是稳定的或不稳定的。平衡出现在稳定的奇点处(轨迹达到了一个休止点)，如果环路是过阻尼的，那么这个奇点被叫做*稳定结点*(node)，而如果环

路是欠阻尼的,那就叫做稳定焦点(focus)。平衡也许是一个在经过无限时间之后才达到的稳态跟踪条件。(可以把条件规定成不存在任何平衡状态;见参考文献[5.8]或参考文献[5.9]中的例子。)

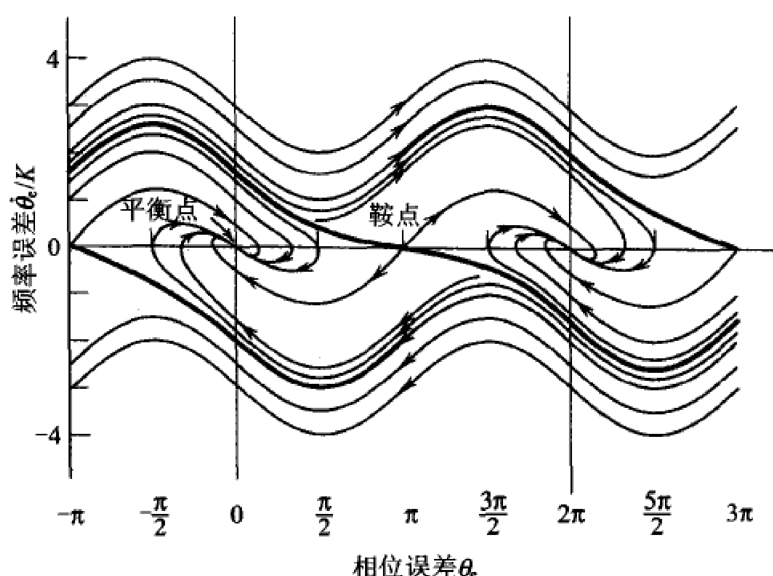


图 5-14 一个二阶 2 类 PLL 的相平面图,其中 $\zeta=1$,检相器是正弦形的

115

不稳定的奇点被称为鞍点(saddle point);环路的状态不能长久地停留在鞍点上,因为任何一个小扰动就使环路状态从鞍点进入一条活动轨迹。结束于鞍点的轨迹被称为分隔线(separatrix)。图 5-14 中的分隔线用粗线表示。(所谓"分隔线"只是限于 2π 的区间内,而且只是指那些结束于鞍点且不反向返回无穷远处的轨迹。)

如果一条轨迹位于两条分隔线之间,那么这条轨迹将结束于所在 2π 区间内的那个平衡点处。如果一条轨迹位于所有分隔线之外,那么环路就会发生一周或几周的滑步,然后到达平衡状态(环路是可能到达平衡状态的;但无休止的滑步也是可能的)。一次周期滑步就表示相位误差达到了 2π 弧度。

2. 相平面的应用

现在来考察具有无穷大 DC 增益的二阶 2 类 PLL 的瞬态过程。从原理上讲,这种环路不会永久失锁。如果加上一个很大的频率阶跃,环路是会失锁的,但经历了一段时间的周期滑步后,又会重新锁定。在滑步的几个周期内,相位误差呈现连续几个周期的振荡。但存在一个频率阶跃的极限,在这个极限以内,环路不会产生滑步而一直保持锁定;我们把这个极限规定为拉出(pullout)频率,并用符号 $\Delta\omega_{PO}$ 表示。如果在加上频率阶跃的时刻,环路处于 $\theta_e=0$ 和 $\omega_e=0$ 的平衡状态,那么拉出极限只不过是分隔线与 $\theta_e=0$ 坐标轴的交点。根据参考文献[5.8]中的相平面图,曾经找出了图 5-15 中所示的那些关于正弦形 PD 的拉出极限的数值。这些数据点与下面的经验关系式相符

$$\Delta\omega_{PO}=1.8\omega_n(\zeta+1) \tag{5-19}$$

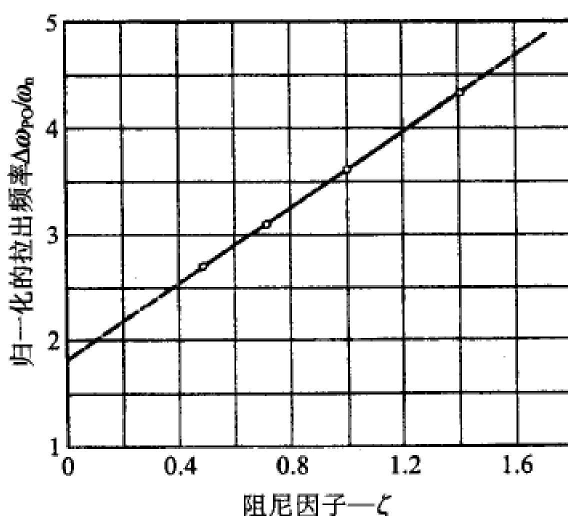


图 5-15 一个二阶 2 类 PLL 的拉出频率,其中的检相器为正弦形的

其中 ζ 在 0.5 和 1.4 之间。相平面图也可以用来确定很大频率阶跃时的峰值相位误差。当 $\Delta\omega=\Delta\omega_{PO}$时,峰值相位误差为 180°。但是,当相位误差超过 90°以后就增加得很快,所以,引起 90°峰值相位误差的频率阶跃只是略小于 $\Delta\omega_{PO}$。图 5-16 表示了 $\zeta=0.707$特定条件下的情况。

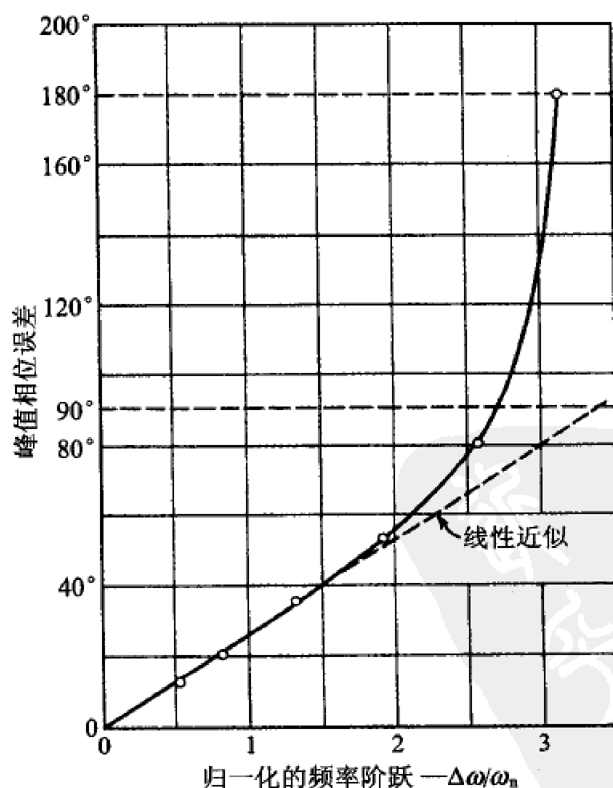


图 5-16 一个二阶 2 类 PLL 的频率阶跃响应的瞬态峰值相位误差,其中 PLL 的 $\zeta=0.707$,并使用了正弦形的检相器

相平面图只适用于二阶环路(或者，退化了的相平面图可以适用于一阶环路)。三阶环路有三个状态变量，即相位、频率和频率变化率，所以必须要一个三维的相位空间才能完全表示出来。用二维的方式表示这样一个空间是非常困难的。因此，对高阶环路的非线性瞬态响应的了解要比对二阶环路的了解少得多。

116~117

5.2.4 调制极限

一个工程师还必须考虑在输入信号为角调制时的失锁问题；如果调制度太大，那么 PLL 就不能保持锁定到这个信号上。我们首先要区分载波跟踪环路和调制跟踪环路，所谓载波跟踪环路是指调制谱完全落在环路带宽之外，而调制跟踪环路是指调制谱落在环路带宽以内。第一类环路主要用于小调制度的 PM 信号的解调，而第二类环路则用于大调制度的 FM 或 PM 信号。

1. 载波跟踪 PLL

对加到载波跟踪环路上的调制必须限制为确实存在可跟踪的载波。如果施加峰值偏离为 θ 的正弦相位调制，那么载波的强度正比于零阶贝塞尔函数 $J_0(\theta)$。该函数在 $\theta=2.4$ rad(137°)时通过它的第一个零值。实验已经指出，当调制度非常接近这第一个零值时，就会失锁。当偏离增加到超过大约 2.4 rad 时，环路又会重新锁定，而且保持锁定到相位偏离达到 J_0 在 $\theta=5.5$ rad 时的第二个零点。从原理上讲，载波跟踪环路仅在正弦已调信号非常接近零载波的时候才失锁，而在其他调制度时都可保持锁定。

2. 调制跟踪 PLL：正弦调制

调制跟踪环路的行为就不是那么容易解释了。为了提出这个问题，我们可以设想这样一个实验：把一个已正弦调制的信号(PM 或 FM)加到一个带有正弦形检相器的 PLL 上。要求环路增益 K 比调制频率 ω_m 大得非常多，因而 PLL 可以跟踪调制。否则，后面的解释就不成立。

我们用示波器观察检相器的输出电压，同时恰当地调整调制度。当偏离很小时，观察到的波形是正弦波，与预期的一样。随着偏离的增加，PD 的输出幅度也增加。如果偏离增加得太大，环路就开始出现周期滑步，同时在示波器上出现严重的失真(滑步的详细内容在后面给出)。

□ 不出现失真

但是，从很小的调制度一直增加到引起失锁之前，PD 的输出波形几乎总保持为正弦形(即几乎未失真)。这个行为颇令人惊奇，因为在失锁之前 PD 已经早就进入非线性工作区。那么一个非线性器件怎么会有低失真的操作呢？对这个问题的回答当然是，只要在调制频率处的反馈增益很大，负反馈就可以抵消 PD 输出中的大多数失真。失真的减少是一般熟知的反馈环路的性质，而 PLL 特别地继承了这个性质。

如果 PD 输出没有什么失真，那么作为很好的近似，峰值相位误差将按照输入偏离的反正弦函数而增加。换句话说，我们预期由 PD 的非线性所产生的失真是出现在相位误差上，而不是出现在 PD 输出 $v_d=K_d\sin\theta_e$ 上。这个关系将在下面几个段落中用

118

来确定与 PD 输出峰值有关的相位误差波形。

如果 PD 的输出是正弦波，那一定有形式 $v_d(t)=aK_d\sin\theta_m t$，其中 a 为一个在 0 与 1 之间的因子。正弦形检相器的最大可能输出电压是 K_dV，所以 a 就是峰值输出与最大可能输出之比。另外，$v_d(t)=K_d\sin\theta_e(t)$，由此可以得出（在第一象限内成立）：

$$\theta_e(t)=\sin^{-1}(a\sin\omega_m t) \tag{5-20}$$

不同 a 值的几个例子画在图 5-17 中。当 a 很大时，θ_e 明显地有相当大的失真，但 v_d 的曲线仍然是正弦形。

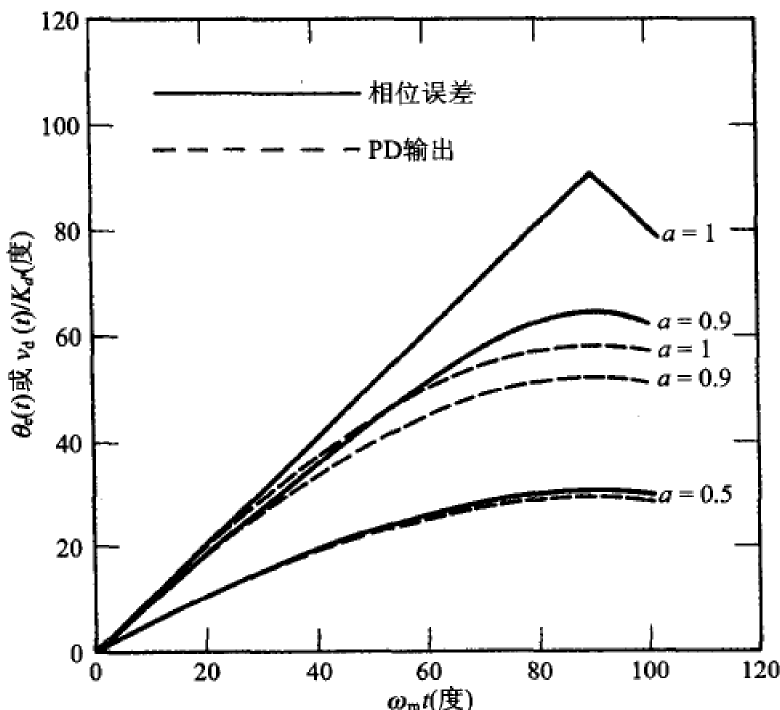


图 5-17 在 $v_d(t)/K_d=a\sin\omega_m t=\sin\theta_e(t)$ 的条件下，带有正弦形 PD 的 PLL 对频率为 ω_m 的正弦角调制的相位误差响应 $\theta_e(\omega_m t)$（实线）和 PD 输出响应 $v_d(\omega_m t)/K_d$（虚线）

□ 调制极限

一旦认识到了 v_d 基本没太失真时，确定调制极限就简单了。当输入调制已知时，v_d 的幅度可由下面的频率响应找出

119

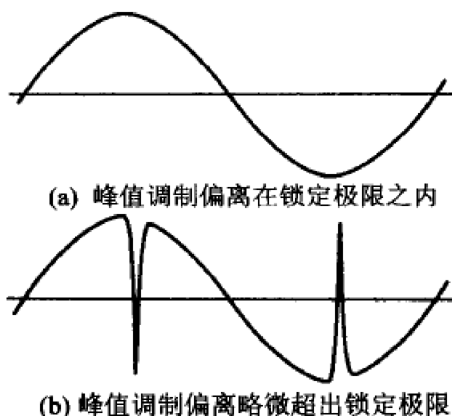
$$V_d(j\omega_m)=K_dE(j\omega_m)\theta_i(j\omega_m) \tag{5-21}$$

其中 θ_i 表示输入信号的相位调制。式(5-21)中 V_d 的幅度产生了角频率等于 θ_m 的正弦形 PD 的输出峰值 v_{dp}。如果计算值 $v_{dp}<K_d$，那么环路将保持锁定，而如果计算值 $v_{dp}>K_d$，就产生周期滑步。（这个判据适用于正弦形 PD，但对其他的 PD 特性必须修正后才适用。）如果正弦调制的调制频率为 θ_m，频率偏离峰值为 $\Delta\omega$，那么偏离的极限值可以找出为[5.11]

$$\Delta\omega=\begin{cases}K & 1\text{ 类 PLL}\quad \omega_m\ll K\\ \dfrac{\omega_n^2}{\omega_m} & 2\text{ 类 PLL}\quad \omega_m\ll\omega_n\end{cases} \tag{5-22}$$

□ 失锁行为

环路在失锁阈值处的详细行为[5.12]是颇为奇特的。如果是正弦调制，那么 PD 的输出在达到失锁极限值之前都几乎保持正弦形。超过这个极限之后的一个很微小的增加都会引起 PD 输出的极大改变。对于一阶环路(图 5-18)，在环路失锁时会突然出现很大的尖峰。每个尖峰表示一次周期滑步。滑步尖峰仅在瞬时偏离超过锁定极限时才出现，而且一阶环路在瞬时偏离回到锁定极限以内时就立即回到锁定。如果稍微有点过调制，那么在每个调制峰值时只会出现一个尖峰，当再增加调制度时，就会出现连串的尖峰。


(a) 峰值调制偏离在锁定极限之内

(b) 峰值调制偏离略微超出锁定极限

图 5-18 在正弦角调制条件下的一阶 PLL 的检相器输出波形

2 类 PLL 的失锁行为是非常特别的。在锁定极限内，检相器的输出总是正弦的，但再增加一点微小的偏离就会引起环路完全失锁，并永远回不到锁定；同时，PD 的输出端只有一个拍音。只有当偏离峰值减小到锁定极限以内时，环路才可回到锁定。而且，采用调整偏离值的方法得不到图 5-18 中出现的单个尖峰的情况。

120

为什么 2 类环路的行为与一阶环路如此不同呢？当认识到峰值相位误差并不出现在频率调制的每个周期中的峰值(一阶环路是出现在频率调制的每个周期的峰值处的)的时候，我们就有了比较深刻的理解。其实，峰值相位误差出现的时刻是与最大频率变化率的时刻重合的，相当于正弦调制的瞬时频率偏离为零的时刻。实际上，正弦调制下的失锁极限式(5-22)可以表示为等同于 $\Lambda=\omega_n^2$，这是 2 类 PLL 的扫描速率的极限式(5-18)。

为什么当调制周期逐渐走出过大频率变化率的区域之后，环路仍不能重新锁定呢？因为当调制走出过大频率偏离区域之后，一阶环路毕竟是可以重新锁定的。我们应该考虑到，输入信号和 VCO 的频率只是当频率调制的变化率达到最大时才相符的(出现在频率调制的零偏离时刻)，而如果频率变化率太大，环路就无法在这个时刻锁定。一个周期中的其他一些时刻上的变化率是可以锁定的，但由于输入信号与 VCO 之间的频率差异又使环路无法实现快速锁定。

3. 调制跟踪 PLL：高斯调制

对于以高斯信息进行频率调制的方式，也已经推导出了调制极限[5.11]，其中的高斯信息的基带谱从 DC 到截止频率 B_m 范围内是平坦的，而且频率偏离的均方根值为 σ_f。高斯信号的峰值是无界的，所以总是存在一个偶尔发生周期滑步的小概率，无论均方根偏离值如何小。作为一个工程工具，我们引用峰顶因子的概念，并用符号 γ 表示。这样选择 γ 使得在几乎所有的时间内，瞬时偏离的幅度都小于 $\gamma\sigma_f$。已经发现 $\gamma=3.5$ 的值与实验室观测到的调制失锁有很好的经验数据的拟合。使用这些概念后，确定高

斯调制的锁定极限为[5.11]

$$\sigma_f = \begin{cases} \dfrac{K}{2\pi\gamma} & 1\text{类 PLL} \quad B_m \ll K/2\pi \\ \dfrac{\sqrt{3}\omega_n^2}{4\pi^2\gamma B_m} & 2\text{类 PLL} \quad B_m \ll \omega_n/2\pi \end{cases} \tag{5-23}$$

参考文献

5.1 R. C. Tausworthe, "Improvements in Deep-Space Tracking by Use of Third-Order Loops," *JPL Q. Tech. Rev.* **2**, 96–106, July 1971.

121

5.2 R. C. Tausworthe and R. B. Crow, "Improvements in Deep-Space Tracking by Use of Third-Order Loops," *IEEE Int. Conf. Commun.*, 1972, pp. 577–583.

5.3 P. H. Lewis and W. E. Weingarten, "A Comparison of Second, Third, and Fourth Order Phase-Locked Loops," *IEEE Trans. Aerosp. & Electron. Syst.* **AES-3**, 720–727, July 1967.

5.4 H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, Wiley, New York, 1990, Sec. 2.5.

5.5 S. L. Goldman, "Jerk Response of a Third-Order Phase-Lock Loop," *IEEE Trans. Aerosp. & Electron. Syst.* **AES-12**, 293–295, Mar. 1976.

5.6 E. T. Tsui and R. Y. Ibaraki, "Third-Order Loop Filter Design for Acceleration-Rate," *IEEE Trans. Aerosp. & Electron. Syst.* **AES-13**, 200–204, Mar. 1977.

5.7 S. C. Gupta, "Transient Analysis of a Phase-Locked Loop Optimized for a Frequency Ramp Input," *IEEE Trans. Space Electron. & Telem.* **SET-10**, 79–83, June 1964.

5.8 A. J. Viterbi, *Acquisition and Tracking Behavior of Phase-Locked Loops*, External Publ. 673, Jet Propulsion Laboratory, Pasadena, CA, July 1959.

5.9 A. J. Viterbi, *Principles of Coherent Communication*, McGraw-Hill, New York, 1966, Chap. 3.

5.10 A. Blanchard, *Phase-Locked Loops*, Wiley, New York, 1976, Sec. 10.2.1.

5.11 F. M. Gardner and J. F. Heck, "Angle Modulation Limits of a Noise-Free Phase Lock Loop," *IEEE Trans. Commun.* **COM-26**, 1129–1136, Aug. 1978.

122

5.12 F. M. Gardner and J. F. Heck, "Phaselock Loop Cycle Slipping Caused by Excessive Angle Modulation," *IEEE Trans. Commun.* **COM-26**, 1307–1309, Aug. 1978.

第6章 加性噪声的影响

应对大噪声的能力是锁相环的一个主要优点。本章将详细讨论平稳加性高斯噪声的影响。白噪声是加性噪声的一个最重要的例子，因而也相应地给予最多的关注；此外本章还将讨论关于有色噪声的分析技术。加性噪声会引起跟踪误差；小噪声引起小误差，大噪声引起大误差。小噪声下的性能可以用传递函数的线性分析方法处理；但大噪声使 PLL 工作在传递函数不适用的非线性工作区，所以就需要使用更困难的非线性方法。我们将在下文中讨论这两种噪声。

6.1 线性操作

线性分析包括两个部分：首先推导出检相器的噪声模型，然后把这个模型放到 PLL 的反馈回路中。这个分析将得出极其有用的噪声带宽的概念和环路信噪比的概念。

6.1.1 检相器的噪声模型

我们把检相器看成一个完美的乘法器，它有两个输入，表示为 $v_i(t)$ 和 $v_o(t)$，都以 V 为量纲。检相器的输出是 $K_m v_i v_o$，其中 K_m 是一个以 $(\mathrm{V})^{-1}$ 为量纲的常数。

评注：检相器经常用乘法器模型表示，一方面是因为分析上的方便，另一方面是因为许多实际的检相器确实可以很好地用乘法器近似。而且，乘法器类的检相器是大噪声情况下的最佳选择，详见第 10 章。

1. PD 的输入

乘法器的一个输入 $v_i(t)$ 是由一个正弦信号和一个加性噪声 $n(t)$ 相加而成，其中的加性噪声是实数的（相对于复数而言）、平稳的、高斯的、带通的和零均值的：

$$v_i(t)=V_s\sin(\omega_i t+\theta_i)+n(t) \tag{6-1}$$

乘法器的另一个输入来自 VCO，其形式为

$$v_o(t)=V_o\cos(\omega_i t+\theta_o) \tag{6-2}$$

评注：(1) 注意，v_i 和 v_o 之间有 90° 的相位差；输入信号被写成正弦量，而 VCO 的电压被写成余弦量。这两个相位 θ_i 和 θ_o 之间的基准关系是互为正交的。这对于乘法器类检相器是很典型的，即 VCO 锁定在与输入信号成正交的状态，所以使用这个表示法以配合相位正交的情况。(2) 注意，描述 VCO 输出的等式(6-2)中的频率 ω_i 与等式

(6-1)中的输入信号的频率相同。频率相等表示环路已被锁定，这是使用线性分析的必要条件。

为了本章叙述上的方便，我们假设输入相位 θ_i 是时不变的。对 θ_o 就没有那么简单了。我们不妨也暂时假设 θ_o 是时不变的，但这个条件显然在实际中是不存在的。信号中伴随的噪声会引起 VCO 相位的波动；确定这种波动的统计特性就是线性分析的目的。为了继续往下分析，我们设想有这样一种开环状态，使噪声不会传播到 VCO。实际上，作为分析的第一部分，我们仅把注意力集中在检相器上。到后面，再把环路闭合，再引入与时间有关的 θ_o。

2. 检相器的输出

带通输入噪声 $n(t)$ 可以分解为两个正交的独立分量(见参考文献 6.1 的 8.5 节)，其形式为

$$n(t)=n_c(t)\cos\omega_i t-n_s(t)\sin\omega_i t \tag{6-3}$$

由此可以找出乘法器的输出

$$\begin{aligned}v_d(t)=K_m v_i(t)v_o(t)=&\frac{1}{2}K_m V_s V_o\sin(\theta_i-\theta_o)+\frac{1}{2}K_m n_c V_o\cos\theta_o+\frac{1}{2}K_m n_s V_o\sin\theta_o\\&+\frac{1}{2}K_m V_s V_o\sin(2\omega_i t+\theta_i+\theta_o)+\frac{1}{2}K_m n_c V_o\cos(2\omega_i t+\theta_o)\\&-\frac{1}{2}K_m n_s V_o\sin(2\omega_i t+\theta_o)\end{aligned} \tag{6-4}$$

乘法器的输出由三个低频项和三个位于两倍输入频率 $2\omega_i$ 处的分量组成。我们感兴趣的是差频项，所以在这个分析中，倍频纹波项被略去。在实际电路中，必须使用滤波或其他方法去除这些倍频纹波。假如不把这些纹波去除的话，在许多应用中将会产生严重的干扰，而且为了抑制这些纹波，还往往需要大量的投入。第 10 章包含了关于检相器纹波的更多内容。

现在把检相器增益定义为

$$K_d=\frac{K_m V_s V_o}{2} \tag{6-5}$$

所以，在纹波去除后的乘法器输出变为

$$v_d=K_d\sin(\theta_i-\theta_o)+\frac{n_c K_d}{V_s}\cos\theta_o+\frac{n_s K_d}{V_s}\sin\theta_o \tag{6-6}$$

3. 等效噪声

现在我们定义 $n'(t)$ 为

$$n'(t)=\frac{n_c}{V_s}\cos\theta_o+\frac{n_s}{V_s}\sin\theta_o \tag{6-7}$$

这是个无量纲的量，而 $n(t)$ 有 V 的量纲。这样，检相器的输出可简化为

$$v_d=K_d[\sin(\theta_i-\theta_o)+n'(t)] \tag{6-8}$$

检相器的准确的非线性等效电路如图 6-1 所示。到现在为止，我们还没有做任何线性化的近似。检相器的输出由一个信号项 $K_d\sin(\theta_i-\theta_o)$ 和一个噪声项 $K_d n'(t)$ 的线性叠

加组成。

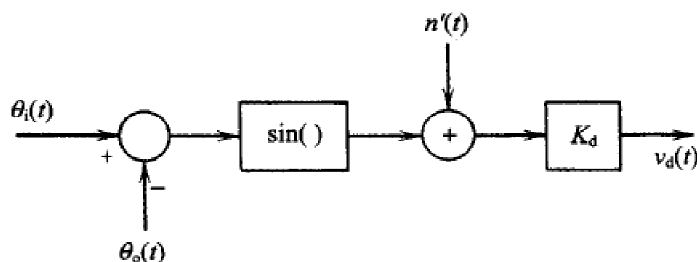


图 6-1 检相器的非线性噪声等效电路

从式(6-5)可以看出，K_d 与输入信号振幅成正比。所以，如果输入信号的振幅发生改变，那么 K_d 和所有取决于环路增益的环路参数也都随之改变。(在理想乘法器的模型中，检相器增益 K_d 也正比于 VCO 的振幅 V_o。但是，与 VCO 振幅的关系不像与输入振幅的关系那样密切，一方面是因为 VCO 振幅的恒定性要比输入信号好得多，另一方面是因为许多实际使用的检相器都可以有效地对来自 VCO 的输入进行钳位，因而消除了 VCO 振幅的变化性。)

125

4. $n'(t)$的性质

现在推导 $n'(t)$的一些统计特性。根据 $n(t)$的带通和零均值的定义，可以得出结论：n'也是零均值的。(为了书写方便，我们略去了 $n'(t)$对时间的显式关系。)如果假设 θ_o 是时不变的(尽管是随意假设的)，那么 n'的方差为

$$\sigma_{n'}^2=\frac{1}{V_s^2}\{E[n_c^2]\cos^2\theta_o+E[n_s^2]\sin^2\theta_o+2E[n_cn_s]\sin\theta_o\cos\theta_o\} \tag{6-9}$$

其中 $E[\cdot]$表示统计期望。正如大家都知道的(见参考文献 6.1 的 8.5 节)，带通高斯噪声具有这样的特性，即 $E[n_c^2]=E[n_s^2]=E[n^2]=\sigma_n^2$，且 $E[n_cn_s]=0$。此外，$\cos^2\theta_o+\sin^2\theta_o=1$，所以有

$$\sigma_{n'}^2=\frac{\sigma_n^2}{V_s^2} \tag{6-10}$$

这个等效噪声强度是旋转不变的(rotationally invariant)；它与 θ_o 的值无关。

现在重新考察 θ_o 的模型，把它看成是一个在$[0,2\pi)$区间内均匀分布并与噪声无关的随机变量。n'的频谱是通过找出它的自相关函数并取傅里叶变换后得到的。根据式(6-7)，n'的自相关函数为

$$E[n'(t_1)n'(t_2)]=\frac{1}{V_s^2}\{E[n_c(t_1)n_c(t_2)]E[\cos^2\theta_o]+E[n_s(t_1)n_s(t_2)]E[\sin^2\theta_o]$$
$$+(E[n_c(t_1)n_s(t_2)]+E[n_s(t_1)n_c(t_2)])E[\sin\theta_o\cos\theta_o]\} \tag{6-11}$$

三角函数的数学期望是 $E[\cos^2\theta_o]=0.5=E[\sin^2\theta_o]$以及 $E[\sin\theta_o\cos\theta_o]=0$。由于噪声是平稳的，所以噪声的自相关函数仅取决于时间差 $\tau=t_1-t_2$。在用 $R(\tau)$表示自相关函数，并注意到 $R_{nc}=R_{ns}$(见参考文献 6.1，162 页)之后，n'的自相关函数可找出为

$$R_{n'}(\tau)=\frac{1}{2V_s^2}[R_{nc}(\tau)+R_{ns}(\tau)]$$

126

$$=\frac{1}{V_s^2}R_{nc}(\tau) \tag{6-12}$$

5. 噪声谱

n'的双边谱是

$$S_{n'}(f)=\frac{S_{nc}(f)}{V_s^2}=\frac{S_{ns}(f)}{V_s^2} \tag{6-13}$$

其中 $S_x(f)$是 $R_x(\tau)$的傅里叶变换。为了从带通谱 $S_n(f)$中得到双边基带谱 S_{nc}或 S_{ns}，我们可以把 $S_n(f)$的负频率部分右移一个量 $f_i=\omega_i/2\pi$，把正频率部分左移相同的一个量 $f_i=\omega_i/2\pi$，再把平移后的两部分加起来。可用等式表示为

$$S_{nc}(f)=S_{nc}(f)=u(f+f_i)S_n(f+f_i)+u(f_i-f)S_n(f-f_i) \tag{6-14}$$

频域上的单位阶跃函数 $u(f)$选出了谱 $S_n(f)$中的正频率部分；如果 $f<0$，$u(f)$定义为 $u(f)=0$；如果 $f\geqslant 0$，$u(f)=1$。谱的负频率部分用 $u(-f)$选取。

6. 单边谱和双边谱

把谱密度正式地定义为自相关函数 $R(\tau)$的傅里叶变换，便生成一个定义在正负频率上的双边谱 $S(f)$。理论学家因数学上的规则性而喜欢双边谱。但多少年来，在一般的电子工程实践中，特别是在 PLL 的文献中，都一直在使用单边谱。假设与谱对应的信号或噪声在时域中是实数的，那么单边谱与双边谱的关系为

$$W(f)=2S(f) \quad f\geqslant 0 \tag{6-15}$$

在单边谱中认为负频率是不存在的。

如果谱中的信号和噪声是实数，就可以使用单边谱定义，因为这时的双边谱是实数的和偶对称的。对于复数信号，就不能使用单边谱，如果这时出现谱的折叠(folding)和混叠(aliasing)，则倍感麻烦，即使对于实信号也是很麻烦的。尽管这样，由于过去使用的大多数信号都是实数信号，所以现有的许多 PLL 文献都一直沿用单边谱；本书将延用这种传统的用法。

注解：大多数关于噪声和随机过程的教科书，比如参考文献[6.1]，都把 $S(f)$作为双边谱的符号。对于单边谱的符号则没有这样的一致认同性。本书使用 $W(f)$。

量纲：如果谱中的信号或噪声以 V 为单位，那么 $R(\tau)$的量纲是$(\mathrm{V})^2$，$S(f)$和 $W(f)$的量纲是 V^2/Hz。如果基本的信号和噪声，比如 $n'(t)$，是无量纲的，那么 $R_{n'}(\tau)$也是无量纲的，而 $S_{n'}(f)$和 $W_{n'}(f)$的量纲是 Hz^{-1}。

单边基带谱 $W_{nc}(f)=W_{ns}(f)$是从单边通带谱 $W_n(f)$根据下面的关系式得出的

127

$$W_{nc}(f)=W_{ns}(f)=[W_n(f_i+f)+W_n(f_i-f)] \quad f\geqslant 0 \tag{6-16}$$

对于 $W_n(f)=N_0\ \mathrm{V}^2/\mathrm{Hz}$ 的白噪声的特别情况，n'的谱为

$$W_{n'}(f)=\frac{2N_0}{V_s^2} \tag{6-17}$$

7. 等效相位抖动

检相器的噪声输出式(6-8)是 $K_d n'(t)$。这样的一个输出，如前面讨论的那样，可以由加性噪声引起，也可以由输入相位扰动 $\theta_{ni}(t)$引起，这样有 $\sin\theta_{ni}(t)=n'(t)$。如果相位扰动 θ_{ni}足够小，那么正弦函数的非线性就可以忽略，因而，假想的输入相位扰动的

方差为 $E[\theta_{ni}^2]=\sigma_{\theta ni}^2=\sigma_{n'}^2=\sigma_n^2/V_s^2$。输入信噪比是 $SNR_i=V_s^2/2\sigma_n^2$，所以输入相位的方差可以用 $\sigma_{\theta ni}^2=1/(2SNR_i)\ rad^2$ 近似。这个输入相位的方差就是这样的一个相位抖动，即在大信噪比的条件下，根据对一个干净的信号与一个有噪声的信号测得的它们之间相位差的数据而预期的那个相位抖动。这个关系将在后面用于确立锁相环信噪比的定义。根据 n' 与 θ_{ni} 之间的对偶性，有时把 n' 看成一个无量纲的、以弧度为单位的角度扰动是很有用的。此后，谱密度 $W_{n'}$ 就可以被看成具有 rad^2/Hz 的单位。

8. 线性化

除了把 θ_{ni} 定义为一个等效于加性输入噪声的相位调制（这只是整个推导过程中的一个次要问题），到目前为止所得到的结果，还没有用过任何线性近似。θ_o 时不变的假设是指开环状态；如果环路真的闭合了，噪声就会对 VCO 做角度调制，使 θ_o 呈现随机波动。检相器是非线性的，所以反馈回来的波动会与输入信号和噪声进行交叉调制。任何简单的分析方法都因这个非线性而不能使用；如果想使用传递函数的分析方法，就需要一些经过简化的近似方法。

最常用的简化方法是假设噪声足够小，所以相位误差 $(\theta_i-\theta_o)$ 总是很小，因而 PD 可以被看作线性的。在这些条件下，可以忽略交叉调制，由此可以认为环路是一个包含简单加性噪声 $n'(t)$ 的线性化的锁相环，如图 6-2 所示。传递函数的分析方法适用于这个线性化的环路。

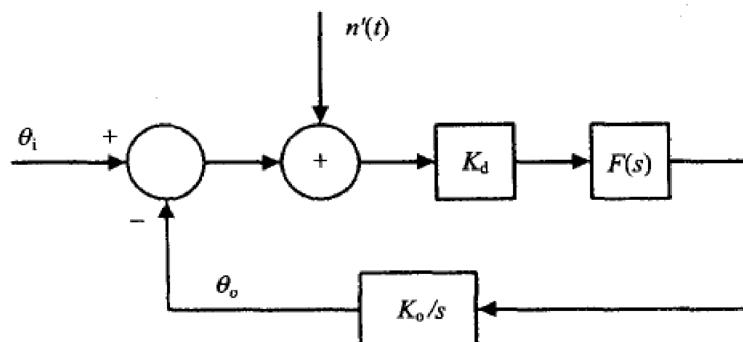


图 6-2 线性化 PLL 的框图

128

6.1.2 噪声传递函数

在图 6-2 中，线性化环路中的 $n'(t)$ 与输入信号的相位 θ_i 是直接相加的。把 θ_o 与 θ_i 关联起来的系统闭环传递函数 $H(s)$ 是在第 2 章中导出的。因为 n' 是 θ_i 的加性噪声，所以根据叠加原理可以用相同的传递函数把 θ_o 与 $n'(t)$ 关联起来。VCO 相位波动的谱密度 $W_{\theta no}$ 与 n' 谱的关系为

$$\begin{aligned}W_{\theta no}(f)&=W_{n'}(f)\,|H(f)|^2\\&=\frac{1}{V_s^2}[W_n(f_i-f)+W_n(f_i+f)]\,|H(f)|^2\quad f\geqslant 0\end{aligned}\tag{6-18}$$

注解：符号 $H(f)$ 是 $H(s)|_{s=j2\pi f}$ 的简写。喜欢语言规范的人立刻会说，这个做法毁坏了标记法，应当受到谴责。不过，缩写是被工程师们普遍接受的，因为很方便，所以

也在本书中使用。

VCO 相位的方差是式(6-18)的积分：

$$\sigma^2_{\theta no} = \int_0^\infty W_{n'}(f) \mid H(F) \mid^2 \mathrm{d}f \tag{6-19}$$

6.1.3　噪声带宽

一般来说，计算式(6-19)的积分很麻烦。但是，对于白噪声输入这个重要的特定情况，我们可以对积分计算做根本性的简化。如果对所有感兴趣的频率都有 $W_n(f) = N_0\ \mathrm{V}^2/\mathrm{Hz}$，那么式(6-19)就简化为

$$\sigma^2_{\theta no} = \frac{2N_0}{V_s^2}\int_0^\infty |H(f)|^2 \mathrm{d}f \tag{6-20}$$

式(6-20)中的积分定义了环路的噪声带宽 B_L

$$B_L = \int_0^\infty |H(f)|^2 \mathrm{d}f \tag{6-21}$$

对于离散时域(数字的)PLL，有一个类似的积分：

$$2B_L t_s = \frac{1}{2\pi \mathrm{j}}\int_{|z|=1} H(z)H(1/z)\frac{\mathrm{d}z}{z} = \frac{1}{2\pi}\int_{-\pi}^{\pi} H(\mathrm{e}^{\mathrm{j}\omega t_s})H(\mathrm{e}^{-\mathrm{j}\omega t_s})\mathrm{d}\omega t_s \tag{6-22}$$

129　噪声带宽的概念只在闭环时才有意义。

表 6-1　常用 PLL 的噪声带宽

PLL 的描述	公　式[a]	噪声带宽，B_L(Hz)
1 类，一阶	(2-32)	$K/4$
1 类，二阶(滞后滤波器)	(2-33)	$K/4$
2 类，二阶	(2-16)	$\frac{\omega_n}{2}\left(\zeta + \frac{1}{4\zeta}\right)$
2 类，二阶	(2-19)	$\frac{K}{4}\left(1+\frac{1}{K\tau_2}\right) = \frac{K}{4}\left(1+\frac{1}{4\zeta^2}\right)$
2 类，二阶	(2-14)，(2-17)	$\frac{K}{4}\left(1+\frac{K_2}{KK_1}\right)$
2 类，三阶	(2-39)	$\frac{K}{4}\frac{1+1/K\tau_2}{1-1/b}$
3 类，三阶	(2-45)	$\frac{K}{4}\frac{1+\frac{K_2}{KK_1}+\frac{K_1K_3}{KK_2^2}}{1-\frac{K_1K_3}{KK_2^2}}$
3 类，三阶	(3B-2)	$\frac{K}{4}\frac{1+\frac{1}{K}\left(\frac{1}{\tau_A}+\frac{1}{\tau_B}-\frac{1}{\tau_A+\tau_B}\right)}{1-\frac{1}{K(\tau_A+\tau_B)}}$
DPLL，2 类，$D=1$	(4-17)	$\frac{\kappa}{4t_s}\frac{1+\frac{\kappa_2}{\kappa}-\frac{\kappa_2}{2}(3-\kappa_2)}{1-\kappa_2-\frac{\kappa}{4}(2-\kappa_2+\kappa_2^2)}$

a 为每个 PLL 传递函数公式的编号。

积分式(6-21)和式(6-22)已经对几个重要的 PLL 进行了计算,噪声带宽的计算结果写在表 6-1 中(符号的定义可参阅第 2 章)。可以看出,B_L 具有 Hz 的量纲,而其他具有频率量纲的参数,比如 K 和 ω_n,是以 rad/s 为单位的。表 6-1 具有以下几个特点:

- ☐ 环路增益 K(对模拟 PLL)或 κ(对数字 PLL)在确定噪声带宽时起到了核心的作用;
- ☐ 对一阶 PLL 增加一个滞后滤波器不会影响噪声带宽;
- ☐ 对二阶 2 类 PLL 增加第三个极点,当这个极点的参数 b 取值为任何一个实际使用的数值(比如 $b \geqslant 9$)时,是不会对这个 PLL 产生什么影响的;
- ☐ 如果 $\kappa_2 < \kappa \ll 1$,那么 2 类数字 PLL 的噪声带宽的公式趋近于 $\kappa(1+\kappa_2/\kappa)/4t_s$。这个形式与 4.7 节中的连续时域近似式相符合。图 6-3 示出了两种噪声带宽之间比率的一个例子,其中一个是由表中的公式给出的噪声带宽,另一个是把环路增益 κ 的一个函数作为近似噪声带宽。实际的噪声带宽总是超过上面这个近似值的,在 κ 很大时会超出非常大,但当 κ 不超过 0.2 时,这个近似值还是非常合理的。

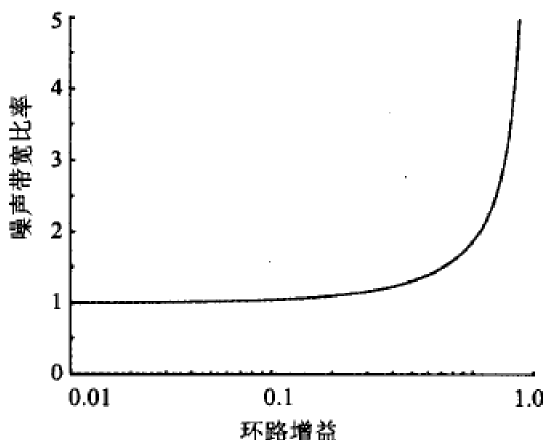


图 6-3 表 6-1 中的 2 类数字 PLL 的噪声带宽与 4.7 节中连续时域近似式($D=1, \kappa_2=\kappa/2$,等值于 $\zeta=0.707$)之间的比较

6.1.4 PLL 的信噪比

信噪比(SNR)是一个有用的工程概念,所以对锁相环定义一个信噪比也是有用的。输入信噪比 SNR_i 的定义很简单:它是送入检相器的输入信号功率与输入噪声功率之比。但在 PLL 内部是没有"信号"可言的;比如,通常的跟踪是围绕着检相器的一个输出平衡点(null)进行的。而环路"噪声"则是与环路中的测量位置有关的,即不存在唯一的定义。因此,环路信噪比 SNR_L 的定义必然是随意选取的,是一个没有确定的具体意义的量。

本书中的 SNR_L 的定义方法类似于输入信噪比的定义方法,定义为在白噪声输入条件下两种相位抖动之间的比率。如果加于环路的输入噪声是白的(因而式(6-20)是适用的),则 VCO 的相位方差由下面的简单公式给出

$$\sigma_{\theta no}^2=\frac{2N_0B_L}{V_S^2}=\frac{W_0B_L}{P_S} \tag{6-23}$$

130~131

其中 P_s 是以 W 为单位的输入信号功率，W_0 是以 W/Hz 为单位的输入噪声功率的谱密度。

在大 SNR_i 下的输入相位抖动曾在前面被确定为

$$\sigma_{\theta ni}^2=\frac{1}{2SNR_i} \tag{6-24}$$

用上面类似的定义方法，我们把 SNR_L 定义为

$$\sigma_{\theta no}^2=\frac{1}{2SNR_L} \tag{6-25}$$

把式(6-23)定义为由输入加性白噪声引起的 VCO 相位抖动，就得到

$$SNR_L=\frac{P_S}{2B_LW_0}=\frac{V_s^2/2}{2B_LN_0} \tag{6-26}$$

等式(6-26)被看作环路信噪比的一个随意选择的定义，其中 SNR_L 可取一切值，可大可小。但是，用来产生式(6-26)的式(6-23)和式(6-24)则仅当大 SNR_L 时才成立。非线性操作(当 SNR_L 很小时)将在本章的后面讨论。

注解：另一个常用的环路信噪比的定义是 P_S/W_0B_L；这个定义和式(6-26)是同等合法的，也同样是任选的。在阅读锁相环文献时，务必搞清楚文章作者使用了哪个定义。

尽管这个定义是任选的，但 SNR_L 本身却包含了有用的概念性意义。为此，考虑把 PLL 用做一个接收信号的带通滤波器。滤波器的中心频率位于信号频率上，并在中心两侧各有噪声带宽 B_L，总的等效输入带宽为 $2B_L$。因而，对于谱密度为 W_0 的白噪声而言，进入环路的总噪声功率为 $2B_LW_0$。信号功率与这个噪声功率之比就是式(6-26)的 SNR_L 定义。

B_L 是单边带宽，这与书中所有的带宽是一样的。我们可以很合理并很恰当地把 $2B_L$ 称作环路的双边带噪声带宽，但 $2B_L$ 一定是单边的(one-sided)。令人遗憾的是，$2B_L$ 常被错误说成是双边(two-sided)噪声带宽，尤其是在与单边噪声谱一起使用的时候。

6.1.5　最优值

等式(6-23)表示了由加性白噪声引起的 PLL 相位方差，可以证明式(6-23)是与 Cramér-Rao 下限(CRB)相等的。也就是，在相同的信号、噪声和带宽的条件下，任何一个无偏置的相位评估器都不能给出更小的方差。关于 CRB 的进一步说明，可参阅参考文献[6.22]。线性操作的 PLL 的方差与 CRB 一致，但当被驱入非线性操作时，PLL 的性能将变差。

6.2　非线性操作

线性近似分析引导出了式(6-19)至式(6-26)这几个简单的公式，在恰当大 SNR_L 的条件下分析 PLL 时，这些等式是完全可以使用的。这些近似式可以满足目前极大多数 PLL 的应用。但仍然有一些应用领域(例如，用于外太空飞行的窄带锁相环接收

132

器)，特别严格地要求在小 SNR_L 下的性能。在小 SNR_L 下，线性近似不再适用；我们需要非线性的分析方法。

在小 SNR_L 下的非线性 PLL 分析决非简单之事。这个问题已经被专业领域中最聪明的一些学者以其在数学上的过人才智所探讨过(见参考文献)。遗憾的是，非线性分析还只能解决最简单的 PLL 电路和最简单的信号形式；对许多实际的情况，工程师们仍然必须依靠十分费时的仿真，或者依靠未被证明的经验公式，由已知结果进行推断。本节将提供关于非线性问题的一个简单的总结；关于非线性的文献非常多。

6.2.1 观察到的行为

在实验室里观察 PLL 操作时，当 SNR_L 下降到小于 4 dB 时，可以看到 VCO 的相位抖动比式(6-23)和式(6-25)中所预测的要大(见图 6-4 中的曲线 a)。这个差别不令人感到奇怪，因为前面的线性分析是基于环路相位误差很小的假设，但在小 SNR_L 下的实际误差一定不是很小的。当它的基本假设不成立时，线性分析就失败。

在小 SNR_L 下会出现另一个现象：振荡器相位偶尔会相对于信号滑步一个或几个周期。从效果上看，好像有一个大噪声事件短时袭击了环路，使它失去锁定，在经过几个周期的跟踪之后又回到了平衡状态，但已经偏离了原来状态 n 个周期($n=\pm1$、±2 等)。滑步的频度是 SNR_L 的一个非常陡的函数，如图 6-5 所示。对于每一个周期都非常重要的操作来说，周期滑步有着特定的破坏性，例如在多普勒测速和数字时钟定时恢复的应用中。滑步对于理解 FM 锁相解调器也很重要(见第 16 章)。

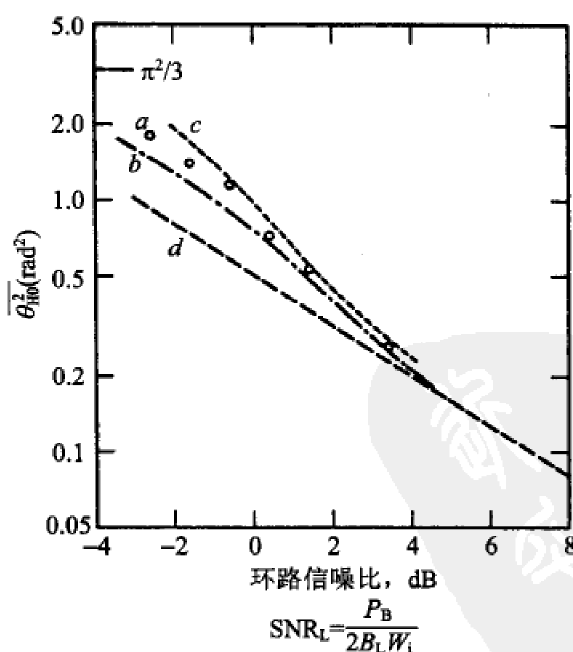


图 6-4 相位误差的方差。a 曲线基于 $\zeta=0.707$ 的二阶 2 类 PLL 的实验数据[6.4]，b 曲线基于一阶 PLL 准确的非线性分析[6.2]，c 曲线基于 $\zeta=0.707$ 的 2 类 PLL 的近似非线性分析[6.3,6.8]，d 曲线为式(6-25)的线性近似

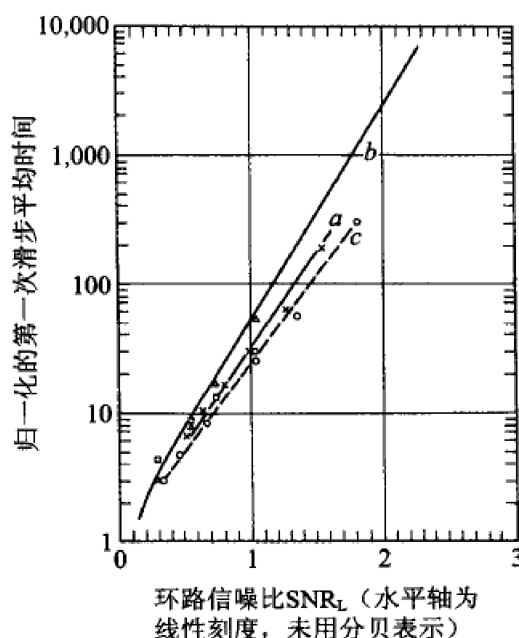


图 6-5 出现第一次滑步的平均时间。a. $\zeta=0.707$ 的二阶 2 类 PLL 的实验数据[6.4]，用×标记。b. 一阶 PLL 的准确的结果，公式(6-30)。c. $\zeta=0.707$ 的二阶 2 类 PLL 的仿真结果[6.10]，用小圆标记。d. $\zeta=1.4$ 的二阶 2 类 PLL 的仿真结果[6.9]，用三角标记。e. $\zeta=0.35$ 的二阶 2 类 PLL 的仿真结果[6.9]，用方块标记

第三个现象出现在 SNR_L 下降到充分低的时候；这时环路失去锁定且永不锁定。VCO 失去了控制；它的频率离开了信号频率。虽然与上一个现象经常混在一起，但失去锁定与反复的周期滑步在性质上是不同的。失锁时的 SNR_L 一般在 0 dB 附近，虽然通过把环路中的单元电路尽量做得好些，可以使失锁时的 SNR_L 下降 1 dB 至 2 dB。观察者得到这样的印象，即小 SNR_L 下，环路起先是在晃悠(由于连续的周期滑步)，但最后随着完全失锁而一切看来都崩溃了。在失锁后再重新捕获锁定几乎不可能，除非大大提高 SNR_L(提高到大约 3 dB 至 6 dB)。

从失锁现象中取得的经验，使我们想到了 PLL 噪声阈值的概念；就是说，如果 SNR_L 低于这个“阈值”，环路就会失去锁定。但后来发现，结构良好的环路可以在这个解析阈值以下仍保持锁定。这使我们认识到，这样的预测阈值其实只是由分析得出的一个近似特性，而不是实际 PLL 的特性。

目前，被大家接受的非线性分析方法并没有涉及噪声阈值(见 6.2.2 节)的问题。目前的看法是，失锁的出现是一个复杂的、多因素的、相互非线性作用的过程，其中包括由噪声引起的相位抖动和由环路单元非完美性引起的很小的偏压、漂移和 DC 失调，尤其是在检相器中(见第 10 章)。这个非完美性与具体电路有关，通常是无法预测的，即使在电路做出来之后也无法预测。一般来说，失锁的分析非常困难，而且，无论哪种分析方法都不太管用。

现在先不谈分析上的困难，上面的这个观点把失锁看作一个工艺技术的问题，而

不是 PLL 自身固有的问题。如果这个观点是正确的，那么失锁可以从原则上通过改进环路单元电路而推向一个更低的信噪比水平。然而，对失锁时 SNR_L 的测量数据可以提供关于 PLL 构建品质的有价值的指示，虽然这样的信息只能在与其他的 PLL 构建进行比较时才能估算出来。这样的比较没有理论上的边界。与之不同的是，下面所描述的分析可以很好地预测周期滑步的特性，至少对于那些适用于这个分析的比较简单的 PLL。而且，周期滑步的预测是针对理想环路的，所以仍没有指出依靠改善环路单元的解决办法。

6.2.2 相位误差的非线性分析

在线性系统里，高斯输入信号产生高斯输出信号。因此，前面关于环路线性操作和高斯输入噪声的假设的含义是，VCO 的相位抖动是高斯分布的。高斯过程是由它的自相关函数，或等效地由它的谱密度完全确定的，如式(6-18)中导出的。方差可以容易地用两者中的任意一个找出。非线性系统对高斯激励的响应，一般是非高斯的，而使用二次统计特性也不能完全确定这个过程。关于 PLL 非线性分析的考虑一直是这样的思路：推导出相位误差的非高斯概率密度函数(pdf)，从 pdf 计算出相位方差，然后再研究周期滑步的统计特性。

133～135

在非线性系统中，传递函数分析方法的简单性已经不复存在。而非线性系统的分析则要困难得多，还需要比线性分析更深奥的数学。这里总结了各种非线性分析结果，完全可以满足大多数工程应用。(事实上，对很大一部分工程设计问题而言，线性分析是足够用的。)我们为那些对详细的数学不厌其烦的人提供了参考文献。

6.2.3 概率密度和方差

Viterbi 对一阶环路的突破性的完全精确的分析[6.2,6.21]，为理解非线性操作提供了基础和许多有用的工具。首先，我们必须认识到，周期滑步使相位误差 $\theta_e=(\theta_i-\theta_o)$ 变为一个不断增长的量，并最终变为无界。即在存在周期滑步的情况下，相位误差是非平稳的，所以，已经磨练成利器的平稳过程分析工具便不能直接使用。为了避免这个问题，Viterbi 定义了一个新的相位变量：

$$\phi=(\theta_i-\theta_o)\qquad \text{mod-}2\pi \tag{6-27}$$

因此，虽然 $(\theta_i-\theta_o)$ 可以在 $-\infty\sim+\infty$ 的范围内取值，但 ϕ 的范围是有界限的，因为式(6-27)中的 mod-2π 这个符号的意思是 $\theta_i-\theta_o=\phi+2n\pi$，其中 n 选择成使 ϕ 位于 $[-\pi,\pi)$ 的区间内。

ϕ 的这个定义的意思是，一个正弦波的每一个周期看起来都是一样的，要互相区别是不容易的。周期滑步由于使用这个定义而被略去了，但必须有另外的处理。不过，大多数实验室仪器都是以 2π 的模作运算的，因此运算的结果是 ϕ 而不是 $(\theta_i-\theta_o)$。所以这个概念与通常的实践非常一致，虽然开始时觉得有些怪异。

此后，ϕ 就是平稳的(在所有瞬态过程消失之后)，就可以使用平稳的统计方法了。

把 ϕ 的概率密度函数表示为 $p(\phi)$；这个概率密度是福克尔-普朗克方程的非线性、随机偏微分方程的稳态解。略去解的详细过程[6.2]，其 pdf 是吉洪诺夫密度函数，

$$p(\phi)=\frac{\exp(\rho\cos\phi)}{2\pi I_0(\rho)} \qquad |\phi|\leqslant\pi \tag{6-28}$$

其中 $\rho=2\mathrm{SNR_L}$，$I_0(\rho)$ 是修正的一类零阶贝塞尔函数。

评注：等式(6-28)仅当静态相位误差 $E[\phi]$ 为零时才成立。关于静态相位误差的解释可参阅第5章。如果静态相位误差(即环路应力)不为零，则参阅[6.3，第9章]。

在大 $\mathrm{SNR_L}$ 时，式(6-28)的概率密度趋于高斯分布，因而符合线性分析。在 $\mathrm{SNR_L}$ 非常小时，$p(\phi)$ 趋于在 $(-\pi,\pi]$ 区间上的一个均匀分布密度，这是随机相位噪声的特性。

136

相位噪声的方差可以由下面的数值计算找出

$$\sigma_\phi^2=\int_{-\pi}^{\pi}\phi^2 p(\phi)\mathrm{d}\phi \tag{6-29}$$

上式的结果，即以 2π 为模的相位方差，被画成图6-4中的曲线 b。准确的方差值与大 $\mathrm{SNR_L}$ 下线性分析的结果是一致的，而在非常小的 $\mathrm{SNR_L}$ 下趋于 $\pi^2/3\ \mathrm{rad}^2$。(在 $(-\pi,\pi)$ 区间上均匀分布的随机变量的方差是 $\pi^2/3$。)

6.2.4　周期滑步

对方差的理解是非常有用的，但仅对方差的理解是不够的，因为在方差计算中，周期滑步是被略去的。周期滑步的统计特性是 PLL 工作在小 $\mathrm{SNR_L}$ 下的一个重要属性，甚至比相位方差还要重要。依靠对福克尔-普朗克方程的求解方法，Viterbi[6.2] 推导出了相邻两个滑步之间平均时间 T_{AV} 的表达式。T_{AV} 是环路相位误差从零相位误差的初始条件开始，第一次达到 $\pm2\pi$ 所需要的平均时间。如果滑步主要出现为孤立事件，那么周期滑步的频度是 $1/T_{\mathrm{AV}}$。如果滑步出现为成串的，比如在2类或高类环路中出现的情况，那么 T_{AV} 和滑步的频度就不是这样的简单关系了。

对于静态相位误差为零时的一阶环路，我们有

$$T_{\mathrm{AV}}=\frac{\pi^2\rho I_0^2(\rho)}{2B_{\mathrm{L}}} \tag{6-30}$$

当 ρ 很大时，上式可近似为

$$T_{\mathrm{AV}}\approx\frac{\pi}{4B_{\mathrm{L}}}\exp(2\rho) \tag{6-31}$$

由式(6-30)画出的 T_{AV} 曲线为图6-5中的曲线 b；这条直线是笔直的，表示式(6-31)对所有实际的 $\mathrm{SNR_L}$ 都是适用的。此外，滑步间隔时间是以指数分布的；环路从零误差开始之后的 T 秒时间内无滑步的概率是

$$P(T)=\exp(-T/T_{\mathrm{AV}}) \tag{6-32}$$

这个分布已经被一阶环路和二阶环路的计算机仿真和实验室测量很好地证实了。

Viterbi 的结果完全准确地适用于正弦形检相器、零静态相位误差、高斯加性白噪声的一阶环路。如果把一个形式为 $F(s)=(s\tau+1)^{-1}$ 的简单滞后滤波器插入环

路[6.4,6.5]中，那么只要静态相位误差为零，一阶的 pdf(6-28)和方差就可以不做修改地同样适用于这个环路。

137

6.2.5 实验结果和仿真结果

我们可以对 2 类 PLL 写出福克尔-普朗克方程，但尚没有得到准确的闭式解。从技术上讲，二阶 2 类 PLL 是最重要的结构，所以特别需要确定它在小 SNR_L 下的统计特性。$P(\phi)$、σ_ϕ^2 和滑步的统计特性的实验数据曾由 Charles 和 Lindsey 报道过[6.4]。他们测得的方差表示为图 6-4 中的实验数据点(曲线 a)，周期滑步的结果表示为图 6-5 中的曲线 a。从中可以得出以下三个重要结论。

(1) 对一阶环路采用准确的非线性分析方法得出的相位方差，是与相同噪声带宽的 2 类环路上测得的方差接近一致的，其中的 SNR_L 大于 0 dB，即所有有用的 SNR_L。

(2) 如果 SNR_L 大于 5 dB 至 6 dB，那么近似的线性分析可以得出很好的方差精度。

(3) 2 类 PLL 的第一次滑步平均时间要比一阶 PLL 的短，尤其当阻尼因子比较小的时候。

Meyr 和 Ascheid(见参考文献 6.6 的第 6 章和参考文献 6.7)对二阶 2 类 PLL 的周期滑步进行过一次深入的仿真研究。他们发现，如果阻尼因子约小于 0.9，那么滑步容易为连串的；如果阻尼因子大于 0.9，滑步就容易为孤立的。他们的发现用数据支持了先前作者的论点[6.3,6.8~6.13]，但 Ascheid 和 Meyr 为观察到的行为提出了一个在这之前还没有的物理解释。简单地说：滑步的发生引起环路滤波器的积分器上存储电压的扰动。这个存储电压又控制了 VCO 的平均频率。存储电压(频率)的误差信号使 PLL 的滑步行为变得更糟，所以滑步势必会重复进行，直到反馈信号纠正了积分器上的存储电压。较小的阻尼意味着环路滤波器的积分通路有较大的增益，结果是，积分器对噪声扰动呈现更大的敏感性。面临解决周期滑步的设计者的一个可用经验是，使用多少大一些的阻尼(比如 $\zeta=1$ 或更大)，而不是使用在以前文献中受到很大关注而被推而广之的 $\zeta=0.707$。

6.2.6 近似分析

由于 2 类 PLL 的实际重要性，我们已经开发了大量的近似分析方法[6.3~6.5,6.8,6.14~6.16]。这些分析方法一般会使用一些假设和数学方法。在这几个方法中，参考文献[6.3]和[6.8]是从福克尔-普朗克方程出发的，因而得到了 pdf、滑步统计特性和相位方差的近似表达式，并以图表和公式的形式为我们提供了大量的详细数据。对方差的预测被画成图 6-4 中的曲线 c。近似表达式明显地很接近测量数据，虽然略有误差。在把测得的 pdf 值与预测值进行比较时，也存在相似的符合性。

138

参考文献[6.3]和[6.8]的分析预测，相位方差是阻尼因子 ζ 的一个弱反比函数；也就是，在相同的环路带宽 B_L 和相同的 SNR_L 的条件下，小阻尼会使抖动性能略差。这个预测是由仿真结果[6.17]得出的。但如果 SNR_L 大于 1(有用的环路必须如此)，那么在

小阻尼($\zeta=0.35$)与一阶环路($\zeta=\infty$)之间的方差的差异(spread)是很小的,可以在大多数应用中被略去。

几位学者已经用计算机仿真和实际环路测量的方法,研究了二阶 2 类 PLL 的周期滑步。图 6-5 是关于他们发表的结果的小结。很明显,如果阻尼小了,滑步会变坏。一阶环路有无穷大的阻尼,所以它的第一次滑步时间 T_{AV} 比任何相同噪声带宽的 2 类环路都大。(实验曲线受到统计波动的影响,原因是测量时采集的样本数量还不够多,而且对"滑步"一词含义在各种具体情况下需要重定义[6.9]。所以,在使用这些数据时必须慎重。)

对二阶 2 类 PLL 的 T_{AV} 的预测是 Lindsey[6.3]、Lindsey 和 Simon[6.8] 和 Tausworthe[6.10,6.11]用他们推导出的公式(付出了极大的努力)给出的,预测值与实验数据非常吻合。因为这些公式很难用,而且推导必须使用近似方法,所以工程师们通常发现把图 6-5 中的曲线用做滑步行为的设计指导是比较方便的。

观察图 6-5 中的数据可以发现,当纵坐标用对数画出时,这些数据会很好地拟合于一条直线。其意思是说,T_{AV} 与 SNR_L 是近似的指数关系。图 6-5 中的曲线 b 和 c 代表了这样的一些边界,它把所有研究过的结构都包含在内。曲线 b 是一阶环路的完全准确的结果,而且是用式(6-30)和式(6-31)描述的。曲线 c 是对 $\zeta=0.707$ 的 2 类 PLL 进行仿真得出的;它的大小被认为有点保守。曲线 c 上的点与下面的经验公式相吻合(仅在零静态相位误差时适用):

$$B_L T_{AV}=\exp(\pi\cdot SNR_L) \tag{6-33}$$

现在看来,把式(6-31)和式(6-33)用作 T_{AV} 的上限和下限是合理的。其中的有些数据很有用。令 $SNR_L=1$ (0 dB)时的 $B_L=20$ Hz,则式(6-33)因此而预测出 $T_{AV}=1.16$ s:确实是非常差的性能。使用式(6-31)可预测出 $T_{AV}=2.1$ s,性能也非常差。现在考虑 $SNR_L=10$,这时 T_{AV} 的下限被预测为 2.2×1012 s,或大约为 70 000 年(假设上面那个指数关系可以无需实验验证地推算到大 SNR_L 的情况)。我们把 Meyr 和 Ascheid 后来的一个著名的非线性分析[6.6,第4点]推荐给学生中的高才生。

6.2.7 其他特点

1. 环路应力的影响

139 前面的结果是在环路没有受到任何其他相位误差应力影响的前提下得出的,这些其他的应力可以是由稳态相位误差或角调制引起的。第 5 章讨论了这些相位误差的来源和如何使它们减小。静态相位误差的存在(即 $E(\phi)\neq 0$),会引起相位方差的增加,而噪声的存在会使静态相位误差比无噪声时有所增加。一个引人注意的对实际环路的深入理解是由 Blanchard[6.18] 的近似分析提供的。其他的分析方法在参考文献[6.3]和[6.8]中给出。我们完全可以想象,相位误差的存在势必加大周期滑步的倾向。关于静态相位误差对滑步的影响,在参考文献[6.3]、[6.8～6.13]和[6.23]中有详细的说明。

2. PD s 曲线的影响

上面给出的所有结果只适用于检相器的 s 曲线是连续的、以 2π 为周期的正弦波情况。但其他 s 曲线形状的检相器也是经常使用的；在图 5-13 和第 10 章中有一些这样的例子。Chie[6.19]分析了 s 曲线形状对滑步统计特性的影响。他发现在 s 曲线下方、从跟踪点(即当环路不存在应力时 s 曲线的过零点)到周期滑步边界之间的积分面积是一个重要的特性；T_{AV}是一个关于这个面积的增函数。他的论文对几个常用的 s 曲线给出了方便的总结性公式，其中还包括环路应力的影响。Chie 提醒说，当检相器上的 SNR 变得很小时，非正弦 s 曲线会向正弦形退化。s 曲线形状的退化将在第 10 章中进一步讨论。

3. 窄带噪声

前面所有的非线性分析、仿真和测量只适用于白噪声。实际上，“白”表示输入噪声的带宽与 PLL 的噪声带宽 $2B_L$ 相比很大。福克尔-普朗克的方法不适用于窄带噪声分析。因此，这种方法在对窄带噪声输入时的周期滑步进行预测时，还不是普遍可行的。

Hess[6.22]设计了一种处于带限噪声中的一阶环路周期滑步的近似分析法。他的公式已被实验室 PLL 的周期滑步测量所证实。

4. 噪声 pdf

所有前面的工作都假设把高斯噪声加于 PLL；不同的噪声统计特性需要不同修正的分析方法。检相器之前往往会增加一个限幅器，因而噪声的统计特性肯定是非高斯的。对处于非线性操作区的环路的限幅器影响的讨论，可以在参考文献[6.8]和[6.20]中找到。限幅器在线性区的影响将在第 10 章中讨论。

5. 高阶 PLL

最后要说的是，我们已知的关于非线性的信息都是限于一阶和二阶环路的；对于高阶环路几乎没有什么资料。由于三阶和 3 类环路具有实用上的重要性，所以这方面数据的空白是全面理解设计工作的一个障碍。现有的唯一方法是假设三阶环路的特性与相同噪声带宽的二阶环路大致相同。

140

参考文献

6.1 W. B. Davenport and W. L. Root, *Random Signals and Noise*, McGraw-Hill, New York, 1958.

6.2 A. J. Viterbi, *Principles of Coherent Communications*, McGraw-Hill, New York, 1966, Part 1.

6.3 W. C. Lindsey, *Synchronization Systems in Communication and Control*, Prentice Hall, Englewood Cliffs, NJ, 1972.

6.4 F. J. Charles and W. C. Lindsey, "Some Analytical and Experimental Phaselocked Loop Results for Low Signal-to-Noise Ratios," *Proc. IEEE* ***54***, 1152–1166, Sept. 1966.

6.5 A. Blanchard, *Phase Locked Loops*, Wiley, New York, 1976, Chap. 12.

6.6 H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, Wiley, New York, 1990.

6.7 G. Ascheid and H. Meyr, "Cycle-Slips in Phase-Locked Loops: A Tutorial Survey," *IEEE Trans. Commun.* ***COM-30***, 2228–2241, Oct. 1982.

6.8 W. C. Lindsey and M. K. Simon, *Telecommunication Systems Engineering*, Prentice Hall, Englewood Cliffs, NJ, 1973, Chap. 2.

6.9 R. W. Sanneman and J. R. Rowbotham, "Unlock Characteristics of the Optimum Type II Phase-Locked Loop," *IEEE Trans. Aerosp. Navig. Electron.* ***ANE-11***, 15–24, Mar. 1964.

6.10 R. C. Tausworthe, "Cycle Slipping in Phase-Locked Loops," *IEEE Trans. Commun.* ***COM-15***, 417–421, June 1967.

6.11 R. C. Tausworthe, "Simplified Formula for Mean Cycle-Slip Time of Phase-Locked Loops with Steady-State Phase Error," *IEEE Trans. Commun.* ***COM-20***, 331–337, June 1972.

6.12 E. A. Bozzoni, G. Marchetti, U. Mengali, and F. Russo, "An Extension of Viterbi's Analysis of Cycle Slipping in a First-Order Phase-Locked Loop," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-6***, 484–490, July 1970.

6.13 J. K. Holmes, "First Slip Times Versus Static Phase Error Offset for the First- and Passive Second-Order Phase-Locked Loop," *IEEE Trans. Commun.* ***COM-19***, 234, Apr. 1971.

6.14 H. L. Van Trees, "Functional Techniques for the Analysis of the Nonlinear Behavior of Phase-Locked Loops," *Proc. IEEE* ***52***, 894–911, Aug. 1964.

6.15 J. K. Holmes, "On a Solution to the Second-Order Phase-Locked Loop," *IEEE Trans. Commun.* ***COM-18***, 119–126, Apr. 1970.

6.16 H. Meyr, "Nonlinear Analysis of Correlative Tracking Systems Using Renewal Process Theory," *IEEE Trans. Commun.* ***COM-23***, 192–203, Feb. 1975.

6.17 J. R. Rowbotham and R. W. Sanneman, "Random Characteristics of the Type II Phase-Locked Loop," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-3***, 604–612, July 1967.

6.18 A. Blanchard, "Phase-Locked Loop Behavior near Threshold," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-12***, 628–638, Sept. 1976; corrections: ***AES-12***, 823, Nov. 1976.

6.19 C. M. Chie, "New Results on Mean Time-to-First-Slip for a First-Order Loop," *IEEE Trans. Commun.* ***COM-33***, 897–903, Sept. 1985.

141

6.20 D. T. Hess, "Cycle-Slipping in a First-Order Phase-Locked Loop," *IEEE Trans. Commun.* ***COM-16***, 255–260, Apr. 1968.

6.21 A. J. Viterbi, "Phase-Locked Loop Dynamics in the Presence of Noise by Fokker–Planck Techniques," *Proc. IEEE* ***51***, 1737–1753, Dec. 1963.

6.22 U. Mengali and A. N. D'Andrea, *Synchronization Techniques for Digital Receivers*, Plenum Press, New York, 1997, Secs. 2.4 and 5.3.6.

6.23 W. C. Lindsey and M. K. Simon, "The Effect of Loop Stress on the Performance of Phase-Coherent Communication Systems," *IEEE Trans. Commun.* ***COM-18***, 569–588, Oct. 1970.

142

第 7 章 相位噪声的影响

第 6 章讨论了加性平稳高斯噪声的影响，主要集中在等幅(白)谱噪声。加性噪声是那些高灵敏度锁相接收器的主要问题，例如用于外太空通信链路中的接收器。对于加性噪声下的 PLL 行为的分析有坚实的理论基础，即使在对大噪声下非最简单的 PLL 进行分析而必须使用大量严密的数学推理的时候，也是如此。

相位噪声已经成为锁相频率合成器和接收发送器中本地振荡器的最重要问题。本章将讨论相位噪声的一些影响；在第 9 章和第 15 章中将做进一步的讨论。这里的相位噪声与第 6 章中的加性噪声的不同点在于，相位噪声是乘法的、非平稳的，它的谱也不是白的。相位噪声的概率分布看来仍是个没有解决的问题；大量的文献都假设其为高斯分布，但对于相位噪声中的某些成分，仍缺乏有力的证据。其中最大的问题是，相位噪声的数学分析还没有坚实的理论基础；本章的一个目标就是指出数学分析中的异常区域，并提供一个绕过这些区域的指导原则。相位噪声仍然是理论研究中尚未解决的课题。关于这一课题的早期的基础性文章和大量的参考文献可以在参考文献[7.1]中找到。

第 6 章中曾经指出，用很窄的噪声带宽可以降低加性噪声对 PLL 的影响。本章中的分析将指出，相位噪声对 PLL 的不良影响可以用大的带宽减弱。设计者应当对这两种方法进行仔细的权衡，以找到一个使总的相位抖动达到最小的折中带宽。

143

7.1 相位噪声的性质

本节将介绍相位噪声的主要性质。

7.1.1 振荡器模型

在一个设计良好的系统中，相位噪声应该主要来自振荡器。这并不是说其他硬件不会对相位噪声产生什么贡献，而是说振荡器因其特性而必须受到特别的关注。试考虑一个普通的振荡器，它的输出电压 $v_o(t)$ 为一正弦波，它的标称振荡频率为 f_o：

$$v_o(t)=[A+a(t)]\cos[2\pi f_o t+\phi(t)] \tag{7-1}$$

其中 A 为振荡器的平均输出振幅，$a(t)$ 为零均值的振幅噪声，$\phi(t)$ 中包含了所有相对于标称振荡频率 f_o 和相位 $2\pi f_o t$ 的相位和频率偏离。相位扰动 $\phi(t)$（以弧度为单位）包括了随机的零均值相位噪声、初始相位以及由频率偏移和漂移所引起的相位的积分。

7.1.2　忽略振幅噪声

在标准的相位噪声分析中是要略去振幅噪声 $a(t)$的。振荡器中有一个控制振幅的机构,用来极大地抑制振幅的波动。振荡器中还有一个可以对相位波动进行累加的机构。所以在大多数情况下,相位噪声的影响远大于振幅噪声的影响。因此,本书中我们暂不讨论振幅噪声的问题。

7.1.3　方差

在没有振幅噪声的情况下,振荡器输出 $v_o(t)$的方差简单地为 $A^2/2$,而且与 $\phi(t)$中包含的任何波动和扰动无关。也就是说,方差是有界的、平稳的、行为规矩的。我们现在所指出的是它的易处理的一面,其目的是为了与将在下面讨论的 $\phi(t)$的难处理的特征做对比。

7.1.4　非平稳性

考虑 $v_o(t)$的自相关函数。或者为了避免数学上的混乱,我们不用 $v_o(t)$而用复数表达式 $z_o(t)$:

$$z_o(t)=A\ \exp[\mathrm{j}(2\pi f_o t+\phi(t))] \tag{7-2}$$

它的自相关函数为

144

$$E[z_o(t_1)z_o^*(t_2)]=A^2\exp[\mathrm{j}2\pi f_o(t_1-t_2)]E\{\exp[\mathrm{j}(\phi(t_1)-\phi(t_2))]\} \tag{7-3}$$

仅当其相位过程 $\phi(t)$的一次增量平稳时,这个期望值才是广义平稳的;否则是非平稳的。(一个过程是广义平稳的,如果它的自相关函数仅与时间差(t_1-t_2)有关,而与任何其他时间函数无关。)例如,考虑一个振荡器的频率以 Λ rad/s² 的速率漂移,因而 $\phi(t)=\Lambda t^2/2$。我们把 Λ 看成一个其概率分布既不知道又无关紧要的随机变量。我们还假设不存在任何相位扰动。这样,式(7-3)的自相关函数变为

$$E[z_o(t_1)z_o^*(t_2)]=A^2\exp[\mathrm{j}2\pi f_o(t_1-t_2)]E\{\exp[\mathrm{j}\Lambda(t_1-t_2)(t_1+t_2)]\} \tag{7-4}$$

上式是与(t_1+t_2)和(t_1-t_2)有关的。因而,有频率漂移的振荡器的自相关函数是非平稳的。

为什么平稳性是如此重要而必须给予这样的注意呢?我们知道,信号的频谱是理解信号性质的极为重要的工具。由于谱密度是被正式定义为自相关函数的傅里叶变换,而且由于一维傅里叶变换仅对平稳的自相关函数才有定义,所以,只有自相关函数为平稳时标准的谱密度定义才有意义。

但读者可能会认为所有的振荡器都是在漂移的。是的,振荡器的频谱每天都显示在实验室里的频谱分析仪上。如果频谱不存在,那这个显示又是什么?作为一个实际中使用的仪器,谱分析仪显示的是频谱的近似值,而且如果在一个测量时间 T_m 内,频率漂移的累积值 $\Lambda T_m/2\pi$ 比分析仪的分辨带宽小得多的时候,这个近似值对工程应用仍是合理的。

在扫频频谱分析仪中，T_m 是这样的一个时间长度，即在此时间内信号一直处于分辨带宽之内。

一般不认为频率漂移是相位噪声的一个组成部分，也不是 PLL 的一个重要问题。（参阅 5.1 节关于 PLL 对频率斜坡的响应。）而且，还可以借助一些数学工具（超出了本书的范围）对变频信号进行分析。这里介绍频率漂移有三个目的：(1) 作为非平稳过程的一个容易理解的例子，(2) 为了说明非平稳性破坏了谱的标准公式（这是一件坏事，因为谱分析是一个如此重要的工具），(3) 为了说明采用工程近似的方法可以绕开标准公式失败的困绕，即使在没有严格理论支持的时候也可以这样做。

相位噪声中的大多数成分是非平稳的，所以频率漂移的现象给我们提出了这样一个警示：可以预见，在相位噪声谱的表达式中将会出现理论上的矛盾。幸好，对 PLL 的实际行为所进行的大量观察是与工程近似一致的，这就使实用中的设计方法能够在大多数应用中取得成功，尽管理论基础是不稳固的。 145

7.2 相位噪声谱

在表征相位噪声时，通常可以使用下面几种不同的谱密度函数[7.4,7.5]。

- ☐ $W_{vo}(f)$：振荡器信号 $v_o(t)$ 的理论通带谱。
- ☐ $\mathcal{L}(\Delta f)$：$W_{vo}(f)$ 的归一化谱。
- ☐ $W_{RF}(f)$、$P_{RF}(f)$：在 RF 频谱仪上观察到的振荡器信号 $v_o(t)$ 的近似谱。
- ☐ $W_\phi(f)$：相位噪声 $\phi(t)$ 的基带谱。
- ☐ $W_\omega(f)$：频率噪声 $\omega(t)=\mathrm{d}\phi(t)/\mathrm{d}t$ 的谱。

评注：(1) 这些都是单边谱，如 6.1.1 节中定义的。(2) 由相位噪声的非平稳性而提出的这些谱的存在性问题，将在后面讨论。

7.2.1 理论谱 $W_{vo}(f)$

这个带通谱是式 (7-1) 随机过程 $v_o(t)$ 的自相关函数的傅里叶变换。这个定义要求自相关函数是平稳的。从式 (7-3) 可以看出，如果 $\phi(t)$ 的一次增量是平稳的，那么 $v_o(t)$ 的自相关函数就是平稳的。然而，在 $\phi(t)$ 中总是存在一个一次增量为非平稳的成分，所以标准的谱定义就不适用。从现在起，我们将不考虑自相关函数的真实性质，假定这个标准谱是存在的。

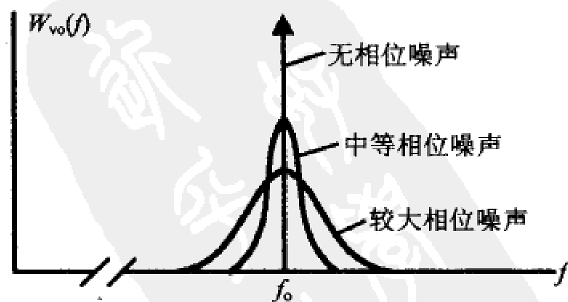


图 7-1 振荡器输出 $v_o(t)$ 的理论谱 $W_{vo}(f)$

图 7-1 定性地描述了 $v_o(t)$ 的理论谱的特性。当不存在相位噪声时，它的频谱是位于 $f=f_o$ 处的一条直线，即一个单位冲击函数。相位噪声的存在使频谱展宽：较小的

噪声引起较小的展宽；较大的噪声引起较大的展宽。$v_o(t)$的方差，也就是对$W_{vo}(f)$从$f=0$到∞的所有频率上的积分，等于$A^2/2$ V^2，这是一个确定的、有界的数，且与相位

146

噪声的大小和其他特性无关。而且，除了不可能达到的状态$\phi(t)\equiv 0$外，理论谱$W_{vo}(f)$是处处有界的。$W_{vo}(f)$的单位是V^2/Hz。

7.2.2 归一化谱$\mathcal{L}(\Delta f)$

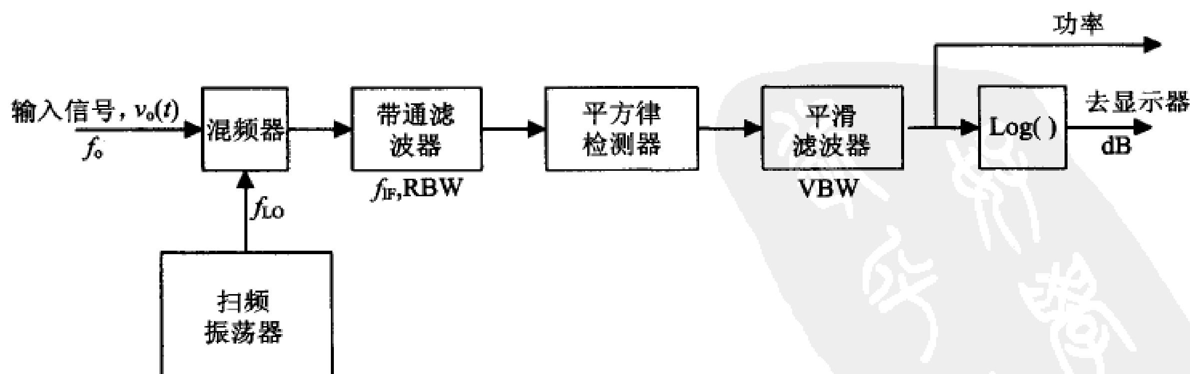
另一个单边谱的描述式[7-5]是$\mathcal{L}(\Delta f)$，它是理论谱$W_{vo}(f)$的归一化谱，被定义为

$$\mathcal{L}(\Delta f)=\frac{W_{vo}(f_o+\Delta f)}{A^2/2} \tag{7-5}$$

上式可以解释为：$\mathcal{L}(\Delta f)$是关于载波频率f_o的Δf频偏处1 Hz带宽内的、相对于信号总功率的单边噪声功率。从数值上看，$\mathcal{L}(\Delta f)$的值通常用分贝的形式表示为$10\log[\mathcal{L}(\Delta f)]$dBc/Hz。（dBc的意思是"相对于载波的dB"，其中载波这个词实际上是指信号的总功率；"/Hz"是指1Hz的带宽。）根据这个定义，$W_{vo}(f)$和$\mathcal{L}(\Delta f)$都是窄带RF随机过程$v_o(t)$的完全合法的谱表示，当然先不谈平稳性的问题。不过，$\mathcal{L}(\Delta f)$的概念和它的标注法被广为误用了，这将在后文谈到。

7.2.3 RF谱$W_{RF}(f)$和$P_{RF}(f)$

理论谱是一个随机过程的完整特性，也是从来都没有观察到的。我们所掌握的只是随机过程的一些样本函数。频谱分析仪是一种实验室仪器，它对信号进行测量，并显示信号的理论谱的近似值。图7-2是一种频谱分析仪的简化框图。信号频率f_o与本地扫频振荡器的频率f_{LO}相混频。所产生的差频(f_o-f_{LO})被送入中心频率为f_{IF}、分辨带宽为RBW的带通滤波器。这个带通滤波器的输出被送到平方律检测器，然后，再把平方律检测器的输出送到一个具有视频带宽为VBW的低通平滑滤波器。平滑滤波器的输出或者直接送去显示功率，或者通过一个对数转换器，再送到显示器以dB比例尺显示。对实际振荡器的一些测量结果见图7-3和图7-4。



147

图7-2 频谱分析仪的简化框图

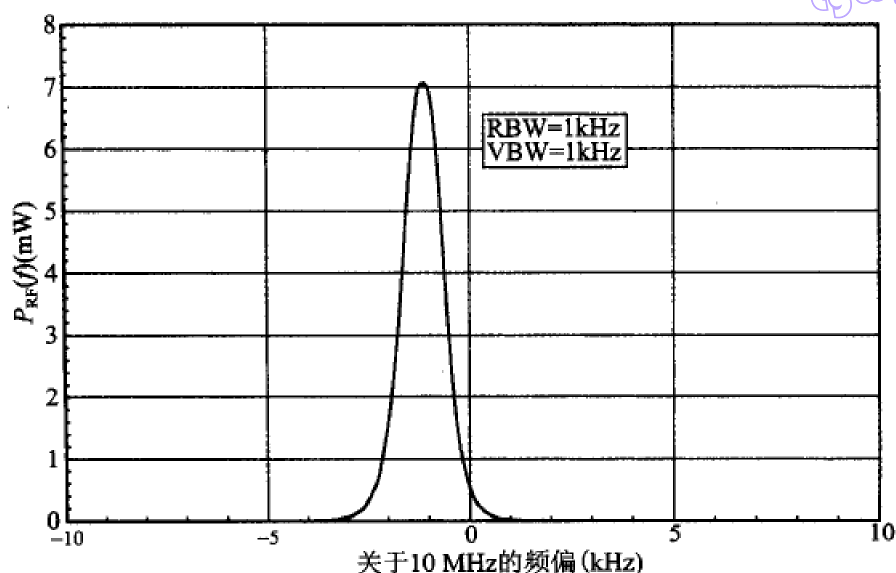


图 7-3　从一个 10MHz 晶体振荡器上测得的 RF 功率谱密度 $P_{RF}(f)$（纵坐标显示了在一个 RBW Hz 带宽内的功率，以 mW 为单位）

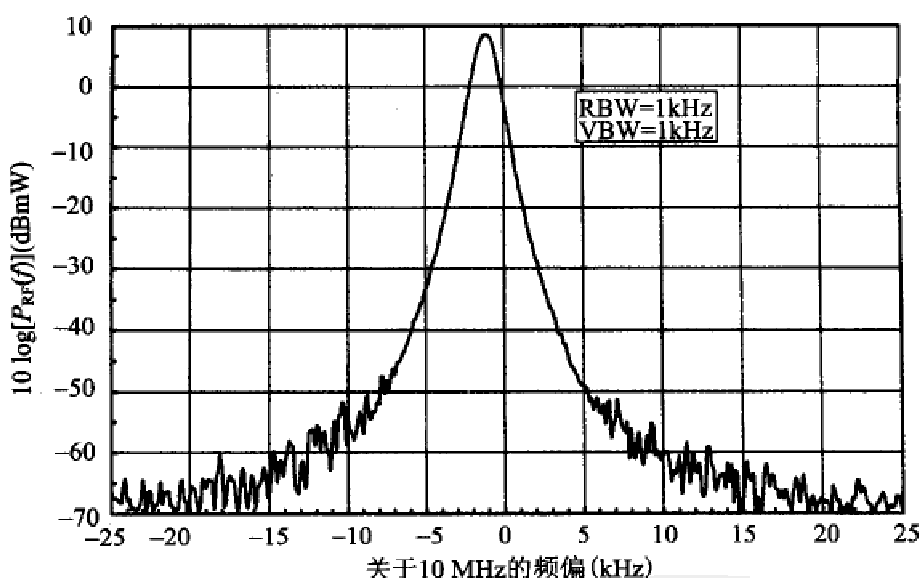


图 7-4　测得的以 dB 为单位的 RF 功率谱密度（振荡器与图 7-3 相同；纵坐标显示出在一个 RBW 带宽内、相对于 1 mW 的功率）

原始的测量数据并不能显示谱密度 $W_{RF}(f)$，至少在测量数据没有恰当处理之前是不能显示谱密度 $W_{RF}(f)$ 的。频谱显示的纵坐标表示位于一个分辨带宽为 RBW 内的信号功率（实际功率以 W 为单位，而不像方差那样以 V^2 为单位，这是因为分析仪的输入接头有一个典型值为 50Ω 的精确的终接电阻）。谱密度表示的是在 1 Hz 带宽内的功率。由于在大多数 RF 分析仪中，RBW 总是远大于 1 Hz 的，所以显示的并不是真正的谱密度。图 7-3 和图 7-4 中纵坐标为 $P_{RF}(f)$，而不是 $W_{RF}(f)$。为了把图 7-3 中的 P 转换成 W，就得把 P 的比例尺除以 RBW；为了转换成图 7-4 中纵坐标的对数比例

尺，就得减去 10 log(RBW) dB。(有些分析仪有内建的调整坐标轴比例尺的功能。)当然，调整纵坐标的比例尺并不能给出 $W_{RF}(f)$所要求的 1 Hz 的分辨率；分辨率仍然是 RBW。只有减小 RBW 和相应地降低扫描速度才可以得到更精细的分辨率。

假设信号源和谱分析仪本身都没有相位噪声，因而加到分析仪上的信号的频谱是一条谱线。在这种情况下，显示器描出的是分析仪中带通滤波器的频率响应；这个显示就不是一条直线了。所以，对于实际的信号，分析仪所显示的是信号频谱与带通滤波器频率响应之间的频域卷积。除非 RBW 与信号频谱相比是非常窄的，否则，所显示的谱其实已经被分析仪弄坏了。修复这种毁坏(反卷积)不是一件容易的事，这个功能看来也不会做入分析仪中。

人们经常尝试从 $P_{RF}(f)$来估算归一化谱$\mathcal{L}(\Delta f)$。如果在估算中使用了正确的归一化功率，那么这个想法似乎是有道理的。从谱分析仪的显示来看，正确的归一化功率是对图 7-3 中功率谱的积分，但不必计算这种积分。比较通常的做法是，把图 7-4 中的谱的峰值用作归一化功率。这个峰值只能是正确功率值的一个近似，而且仅当信号功率几乎全部地落在分辨带宽内的时候，这个近似才可以达到很好的精度。在这种情况下，那些明显的邻近边带，更多地是由分析仪通带的形状所确定的，而不是信号本身的。我们建议在对 RF 谱进行解释时必须谨慎。

在查找信号源的寄生输出或查找噪声边带对邻近信道的可能干扰的时候，RF 谱是一个很好用的工具。后一种情况被示于图 7-5 中。应当知道，RF 谱分析仪是不能区分相位噪声和振幅噪声的，而只是显示所有进入滤波器通带内的信号与噪声的总功率。

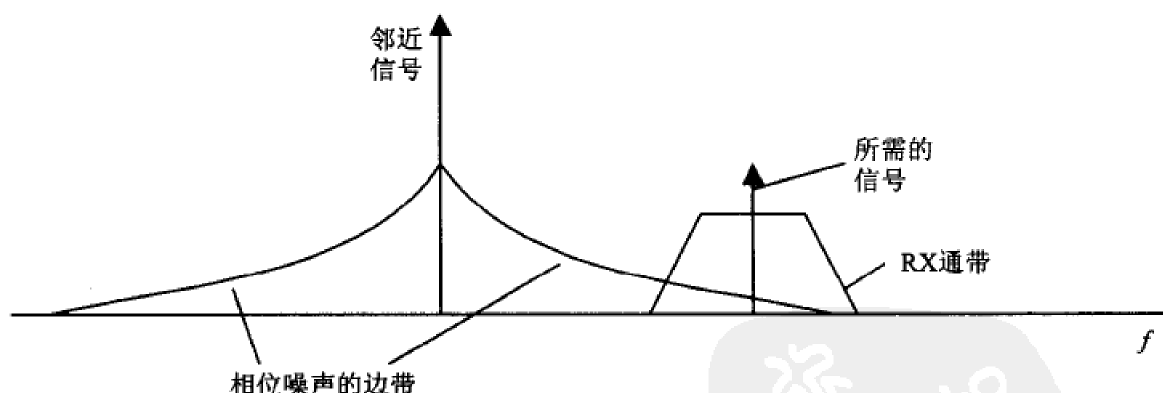


图 7-5 由邻近信道的信号边带产生的干扰

7.2.4 相位噪声谱 $W_\phi(f)$

$W_{vo}(f)$、$\mathcal{L}(\Delta f)$、$W_{RF}(f)$和 $P_{RF}(f)$这四个量都是实际 RF 信号 $v_o(t)$的谱。它们的峰值位于载波频率 f_o，而且在峰值两侧都有边带。由于在所有频偏处的显示分辨率都是相同的，所以如果要覆盖更远的边带，就会牺牲 f_o 邻近的细节。另外，任何实际的 RF 分析仪都有一定的动态范围；它必须能接纳信号的总功率而不过载，还必须能显示

很弱的边带，所以这个动态范围是很难规定的。而最重要的是，在 PLL 中可辨认的噪声源和最后生成的 RF 谱之间没有简单的解析关系。

RF 谱的这些缺点导致了 $W_\phi(f)$的广泛使用，$W_\phi(f)$是相位噪声调制 $\phi(t)$的低通单边谱，是分析 PLL 较好的工具。用于测量 $W_\phi(f)$的概念化框图见图 7-6。测量仪由一个通过幅度缩放而重构 $\phi(t)$的相位解调器、一个产生 $W_\phi(f)$的低频谱分析仪和一个用于显示的对数转换器组成。一般用对数比例尺显示 $10\log W_\phi(f)$与频率之间的关系。$W_\phi(f)$的单位是 $\mathrm{rad}^2/\mathrm{Hz}$，对于 dB 比例尺应当解释为相对于 $1\ \mathrm{rad}^2/\mathrm{Hz}$ 的 dB 数。



图 7-6　通用相位噪声分析仪框图

在实际中，虽然真正测到的是 $W_\phi(f)$，但遗憾的是纵坐标几乎总被显示为 $10\log \mathcal{L}(\Delta f)$，这个数值被认为是在 Δf 频偏处的一个边带内的 1 Hz 带宽内的相对噪声。如果相位噪声的幅度足够小，那就可以有$\mathcal{L}(\Delta f)\approx W_\phi(f)/2$，因此所认为的$\mathcal{L}(\Delta f)$的显示确实是 $W_\phi(f)/2$。但是，在载波频率邻近处的相位噪声的幅度永远达不到足够小，所以 $W_\phi(f)$也永远不能很好地表示$\mathcal{L}(\Delta f)$的邻近区域，也就是这些邻近的 RF 边带。这是因为相位噪声调制 $\phi(t)$的基带谱的标记$\mathcal{L}(\Delta f)$用错了，而不是测量错了。只要对任何表示为 $10\log[\mathcal{L}(\Delta f)]$的低通谱上增加 3 dB，就可得到正确的 $10\log[W_\phi(f)]$。

148～150

相位噪声分析仪的核心是相位解调器。一个著名的、但大大简化的实现方式见图 7-7。其中的 PLL 被用做相位解调器；可以参阅第 16 章关于 PLL 用做调制解调器的进一步说明。图中把被测振荡器连接成 PLL 中的 VCO，并把它的相位与一个合适的基准源的相位进行比较。相位误差的波动 $\theta_e(t)$，在被检相器增益 K_d 放大后再送到谱分析仪，并产生谱 $W_{\theta e}(f)$；这个谱便是所需谱 $W_\phi(f)$的一个近似。

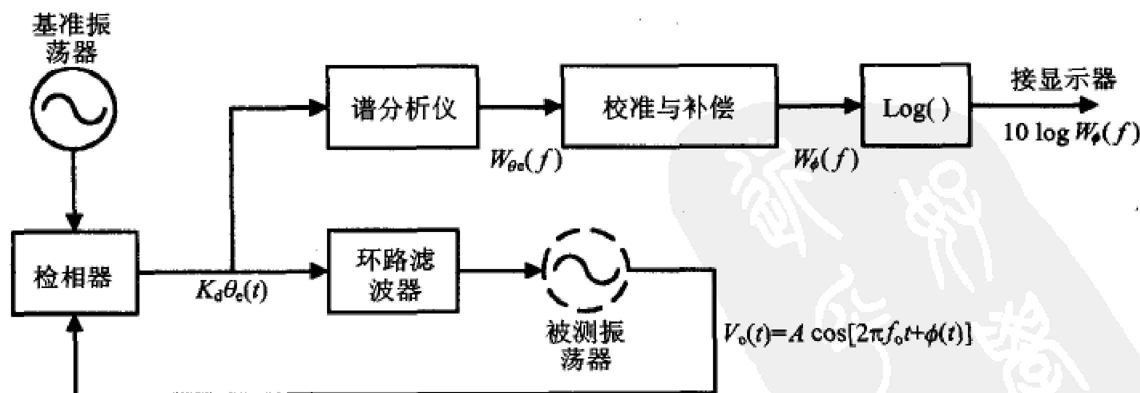


图 7-7　基于 PLL 的相位噪声分析仪框图

从谱分析仪输出的原始数据通常还不是 $W_\phi(f)$的足够好的近似；还必须进行各种复杂的校准和补偿，比如：

- □必须对比例因子 K_d 进行校准；
- □必须确定 PLL 的闭环误差响应 $E(f)$（见第 2 章），然后对测得的谱做相应的补偿；误差响应 $E(f)$用做振荡器噪声 $\phi(t)$和 PLL 相位误差 $\theta_e(t)$之间的高通滤波器；
- □谱分析仪本身的分辨率一般不是 1 Hz；所测得的谱必须按比例缩放以后才可表示 1 Hz 的分辨率。

此外还需要其他一些繁复的操作。但幸运的是，由于相位噪声调制是一个低频(与载波频率相比)信号，所以谱的分析和校准补偿的操作可以在数字域上进行。谱分析仪一般是用快速傅里叶变换算法实现的一组滤波器，而不像许多 RF 谱分析仪那样用一个扫频分析滤波器。

数字运算可以灵巧地处理大量的复杂数据，给测量仪增加了强大的处理能力。在图 7-7 的仪器中，除了被测振荡器的相位噪声以外，还存在其他一些噪声源。一个明显的噪声源是基准振荡器本身的相位噪声。如果基准振荡器不能做得比被测振荡器更为安静，那么常用的办法是使用一个几乎与被测振荡器完全一样的基准振荡器，并把测到的噪声谱平均地分给两个振荡器。

151

把测试仪内部所有的噪声源合起来就确定了测试仪的一条噪声底线(noise floor)，从被测振荡器测得的在这底线之下的数据是不真实的。相位噪声谱一般在低频区很大，当走向高频区时要下降。因此，被测振荡器的相位噪声谱在低频区一般远大于噪声底线，但在高频区也许会下降到噪声底线之下。

7.2.5　频率噪声谱 $W_\omega(f)$

瞬时角频率 $\omega(t)$是相位 $\phi(t)$对时间的导数。如果相位 $\phi(t)$的傅里叶变换为$\Phi(f)$，那么相位的导数的傅里叶变换为 $\Omega(f)=\mathrm{j}2\pi f\Phi(f)$。一个能量无穷大的随机过程的傅里叶变换是不存在的，但谱密度函数的导数是可以使用傅里叶变换的，因而就有关系式

$$W_\omega(f)=4\pi^2 f^2 W_\phi(f) \tag{7-6}$$

等式(7-6)是相位噪声谱 $\Phi(f)$的另一种基本测量方法。首先把信号 $v_o(t)$加到鉴频器上，它的输出就是频率调制 $\omega(t)=\mathrm{d}\phi(t)/\mathrm{d}t$ 经过缩放后的信号。这个被恢复出来的频率调制信号被送到谱分析仪，而谱分析仪的输出就是 $W_\omega(f)$。然后，把这个频率谱乘以 $1/4\pi^2 f^2$ 的权数，便得到所需的 $W_\phi(f)$。

基于鉴频器的相位噪声分析仪同样也需要校准与补偿，这与上面讲到的基于 PLL 的分析仪非常相似。对频率噪声谱的高频区应给于更大的权数，此后，$W_\omega(f)$的低频部分会降到仪器噪声底线之下，但高频部分是被加强了。因此，这两种相位噪声分析仪是互补的；有些仪器也许兼有两者，以便包含更大的频率范围。

7.2.6　相位噪声谱举例

图 7-8 示出了其 RF 谱被示于图 7-3 和图 7-4 中的那个振荡器的相位噪声谱。纵

坐标表示为 10 log[$\mathcal{L}(f)$](dBc/Hz)，这个比例尺是由分析仪给出的。如果你想表示为 10 log[$W_\phi(f)$]，那么只要加上 3 dB，再把单位改成“相对于 1 rad²/Hz”。

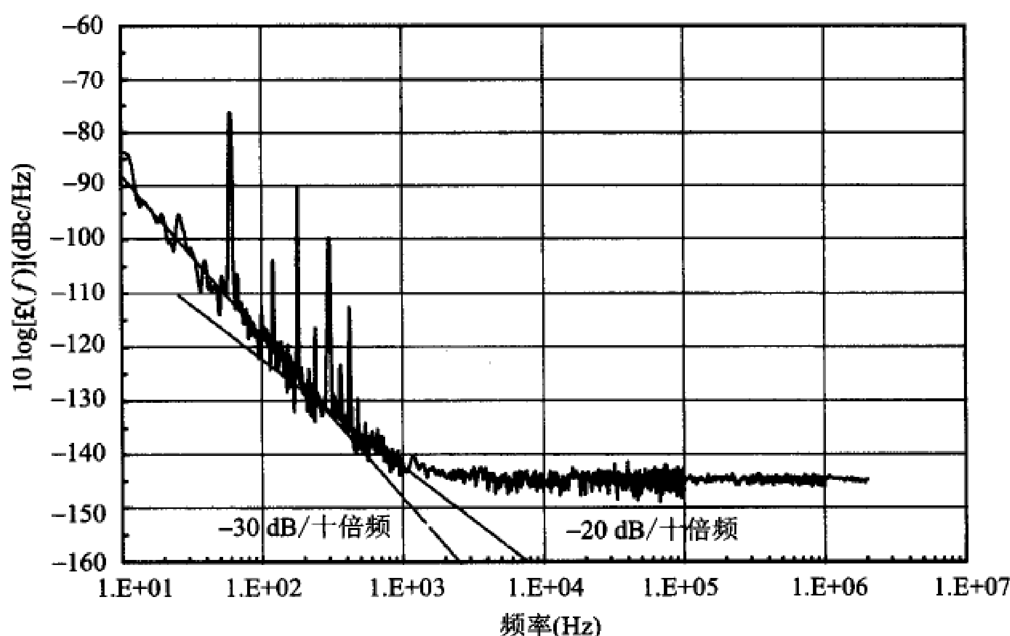


图 7-8 测得的相位噪声谱密度 $W_\phi(f)/2$，用双对数比例尺表示(振荡器与图 7-3 和图 7-4 中的相同)

图 7-8 中有几点值得注意。

- 很明显有几个大尖峰。这些尖峰位于 60 Hz 的谐波分量上，表示来自电源的干扰。对电路硬件和测试系统(可能的话)的更仔细的考虑应当会使尖峰大大降低。
- 此图相当地杂乱。这是由于测试中的噪声波形是从无限大的总体中采得的一个样本函数，因而出现了与总体频谱的随机离散性。采用更长一些的观察时间并对谱分析仪输出采用合适的平滑滤波，将会减少这种杂乱。
- 这种杂乱在几个十倍频的边界处呈现突变。这些突变反映了分析仪的内部参数是随不同的频率范围而自动切换的。
- 可以注意到有两条直线表示出了图中两个部分的不同的双对数斜率。在大多数振荡器谱中都会出现这些斜率值；它们是由相位噪声中的不同谱分量引起的，这将在本章的后面和第 9 章中说明。

7.3 相位噪声谱的性质

相位噪声谱由连续谱和离散的谱线这两个成分组成，其中的连续谱是由随机相位噪声产生的，而离散谱线来自周期性的干扰，比如，电源中的残余交流纹波、PLL 中没有被完全抑制的检相器纹波以及来自周围环境的其他干扰。下面将分别讨论连续部

152～153

分和离散部分。

7.3.1 典型的连续谱

大量的测试数据已经一致表明，振荡器的连续相位噪声谱可以很好地近似为[7.6]

$$W_\phi(f) \approx \frac{h_4}{f^4} + \frac{h_3}{f^3} + \frac{h_2}{f^2} + \frac{h_1}{f} + h_0 \tag{7-7}$$

其中 h_v 是一些与具体器件有关的系数。h_v 的量纲是 $\mathrm{rad}^2 \cdot \mathrm{Hz}^{v-1}$。在双对数坐标中，式(7-7)可以近似地用连接起来的直线段画出，如图 7-9 中那样。图中的每条线段被标有 h_v/f^v 和以 dB/十倍频为单位的双对数斜率。这与图 7-8 是明显的相似性。

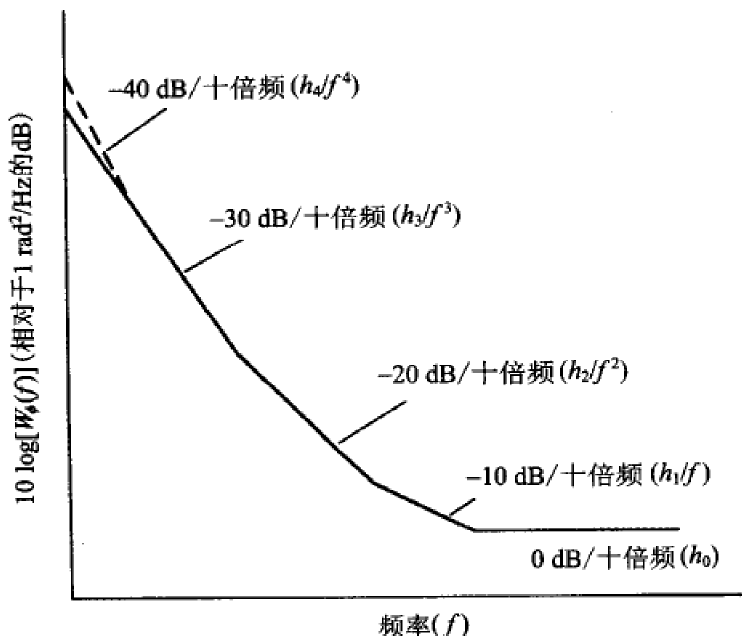


图 7-9 振荡器相位噪声谱的典型谱分量

h_4/f^4 这一项主要出现在精密频率标准(比如铯原子钟)的频谱中远低于 1 Hz 的频率区内，对于 PLL 中的振荡器一般不是个问题；因而本书中不再考虑；它的线段也相应地用虚线画出。其他几项都是重要的。每一项都是由相位噪声中的不同噪声源产生的，这将在第 9 章中进一步讨论。相位噪声项 h_3/f^3 和 h_2/f^2 来自振荡器中的闪烁噪声(1/f)和白噪声，它们使频率产生低频的白波动，如第 9 章中讨论的那样。这些频率波动经积分后成为振荡器的相位，并产生 $1/f^3$ 和 $1/f^2$ 的谱分量。在平常的非积分电路单元中是不会出现 $1/f^3$ 或 $1/f^2$ 的噪声谱的，但在振荡器中这两项是占主导地位的。

154

7.3.2 $W_\phi(f)$的意义

我们观察到，如果 $v>0$，那么式(7-7)中的每一项在 $f=0$ 处都是无穷大。这些奇点使 $W_\phi(f)$ 从 $f=0$ 到任意非零上限频率的积分不收敛，其意思是 $\phi(t)$ 的方差是无穷

大。你也许会这样推测，这个谱应当在某个极低的频率处开始变成水平线，但测试数据[7.7]并没有显示这个水平线，也不存在任何关于这种水平线的理论基础。相位噪声方差的无穷大看来是一个确凿的事实。

一个无穷大的方差，在开始时从直觉上使人困惑，但当认识到相位噪声的累积性质之后，就觉得比较合理了。对于振荡器的相位偏离，既不存在恢复力，也不存在记忆渐退；这种偏离的任何增长都将永远存在下去。瞬时相位噪声 $\phi(t)$ 是振荡器从开始起振后所出现的所有相位偏离的累积。不过，无限大的偏离只能在无限大时间之后才累积起来，所以是永远观察不到的。更难以寻味的是，一个随机过程的谱密度是被正式定义为这个过程的自相关函数的傅里叶变换，但这个自相关函数必须是平稳的。但是，h_2/f^2 过程的自相关函数是非平稳的，而 h_3/f^3 过程的自相关函数比非平稳还要糟糕，甚至是不存在的。因此严格地说，谱密度的标准定义不适用于相位噪声。

那么，相位噪声谱的确切含义是什么呢？首先可以这样说，频谱也许不是相位噪声的正确和健全的表示方法，也许应当使用其他的什么表示方法。（例如：Wornell[7.8,7.9]在申辩中偏向于小波表示法；Flandrin[7.10]探讨了 Wigner-Ville 谱以及小波。）未来也许会有一个改进的表示法，但今天我们还只能使用“频谱”。

尽管理论基础不稳固，但实验室中相位噪声分析仪却给我们提供了可以描述频谱的数据，而且基于这些数据的 PLL 成功地通过了设计和评估。相位噪声分析仪中的带通分析滤波器在 $f=0$ 和 $f=\infty$ 处有传输零点，这些零点有助于抑制极端频率上奇点的影响。而且，任何实际的测量一定只持续一个有限的时间，而谱模型所指的无穷大方差则需要无限长时间的累积。一个实际的、有限时间的、有限振幅的波形，就像相位噪声分析仪中相位解调器所给出的那样是一个有限能量的波形，是一定具有确定得很好的傅里叶变换的，而且这个变换也是能量有界的并且不存在任何其他奇点的。我们可以把分析仪假设为一个能产生与行为规矩的傅里叶变换的幅度平方相关的某个东西，并把这个东西标记为“谱”。在借助于滤波器中的传输零点和必定为有限长的测量时间之后，相位噪声分析仪将永远不会与谱模型式(7-7)中的无限大发生冲突。基于谱分析仪的这个成功基础，一个实践者对上面这个问题的回答应该是：所谓的相位噪声谱是指由相位噪声谱分析仪给出的那些数据。 155

7.3.3 对频谱显示的解释

图 7-8 示出了连续谱与离散谱线的混合。对这两种谱必须做不同的解释：首先是连续谱。用 $W_\phi(f)$ 表示随机过程 $\phi(t)$ 的连续相位噪声谱，并且假设这个谱的存在是有意义的，即使在没有严格定义的情况下也如此。假设有一个如图 7-6 所示的相位噪声分析仪。令分析频率为 f_m 的分析滤波器具有一个中心位于 f_m 的带通形状，并把这个滤波器的频率响应表示为 $Y(f;f_m)$。假设滤波器的频率响应集中在 f_m 的邻域，而且有恰当的选择性，以抑制输出信号中的零频奇点。每个分析频率 f_m 都有它自己的分析滤波器，这是由于采用了扫频，或者是采用了谱分析仪中的滤波器组。

滤波器输出的谱密度为 $W_\phi(f)|Y(f;f_m)|^2$。平方律与平滑操作可表示为

$$P_c(f_m)=\int_0^\infty W_\phi(f)\ |Y(f;f_m)|^2 df \tag{7-8}$$

其中 $P_c(f_m)$ 为 f_m 滤波器的输出强度，下标 c 表示连续谱。如果 $W_\phi(f)$ 在分析滤波器的有效频带内是几乎水平的，那么式(7-8)可近似为

$$P_c(f_m)\approx W_\phi(f_m)\int_0^\infty |Y(f;f_m)|^2 df \tag{7-9}$$

式(7-9)中的积分是 $|Y(f_m;f_m)|^2 B_N(f_m)$，其中 $|Y(f_m;f_m)|$ 为分析滤波器在频率 f_m 处的响应幅度，$B_N(f_m)$ 为这个滤波器的噪声带宽。因此，分析仪对频率 f_m 处的谱密度的估算为

$$W_\phi(f_m)\approx\frac{P_c(f_m)}{|Y(f_m;f_m)|^2 B_N(f_m)} \tag{7-10}$$

其中式(7-10)的分子是一个测量数据，而分母是分析仪设计者知道的硬件参数。这个 [156] 除法运算实际上是所要进行的校准和补偿的一部分，在数字系统中是很简单的。

评注：(1)在上面的运算中，尤其是积分运算，是经过简化的并且是理想化的。但它们给出了在分析仪中必须完成的这些运算的大概情况。(2)实际的校准，在不改变校准原则的前提下，除了可以对噪声带宽校准外，还可以对滤波器的特征频带进行校准。(3)更高级的分析仪可以考虑到 $W_\phi(f)$ 的非水平形状，因而能得到一个更精确的 $W_\phi(f_m)$ 估算。这样一来，校准就变得更加复杂，但基本的原则没变。

现在考虑对离散谱分量的处理。令 $\phi_d(t)=\beta\cos(2\pi f_m t)$，其中下标 d 表示离散，$\beta$ 为最大相位偏离，以弧度为单位。这个分量的单边功率谱密度为 $(\beta^2/2)\delta(f-f_m)$，即一条无限高的、零底宽的、面积为 $\beta^2/2$，位于 $f=f_m$ 的离散谱线。把 $\phi_d(t)$ 送入滤波器、对滤波器输出求平方和对平方律输出作平滑操作的组合操作，可用下式近似表示

$$P_d(f_m)=\int_0^\infty \frac{\beta^2}{2}\delta(f-f_m)\ |Y(f,f_m)|^2 df=\frac{\beta^2}{2}\ |Y(f_m,f_m)|^2 \tag{7-11}$$

离散谱分量的功率 $\beta^2/2$ 是通过把测量数据 $P_d(f_m)$ 除以滤波器在 f_m 处响应幅度的平方估算的。可以看出，这个测量数据与分析滤波器的带宽无关，这与连续谱相位噪声的测量不同。如果把式(7-11)的校准用于离散谱分量，则是极其错误的。

如果分析仪能够可靠地区分连续谱分量和离散谱分量，而且分析仪使用了正确的校准，那么使用者就不会有什么问题了。但如果分析仪不能区分离散谱分量和连续谱分量(我们推测使用说明书上会写出是否有这个能力)，并对两类谱分量使用同一的校准，那么其中的一种分量的测量结果必将是错误的。使用者往往看一下显示就可以区分离散谱分量和连续谱分量。然后，如果使用者知道分析仪的带宽和校准原则，他就可以对被错误校准的谱分量的比例尺进行修正。

可以这样做个总结：必须知道这两类谱分量中的一类分量在显示时也许使用了错误的比例尺。这样的数据显示你是无法做改正的，除非你知道分析仪的校准原则和分析仪滤波器的带宽。

7.3.4 $W_\phi(f)$与$\mathcal{L}(\Delta f)$的关系

因为基带相位噪声 $\phi(t)$的谱 $W_\phi(f)$和通带信号 $v_0(t)$的归一化谱$\mathcal{L}(\Delta f)$只是同一个信号的不同侧面，所以在两种谱之间必然存在某种关系。比如，一位工程师会去测量 $W_\phi(f)$，再由测得的数据计算出相应的$\mathcal{L}(\Delta f)$。目前还不知道具有广泛适用性的计算方法。本节将简单地浏览一些零散的方法。 157

1. **正弦调制**

众所周知，如果一个载波被一个正弦量做相位调制，那么已调信号的谱就包含一个残余载波分量，加上无数个、相互以调制频率为间隔的边带。残余载波的振幅和第 i 个边带的振幅都与贝塞尔函数 $J_i(\Delta\theta)$成正比，其中 $\Delta\theta$ 是调制的峰值相位偏离。相位调制的固有非线性产生了太多的边带。如果 $\Delta\theta$ 足够小，那就只有正比于 $J_1(\Delta\theta)\approx\Delta\theta/2$的一次边带才有相当大的振幅，而其他边带均可忽略。

如果基带调制信号包含了几个正弦波，那么已调谱就包含与每个基带正弦波对应的无数个边带，再加上几组由无限多个基带分量之间交叉调制的产物，其中所有振幅的大小都依据贝塞尔函数确定。交叉调制是由于相位调制的固有非线性。如果总相位偏离很小，那就只有每个基带信号的一次边带才有相当大的幅度。

2. **$W_\phi(f)$的离散近似**

对 $W_\phi(f)$这样的连续谱的一个分析方法是，把它分成许许多多宽度相等的连续频率区间，并将每一个区间用一条方差相同的离散谱线表示。这个做法多少等同于对$\phi(t)$这样的时域过程的某个有限时间区间内做傅里叶级数的分析，这个方法可以在关于随机过程的教科书中找到，例如参考文献[7.11]。

把谱离散化用于相位噪声的想法，就是把已知的贝塞尔函数关系用于正弦相位调制。尤其是，如果每条离散谱线有足够小的相位偏离，因而只有它的相应的两个一次边带才对已调谱提供相当的贡献。在 $W_\phi(f)$用这个方式离散化后，当偏离频率与载波充分远离的时候，就得到$\mathcal{L}(\Delta f)\approx W_\phi(f)/2$。也就是，RF 信号中很远的边带可以根据基带相位噪声 $\phi(t)$的谱 $W_\phi(f)$的信息近似。

但 $W_\phi(f)$总是包含如式(7-7)中 h_v/f_v 形式的分量。这些分量随 f 趋于零而无限增大。当频率偏离足够小时，对小偏离的近似是永远不合法的。当边带频率足够接近载波的时候，$W_\phi(f)$和$\mathcal{L}(\Delta f)$之间的这个简单关系总是不成立。这个关系之所以必然失败，是因为$\mathcal{L}(\Delta f)$对所有 f 总是有限的，而 $W_\phi(f)$在 f 足够小时变为无界。

3. **一些特例**

$W_\phi(f)$中的 h_2/f^2 项是由振荡器电路(见第 9 章)中的白噪声引起的，它与$\mathcal{L}(\Delta f)$的关系已经得到了充分的研究[7.3,7.12~7.14]。这是一个特殊的例子，之所以特殊是因为已经知道了一个关于$\mathcal{L}(\Delta f)$的简单公式，而且这个简单公式可以与 $W_\phi(f)$相关联。按照参考文献[7.14]中的推导过程，如果 $W\phi(f)=h_2/f^2$，那么$\mathcal{L}(\Delta f)$的表达式就是洛伦兹形(Lorentzian)的 158

$$\mathcal{L}(\Delta f)=\frac{h_2/2}{(\pi h_2/2)^2+\Delta f^2} \tag{7-12}$$

这个形状在很早以前的光谱学中就知道了。等式(7-12)有下面的性质：

- $\mathcal{L}(0)=2/h_2\pi^2$ 是一个有界的值，与 $W_\phi(0)$ 的无穷大正相反；
- $\int_{-\infty}^{\infty}\mathcal{L}(\Delta f)\mathrm{d}\Delta f=1$；
- 半功率带宽(全频带，半最大值：FWHM)为 πh_2；
- 如果 $\Delta f^2 \gg (\pi h_2/2)^2$，那么 $\mathcal{L}(\Delta f)\approx h_2/2\Delta f^2=W_\phi(f)/2$。

关于其他的谱形状：与 $W_\phi(f)$ 中 h_3/f^3 项相对的 $\mathcal{L}(\Delta f)$ 表达式已在参考文献[7.2]被推导出来。h_2/f^2 相位噪声在 PLL 中的传播是在参考文献[7.15]中分析的，以确定 PLL 输出端的 $\mathcal{L}(\Delta f)$。我们应当知道，虽然 h_v/f^v 项在 $W_\phi(f)$ 中是相加的，但 h_v/f^v 项在 $\mathcal{L}(\Delta f)$ 中的非线性组合方式在比较一般性的分析中一直用得很好。

7.4 相位噪声的传播

本节将说明相位噪声是如何在常见的各种电子器件中传播的。对传播做一个小结：先总结辅助器件，然后总结 PLL。除非对 PLL 有明确的说明，否则我们在这里只讨论相位噪声的传播，而不讨论器件内部产生的噪声。

7.4.1 相位噪声在辅助器件中的传播

需考虑的辅助器件有倍频器、分频器、混频器和硬限幅器。这些都是非线性器件。它们对相位噪声的近似的影响见图 7-10。一个 N 倍频器把输入相位噪声放大 N 倍，或用分贝表示为 20 log(N)。同样，M 分频器把相位噪声减少到 $1/M$，或者用分贝表示为 −20 log(M)。

也就是说，倍频器和分频器保持了它们输入信号中的时间抖动。对于混频器而言，相位噪声是加在它的两个输入端上的。输出相位噪声是输入相位噪声的和或差，取决于选择哪个结果为输出。如果输入噪声是不相关的，那么输出噪声谱是两个输入噪声谱之和，而且被平移到了输出载波的频率上。如果输入噪声是相关的，(这个情况是可以在某些系统中出现的。)那么它的差频输出项也许会抵消一些相位噪声。限幅器保存了其输入信号的相位噪声，但抑制了振幅噪声。

159

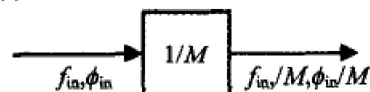
这些规则都是指一次效应。这些规则也是指窄带的假设，因而器件输出的谐波分量可以忽略，也不会产生很大的谱折叠。分频器非常可能引起很大的谱折叠(将在第 15 章中做进一步讨论)，而限幅器会有相当大的谐波输出，除非这些谐波被滤波器所抑制。当不存在谱折叠以及不需要的谐波可以被忽略时，这些简单规则的意思是说，这些器件不会改变输入噪声的谱形；它们只是对幅度做比例缩放。

倍频器:



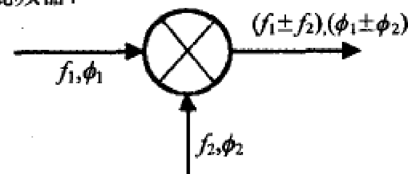
保持了定时波动

分频器:



保持了定时波动
(但要注意混叠问题)

混频器:



保持了相位波动

硬限幅器:



保持了相位波动
抑制了振幅波动

图 7-10　相位噪声在 PLL 常用器件中的传播

虽然限幅器不改变输入相位噪声,但却把一种加性扰动,比如加性噪声或窄带干扰,转变成了输出相位噪声。如果所需的限幅器输入信号的振幅为 A,而干扰的振幅为 $B \ll A$,那么限幅器输出信号中将有不希望的、大约 B/A 弧度的相位调制。如果干扰频率对于所需信号的频偏为 Δf,那么限幅器的输出谱在偏离所需信号的 $\pm\Delta f$ 处有一对干扰边带,其振幅相对于所需信号的输出为 $B/2A$。图 7-11 画出了一个孤立干扰源的影响;附录 7A 中有这样的一个分析。限幅器自身是很值得讨论的(见第 10 章),而且因为限幅器总是被包含在数字分频器中的,所以也是一个被广泛用于 PLL 频率合成器中的器件(见第 15 章)。

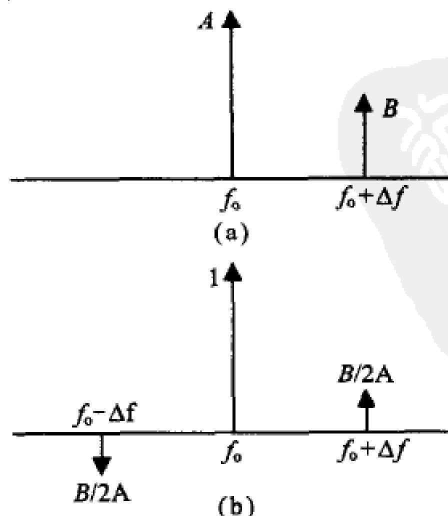


图 7-11　限幅器中的干扰转变成了相位噪声

7.4.2　相位噪声在 PLL 中的传播

假设 PLL 的输入信号中有相位噪声谱密度 $W_{\phi i}(f)$ rad²/Hz。作为对这样一个输入相位噪声的响应而在 VCO 输出端上出现的已跟踪相位噪声谱为

$$W_{\theta o\phi i}(f)=W_{\phi i}(f)|H(f)|^2 \tag{7-13}$$

其中 $H(f)$为闭环 PLL 的系统频率响应(见 2.1.2 节)。已跟踪相位噪声只是输入相位噪声通过响应为 $H(f)$的低通滤波器之后的相位噪声。由输入相位噪声引起的未跟踪相位噪声谱,即相位误差谱,为

$$W_{\theta e\phi i}(f)=W_{\phi i}(f)|E(f)|^2 \tag{7-14}$$

其中 $E(f)$为 PLL 的误差响应。

注解:$W_{\theta e\phi i}(f)$的意思是,由输入相位噪声 ϕ_i 引起的、并存在于相位误差 θ_e 中的那个相位噪声谱密度。

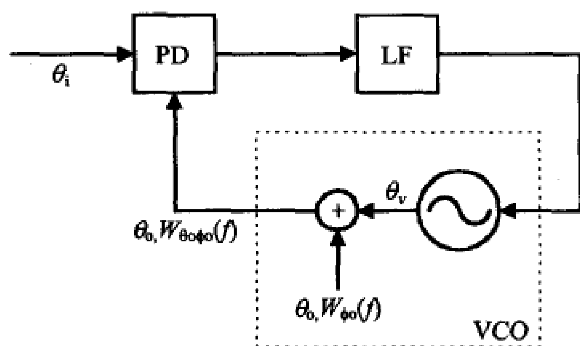


图 7-12　PLL 中振荡器相位噪声的模型

PLL 相位噪声的另一个重要来源是 VCO 的内部,如图 7-12 所示。图中的虚线框把实际的 VCO 围了起来,这个 VCO 包括一个假想的、无噪声的并给出输出相位 θ_v 的 VCO 和另外一个谱密度为 $W_{\phi o}(f)$rad²/Hz的内部相位噪声源 ϕ_o。从电路分析角度来看,从 ϕ_o 到 θ_o 的传递函数可以看出是误差响应 $E(f)$;所以,由 VCO 内部相位噪声在已相位锁定的实际 VCO 输出端上所引起的相位噪声谱密度为

$$W_{\theta o\phi o}(f)=W_{\phi o}(f)|E(f)|^2 \tag{7-15}$$

这就是由 ϕ_o 产生的未跟踪相位抖动谱。可以看出,由 ϕ_o 产生的相位误差 θ_e 是$-\theta_o$,所以式(7-15)也就确定了谱密度 $W_{\theta e\phi o}$。

用于未跟踪抖动的两个等式(7-14)和式(7-15)具有相同的形式,所以它们可以合成一个未跟踪抖动的表达式:

$$W_{u\phi}(f)=W_{\phi}(f)|E(f)|^2 \tag{7-16}$$

其中 $W_{\phi}(f)=W_{\phi i}(f)+W_{\phi o}(f)$,下标 u 表示未跟踪相位噪声。

7.5　PLL 中的积分相位噪声

7.4 节中已经讨论过的关于相位噪声谱形的内容,对于理解相位噪声的性质、辨别噪声的来源和指导设计都很有用。而另一个关键性参数是积分相位噪声:对所有频率进行积分而得到的相位噪声谱密度。本节将讨论积分相位噪声的几个特点。

7.5.1 基本公式

160~162

如果相位噪声源的谱类似于式(7-7)中那样,那么对已跟踪相位噪声的积分是不收敛的;对已跟踪相位噪声的积分永远是无界的。从实际上讲,一个相位锁定的 PLL 在对相位偏离累积进行跟踪时非常慢,无论这个累积值有多大。相位偏离累积的无穷大只出现在无穷大的时间之后。因为存在这个无穷大,所以对已跟踪相位噪声的积分不是一个有用的概念。而对未跟踪相位噪声 θ_u 的积分则有用得多:

$$\sigma_{\theta u}^2 = \int_0^\infty W_{u\phi}(f)\mathrm{d}f = \int_0^\infty W_\phi(f)\,|\,E(f)\,|^2\mathrm{d}f \quad \mathrm{rad}^2 \tag{7-17}$$

等式(7-17)描述了由输入信号中相位噪声和 VCO 的相位噪声引起的均方值跟踪误差,其中这两个相位噪声的合成谱为 $W_\phi(f)$。

7.5.2 过大的相位噪声

未跟踪的相位噪声引起了 PLL 跟踪时的应力。过大的未跟踪相位噪声会引起周期滑步,或者完全失去锁定。对未跟踪相位噪声的可允许的边界限制,尚没有太多的信息。在对第 6 章中等式(6-25)给出的加性白噪声的结果有了比较好的理解之后,我们也许可以对这种过大应力的边界限制推断出一个很粗略的估算:上面的等式(6-25)是依据线性操作的原理,并且把相位方差与信噪比 $\mathrm{SNR_L}$ 以 $\sigma_{\theta no}^2=1/(2\mathrm{SNR_L})$ rad² 的等式关联之后导出的。6.2 节接下来说,如果 $\mathrm{SNR_L}<2.5$(即 4 dB),那么相位方差要明显地大于这个公式的预测值,而且 PLL 在典型值为 $\mathrm{SNR_L}\approx 1$(0 dB)时会失锁。当 $\mathrm{SNR_L}$ 为 4 dB 时,公式(6-25)给出 0.2 rad²(26°的均方根值)的相位方差,在 $\mathrm{SNR_L}$ 等于 0 dB 时为 0.5 rad²(40°的均方根值)的相位方差。如果利用式(7-17)对相位噪声引起的未跟踪相位抖动计算出相似的数值,那就应当知道这种操作情况是极不可接受的。

7.5.3 对相干解调的影响

相位噪声是众多通信系统中的一个严重问题。在为了寻找未被占用的无线电频段而使用越来越高的载波频率的时候,这个问题就变得更为严重。PLL 中的应力不是未跟踪相位噪声中的唯一的最坏影响,甚至还不是最重要的影响。从环路应力的观点确定出来的可允许的未跟踪相位噪声的大小,也许会引起相干解调器接收器中不可接受的高频度判断误差。对于比较密集的信号星座(constellation),相位噪声的影响有着特别的损害性。在系统性能预算中,相位噪声需要留有余地,而且必须通过计算来保证在预算之内。

7.5.4 带宽的权衡

160~163

我们可以看到 $E(f)$ 有一个高通的频率响应。增加 PLL 的带宽 K 使高通转角频率移动到较高的频率上,因而减少了积分未跟踪相位抖动。这与式(6-19)中给出的带宽对由加性白噪声引起的相位抖动的影响正好相反,在式(6-19)中的加性白噪声被低

通滤波器 $H(f)$ 的作用所抑制。由加性白噪声和相位噪声合起来引起的总相位抖动具有下面的形式：

$$\sigma_{\theta o}^2 = \int_0^\infty W_{n'}(f) \mid H(f) \mid^2 df + \int_0^\infty W_\phi(f) \mid E(f) \mid^2 df \tag{7-18}$$

对环路参数的某个选择可以使式(7-18)的总相位抖动减至最小。作为一个特殊的例子，试考虑一个窄带二阶2类PLL处于加性白噪声和主要为 h_3/f^3 相位噪声的环境中。在这些约束条件下(在某些应用中是实际存在的)，参考文献[7.16、7.17]的分析指出，如果把 ζ 设置成1.14，那么相位噪声对积分相位抖动的贡献，对任何噪声带宽 B_L 都是被降到了最小。因为加性白噪声的贡献仅取决于 B_L(见式(6-23))，而与 ζ 无关，所以选择 $\zeta=1.14$ 是所给定条件下的最优阻尼。为了找出最优的 B_L，把下面所说的情况代入式(7-18)：如式(6-23)中那样定义的，用SNR和 B_L 表示由加性白噪声引起的相位抖动贡献；对附录7B中的式(7B-4)用平方根做近似，以此确定 h_3/f^3 相位噪声对积分相位抖动的贡献；表6-1中把 B_L 与 K 和 ζ 关联起来的表达式；另外，$\zeta=1.14$。然后，对 B_L 求导并令导数为零，求解后就得到最优的噪声带宽为 $B_L \approx (15h_3P_s/W_0)^{1/3}$ Hz。

在大多数其他应用中，相位噪声谱是极少这样简单的。通过解析式进行优化通常是不可行的，所以一般使用数值积分和寻找最小值的方法。在收集需要的数据和用试探法找出最优参数的时候，电子表格是一个很方便的工具。

7.5.5　积分

积分未跟踪相位噪声可以从形式上把式(7-7)中各项和表达式 $|E(f)|^2$ 代入式(7-17)，然后求积分计算。附录7B给出了一个二阶2类PLL的例子，并对式(7-7)各项进行了讨论。这些结果虽然未必能直接应用于相位噪声谱更为复杂的实际情况，但使我们对PLL跟踪能力和积分未跟踪相位噪声取决于PLL参数这两个方面有了进一步的理解。对于实际硬件的相位噪声的近似积分，可以利用附录7C和7D中描述的那些等式并借助电子表格完成。

由相位噪声与振幅噪声的合成边带所引起的邻近信道干扰，最好是使用干扰源的的RF谱 $W_I(f)$ 和受干扰接收器的RF频率响应 $X(f)$ 计算。在接收器通带内的干扰功率为

164

$$P_I = \int_0^\infty W_I(f) \mid X(f) \mid^2 df \tag{7-19}$$

其中下标I指干扰源。如果干扰源和被干扰信号两者的载波频率离得充分远，那么在干扰边带内的振幅噪声也许与相位噪声是可比较的，因而仅对相位噪声的计算就会过于乐观。

此外，由接收器本地振荡器产生的相位噪声会引起邻近信道中信号谱的扩展，因而使所需的信号受到干扰，即使被发送的邻近信道的信号谱完全限制在接收器通带之外时也如此。如果接收器相位噪声的归一化通带谱为 $\mathcal{L}_R(\Delta f)$，那么在接收器通带内的

干扰功率为

$$P_I = \int_0^{\infty} [W_I(f) \otimes \mathcal{L}_R(f - f_I)] \mid X(f) \mid^2 \mathrm{d}f \qquad (7\text{-}20)$$

其中⊗表示卷积，f_I 为干扰源的载波频率，下标 R 指接收器。

7.5.6 一个悖论

对于任何 2 类或高类 PLL，只要对 h_1 和 h_0 谱项设定一个高频截止频率（见附录 7B），那么式(7-17)中的积分对式(7-7)中的所有项都是收敛的。不过，对于任何 1 类 PLL，这个积分对 h_3 和 h_4 这两项都是发散的；根据这个形式上的描述可以预测，1 类 PLL 将有无穷大的未跟踪相位抖动，因而将会失锁。因为用模拟电路是不能做出完美积分器的，因此所有的模拟 PLL 都是 1 类的。尽管理论上是这么说的，但多年来的经验和大量成功的 PLL 已经肯定，模拟 PLL 的锁相操作是非常好的，也不会失锁，除非在极端不利的情况下。当理论与观察到的行为有如此巨大不同的时候，我们应该如何思考？

在前面几节中提出了关于相位噪声的非平稳性和相位噪声含义的警示。（式(7-7)中相位噪声的所有成分，除 h_0 外，都是非平稳的。另外，h_4/f^4 和 $h_3 f^3$ 的一次增量也是非平稳的。）因此，一个可能性是，忽略了这些警示而导出的理论也许是错误的，而所预测到的 1 类 PLL 不能锁相的能力也许只是理论上的某个缺陷所致。另一个可能性是，理论是正确的，但它的解释是错误的。由于相位噪声是累积的，所以理论也许只是说，1 类 PLL 中的积分相位噪声误差的均方值不是平稳的，而是随时间在增长的。

在实际 PLL 中的这个增长率也许非常慢，因而发生失锁所需要的时间也非常长，以至于看不到失锁。这个解释是由 Gray 和 Tausworth 提出[7.16]并由 Egan 扩充的[7.18]。

上面提出的这两种解释都未能给实践中的工程师们带来很多安慰，因为他们必须设计出可工作的 PLL。已经有若干个做法可以绕开这个似是而非的论点：

- 如果 PLL 在环路中有一个非完美的积分器，那就假定它是完美的。这样，积分就收敛了，一切皆顺利。这个做法一直用得很好，因为大量的实际 PLL 在它们的环路中都有一个近似的积分器。
- 忽略相位噪声中 h_3 和 h_4 这两个分量；对余下分量的积分就收敛了（只要对 h_1 和 h_0 这两项设置一个高频截止特性）。对于大多数的 PLL 来说，忽略 h_4 这一项是合理的，但忽略 h_3 这一项会有风险，尤其对于带宽很窄的 PLL。
- 对这个问题增加一个低频截止特性；也就是，把积分的下限设定在某个大于零的低频上。这个做法虽然有风险，尤其在规范或实验数据中包含一个低频极限的时候，但仍是通常使用的。对窄带 PLL 是特别有风险的。这个问题将在附录 7C 中做进一步讨论。我们认识到，在理论和实验数据中都没有这样的证据，即在低频区存在某种可以使大多数振荡器频谱中的 $1/f^3$ 形状有所平缓的趋势[7.7]。

165

7.5.7 谱线的积分

上面关于相位噪声调制的积分公式是基于连续相位噪声谱密度 $W_\phi(f)$ 而导出的。7.3.3 节警告说，相位噪声分析仪是不能从连续谱中区分出离散谱的，因此可能对离散谱线的功率因校准不当而报告错误数据。让人诧异的是，如果分析器未能从连续谱中区分出离散谱线，那么对所报告的谱密度进行的积分，包括错用的校准，也许会得出积分相位噪声的正确值。更多说明可参阅附录 7D。

只要谱分析仪的分辨带宽足够宽，因而可以在一条谱线中包含绝大多数的功率，那么 RF 谱中的离散谱线的功率一般都是正确的。（为了检查带宽是否足够宽，可以使 RBW 双倍宽，然后观察属于原先那条谱线的功率是否有很大的增加。）其中只是连续的 RF 谱一般才必须由使用者做比例缩放，如 7.2.3 节中解释的那样。为了确定积分边带功率（包括相位噪声和振幅噪声），先要分离出所有的离散谱线，再简单地把它们的功率加在一起。（以 mW 相加，不是以 dBmW 相加。）然后对余下的连续谱做积分，并使用恰当的校准。对于这两类谱中的每一类，即 RF 谱或解调相位噪声谱，积分中必须包含一个权函数，比如式(7-17)中的 $|E(f)|^2$ 或者式(7-19)或式(7-20)中的 $|X(f)|^2$，以便把积分限制在所考虑的频率区。

7.5.8 相位噪声的规范

对相位噪声的约束常常必须写人形式规范中。一个常用的方法是，对某个单一的频率偏移 f 规定 $10\log[W_\phi(f)]$，并以 dBc/Hz 为单位。（实际上，这个规范一般是用 $10\log[\mathcal{L}(\Delta f)]$ 表示的，但一般应解释为 $10\log[W_\phi(f)]-3$ dB。）这个规定规范的方法是有风险的。仪器也许能够满足这个规范，但仍不能提供满意的性能。这个做法没有对相位噪声谱的形状提出任何限制，也没有对离散谱分量给出任何容限。这是一个不足规范(underspecification)，一般应避免使用，尽管已经使用得很广泛了。

166

另一个方法是对 $W_\phi(f)$ 规定一个相位噪声屏蔽值(mask)，这样的数据形式适用于振荡器和合成器的产品目录。这比上面的单点规范安全得多，但也有一些规范上的缺陷：(1)屏蔽值往往是一个过分规范(overspecification)，因而会对供货商提出不必要的严格限制，因而增加了成本；(2)这种屏蔽值的方法不适合离散谱分量的情况。

积分相位噪声的规范避免了不足规范和过分规范的风险。所有相关的相位噪声都考虑进去了，不只是某个偏离频率点上的谱密度。谱形状的具体情况是无关紧要的，所以从规范中略去。离散谱线是被自动地包括进去的。这个规范有两个组成部分：一个对积分相位噪声方差的限制值，一个对相位噪声进行测量的加权滤波器的特性。在存在邻近信道干扰的情况下，对所需信号与干扰源之间的频率间距也做了规定。系统中不同部件对相位噪声的贡献通常表示为各部件方差的总和；当其条件成立时，可以独立规定每个部件的积分相位噪声。

比如，一个通信系统的规范可以包括：所允许的均方值相位噪声，PLL 的类别、噪

声带宽和阻尼因子,以及积分的频率上限。PLL 的特性以及频率上限确定了积分加权滤波器的性质。这样的规范已经被用于空间通信系统的锁相接收器许多年了。

7.6 定时抖动

我们常常需要进行特征化的不是相位波动,而是定时波动,而定时波动一般被称作定时抖动。相位波动和定时波动是密切相关的,如在附录 7E 中解释的,但在对定时的描述中会出现一些细微的差别,这些差别在到目前为止的相位波动描述中还没有出现过。这些细微的差别,加上众多的定时抖动源和各种各样的应用,已经引起这个课题文献中的某种程度的混淆。附录 7E 中的内容被局限于振荡器中出现的、并在 PLL 中被处理的定时抖动。这个附录中的定义和得出的结果来源于 Lee 的文章内容[7.19],但对其中的标记做了改动,以保持与本书其他地方的一致性,并有简化和删节。关于本课题的早期文章,可参阅 Lee 文章的参考文献。

167

不要就此下结论说,振荡器是定时抖动的主要来源。其他的抖动源很少包含这些由振荡器相位累积而产生的 h_2/f^2、h_3/f^3 和 h_4/f^4 频谱项,但确实也存在许多抖动源,它们可以产生比任何相当好的振荡器大得多的抖动。下面列出其中的一些这样的抖动源:

- ☐ 数字通信的地面线路的抖动,由通信线路中的集线器和分线器在插入脉冲信号和调节指向器[7.20~7.25]时产生;
- ☐ 由加性噪声引起的抖动(第 6 章);
- ☐ 自身噪声,码间干扰的一种形式[7.26,7.27];
- ☐ 在数据转发器链路中建立起来的抖动[7.28~7.33];
- ☐ 加性干扰(并行信道或邻近信道);串扰;
- ☐ 内部捡拾抖动,来自同一系统中的邻近电路,尤其是数字电路中的开关脉冲。

附录 7A 硬限幅器中的干扰分析

输入信号加干扰:

$$\begin{aligned}x(t)&=A\cos2\pi f_o t+B\cos2\pi(f_o+\Delta f)t\\&=A\cos2\pi f_o t+B[\cos2\pi f_o t\cos2\pi\Delta ft-\sin2\pi f_o t\sin2\pi\Delta ft]\\&=(A+B\cos2\pi\Delta ft)\cos2\pi f_o t-B\sin2\pi\Delta ft\sin2\pi f_o t\end{aligned}$$

这个式子被看成是合成的振幅与相位调制,硬限幅器完全消除了振幅调制而仅剩下相位调制:

$$\begin{aligned}\phi(t)&=\tan^{-1}\frac{B\sin2\pi\Delta ft}{A+B\cos2\pi\Delta ft}\\&\approx\frac{B}{A}\sin2\pi\Delta ft\quad(\text{如果 }B\ll A)\end{aligned}$$

把限幅器的输出表示为 $y(t)$：

$$y(t)=\cos[2\pi f_o t+\phi(t)]\approx\cos\left(2\pi f_o t+\frac{B}{A}\sin 2\pi\Delta f t\right)$$

$$=\cos 2\pi f_o t\cos\left(\frac{B}{A}\sin 2\pi\Delta f t\right)-\sin 2\pi f_o t\sin\left(\frac{B}{A}\sin 2\pi\Delta f t\right)$$

$$\approx\cos 2\pi f_o t-\sin 2\pi f_o t\left[2\sum_{n=1}^{\infty}J_{2n-1}\left(\frac{B}{A}\right)\sin 2\pi(2n-1)\Delta f t\right]$$

$$\approx\cos 2\pi f_o t-\frac{B}{A}\sin 2\pi f_o t\sin 2\pi\Delta f t$$

168

$$=\cos 2\pi f_o t+\frac{B}{2A}\cos 2\pi(f_o+\Delta f)t-\frac{B}{2A}\cos 2\pi(f_o-\Delta f)t$$

附录 7B 未跟踪相位噪声的积分

一个相位噪声的连续谱往往可以用 h_ν/f^ν 形式的各项之和来近似，比如式(7-7)，其中 $\nu=0$、1、2、3 或 4。其中的第 ν 项对积分未跟踪相位噪声的贡献可给出如下：

$$\sigma_\nu^2=h_\nu\int_0^\infty\frac{1}{f^\nu}\mid E(f)\mid^2\mathrm{d}f\quad\mathrm{rad}^2\tag{7B-1}$$

本附录列出了一个二阶 2 类 PLL 对于 $\nu=0\sim4$ 的这些积分。只要对 $\nu=1$ 和 $\nu=0$ 这两项增加一个高频截止特性，那么所有的积分对 2 类 PLL 都是收敛的。($\nu=4$ 这一项通常对于 PLL 是不成问题的；列在这里只是为了提供相应的信息。)

7B.1 积分步骤

我们在式(2-21)中使用了一个带有参数 K 和 ζ 的误差传递函数。对式(2-21)处理后可以得到

$$|E(f)|^2=\frac{(4\pi f\zeta)^4}{(8\pi f\zeta^2)^2(K^2+4\pi^2f^2)-2(4\pi Kf\zeta)^2+K^4}\tag{7B-2}$$

该表达式再乘以 h_ν/f^ν，并对每个 ν 使用计算机程序进行积分。$\nu=0$ 和 $\nu=1$ 的表达式需要一个高频截止特性，以使积分在上限处收敛。对这两项使用了两种不同的高频截止特性：在 $f=B$ Hz 处突然截止，或带有幅度平方的单极点滚降的频率响应 $1/(1+f^2/B^2)$。下面给出从两者得到的结果。

7B.2 积分结果

积分的详细过程是隐藏在程序内部的，所以下面只给出结果。

□ h_4/f^4 项：

$$\sigma_4^2=h_4\frac{16\pi^4\zeta^2}{K^3}\tag{7B-3}$$

□ h^3/f_3 项：

$$\sigma_3^2=\begin{cases}\dfrac{h^3}{K^2}\dfrac{2\pi^2\zeta[\pi-2\sin^{-1}(2\zeta^2-1)]}{\sqrt{1-\zeta^2}} & \zeta<1\\[2ex] \dfrac{h_3}{K^2}8\pi^2 & \zeta=1\\[2ex] \dfrac{h_3}{K^2}\dfrac{2\pi^2\zeta\ln[(2\zeta\sqrt{\zeta^2-1}+2\zeta^2-1)^2]}{\sqrt{\zeta^2-1}} & \zeta>1\end{cases}\tag{7B-4}$$

169

对于 $\sigma_3{}^2$ 已经找到了的两个简单的近似式；它们可以在数值计算中代替复杂的式(7B-4)。

□ 平方根近似式：

$$\sigma_3^2\approx\frac{8\pi^2h_3}{K^2}\sqrt{\zeta}\quad \text{rad}^2$$

□ 二次近似式：

$$\sigma_3^2\approx\frac{4\pi h_3}{K^2}(1+2\pi\zeta-\zeta^2)\quad \text{rad}^2$$

两个近似式在 $\zeta=1$ 处是准确的；二次近似式在 $\zeta=0.75$ 和 $\zeta=2$ 处也是准确的。当 $\zeta\geqslant0.7$ 时，平方根近似式的误差不超过±7.5%(0.3 dB)，而二次近似式的误差，当 $0.6<\zeta<2.25$ 时在±1%以内，当 $0.32<\zeta<3.2$ 时在±10%以内。在 $\zeta>3.2$ 之后，二次近似式的精度迅速变坏，而平方根近似式的精度随着 ζ 的增大会逐渐改善。

□ h_2/f^2 项：

$$\sigma_2^2=\frac{h_2\pi^2}{K},\text{与 }\zeta\text{ 无关}\tag{7B-5}$$

□ h_1/f 项($\zeta=1$，突然截止)：

$$\begin{aligned}\sigma_1^2&=\frac{h_1}{2}\frac{(16\pi^2B^2+K^2)\ln\left(\dfrac{16\pi^2B^2+K^2}{K^2}\right)-16\pi^2B^2}{16\pi^2B^2+K^2}\\&=\frac{h_1}{2}\left\{2\ln\left(\frac{4\pi B}{K}\right)+\ln\left[1+\left(\frac{K}{4\pi B}\right)\right]-\frac{1}{1+(K/4\pi B)^2}\right\}\\&\approx h_1\left[\ln\left(\frac{4\pi B}{K}\right)-1/2\right]\quad K\ll4\pi B\end{aligned}\tag{7B-6}$$

□ h_1/f 项($\zeta=1$，单极点滚降)：

$$\begin{aligned}\sigma_1^2&=h_1\frac{8\pi^2B^2\left[32\pi^2B^2\ln\left(\dfrac{4\pi B}{K}\right)-16\pi^2B^2+K^2\right]}{(16\pi^2B^2-K^2)^2}\\&=h_1\left[\frac{1}{1-(K/4\pi B)^2}\right]\left[\frac{1}{1-(K/4\pi B)^2}\ln\left(\frac{4\pi B}{K}\right)-1/2\right]\\&\approx h_1\left[\ln\left(\frac{4\pi B}{K}-1/2\right)\right]\quad K\ll4\pi B\end{aligned}\tag{7B-7}$$

□ h_0 项($\zeta=1$，突然截止)：

$$\begin{aligned}\sigma_0^2&=h_0\frac{4\pi B\left[2+3\left(\dfrac{K}{4\pi B}\right)^2\right]-3K\left[1+\left(\dfrac{K}{4\pi B}\right)^2\right]\tan^{-1}\left(\dfrac{4\pi B}{K}\right)}{8\pi\left[1+\left(\dfrac{K}{4\pi B}\right)^2\right]}\\&\approx h_0\frac{8\pi B-3K\pi/2}{8\pi}=h_0\left(B-\frac{3K}{16}\right)\quad K\ll4\pi B\end{aligned}$$

170

$$\approx h_0 B \quad K \ll 16B/3 \tag{7B-8}$$

□ h_0 项(单极点滚降)：

$$\sigma_0^2 = h_0 \frac{\pi^2 B^2 (8\pi B\zeta^2 + K)}{8\pi B\zeta^2 (2\pi B + K) + K^2} \tag{7B-9}$$

如果 $\zeta=1$：

$$\sigma_0^2 = h_0 \pi B \frac{1+\dfrac{K}{8\pi B}}{2+\dfrac{K}{\pi B}+\dfrac{1}{8}\left(\dfrac{K}{\pi B}\right)^2}$$

$$\approx \frac{h_0 \pi B}{2} \quad K \ll \pi B \tag{7B-10}$$

7B.3　讨论

式(7B-6)至式(7B-8)的结果只是针对 $\zeta=1$ 的情况，这是因为对于任意 ζ 的结果太复杂了，而且还加上显示的问题和难于理解的问题。由于 $\zeta\approx1$ 的阻尼经常使用，所以 $\zeta=1$ 的表达式应当是对许多 PLL 的很好的相近。为了式(7B-6)至式(7B-10)近似结果的合理性而使用的不等式将适用于大多数的实际情况。关于式(7B-8)和式(7B-10)中的近似结果，应该看到 B 是突然截止的低通滤波器的噪声带宽(B_N)，而 $\pi B/2$ 是单极点低通滤波器的噪声带宽。而且，突然截止和单极点滚降是低通滤波器的两个极端情况；几乎所有其他实际的低通滤波器的特性都在这两个极端值之间。从这些观察可以看出，由白相位噪声引起的积分未跟踪相位噪声的方差也许可以很好地用 $h_0 B_N$ 表示，而不必考虑低通滤波器的其他特性。

附录 7C　PLL 相位噪声的数值积分

本附录将说明如何用实验测得的或规范中指定的基带相位噪声谱的数据，来计算 PLL 的积分未跟踪相位噪声。所使用的模型是这样的一个 PLL，它有指定传递函数并在输入信号或它自己的 VCO 中存在相位噪声；无论是哪个相位噪声源，计算过程都是相同的。

171

7C.1　积分相位噪声的定义和应用

积分未跟踪相位噪声曾在式(7-17)中被定义为

$$\sigma_{\theta u}^2 = \int_0^\infty W_\phi(f)\,|E(f)|^2 \mathrm{d}f \quad \text{rad}^2 \tag{7C-1}$$

其中 $W_\phi(f)$ 为相位噪声源的单边谱密度，$E(f)$ 为 PLL 的误差响应函数。公式(7C-1)就是要用数值方法进行近似计算的这个积分。这里所描述的方法假设误差响应是由一个代数公式表示的，而相位噪声谱密度是以表格数据的形式提供的。

实际的系统一般有几个相位噪声源。对每个噪声源的贡献是可以分别计算的，其中的限制条件是系统对相位调制进行的操作都是线性的(比如线性滤波或按比例的乘

法和除法)以及所有的噪声源都是不相关的。总的积分相位方差可以容易地计算为每个独立噪声源所贡献的方差之和。所以,这里的处理只对一个噪声源进行。而且,由加性噪声引起的、由公式(6-19)、式(6-21)到式(6-23)或式(6-26)分别求值的相位方差也可以包含在这个和式中。这些对加性噪声的简单计算在这里不做更多的说明。最小可达到的总相位方差(在指定的相位噪声源、输入信号与噪声密度之比和 PLL 传递函数的约束之下)可以通过对 PLL 各参数的查找而求出。所有的计算都非常适合于电子表格。

7C.2 数据格式

基带谱数据既可以表示正确的相位噪声谱 $W_\phi(f)$,也可以表示被错误标记的谱 $\mathcal{L}(\Delta f)=W_\phi(f)/2$。事实上,相位噪声数据几乎总是以 $10\log[W_\phi(f)]$或 $10\log[\mathcal{L}(\Delta f)]=10\log[W_\phi(f)]-3$ dB 的 dB 形式给出的。对这两种情况都有相应的处理方法。所提供的输入数据是在离散频率点 f_i 上的有限个数据项,这些数据项就是噪声的谱密度,并被标记为 $D(f_i)=D_i$,其中 i 为频率的序号。数据 D_i 是 $10\log[W_\phi(f)]$或 $10\log[\mathcal{L}(\Delta f)]$,视数据最初使用的术语而定。

数据组中的最低频被标记为 f_a,数据组中的最高频被标记为 f_b。从厂家规范中得到的数据组也许只包含很少的几个数据点,而从相位噪声分析仪得到的数据组也许包含几千个数据。这些频率点并没有说是等间隔的;正好相反,这些频率点几乎总是不均匀间隔的。PLL 的误差响应是最容易给出:$Ed_i=10\log|E(f_i)|^2$ dB(d 为 dB 的简称);这些数值是针对计算中使用的每个频率点 f_i 而计算出的。 172

7C.3 数据调整

为了进行计算,往往需要对每一点上的谱密度数据进行调整,或者对数据组中的数据个数进行调整。

1. 频谱的调整

把已调整的谱数据记作 $Wd_i=D_i+A$,其中以 dB 为单位的 A 是要加到谱数据上的调整量;这个调整量对所有数据点都是相同的。A 可以有几个可能的组成部分:

- ☐ $A=0$,如果不需要调整;
- ☐ 给 A 加上 3 dB,如果 D_i 在提供时是标记为$\mathcal{L}(f)$而不是 $W(f)$;
- ☐ 给 A 加上(减去)$20\log(N)$ dB,如果相位噪声源是振荡器的第 N 次谐波(或 N 次次谐波),而振荡器的相位噪声规定为其基频的相位噪声;
- ☐ 给 A 加上 3 dB,如果系统有两个频谱相同、但互不相关的相位噪声源。这个情况经常出现在发送器和接收器中使用相似的本地振荡器的通信系统中。

2. 数据组的调整

其他一些调整将在下面几段中给出。式(7C-1)的积分区间在零和无穷大之间,但数据组都没有延伸到这两个极限位置。对于数值积分,我们必须确定可用的下限 f_3

和上限 f_h。因此，数据组中的数据个数也许要增加或删减。

□ 选择积分上限

在数据通信系统中，f_h 一般选择为符号速率的一半。如果 $f_h < f_b$，就只要简单地对数据组做恰当删减。如果 $f_h > f_b$，那就必须对数据组做延伸。一种保守的延伸方法就是简单地在频率 f_h 处增加一个谱数据 $D(f_h) = D(f_b)$，也就是做水平延伸。另一个延伸方法一般是比较积极的，即计算出 dB 谱在 f_b 处的斜率，然后以该斜率延伸到 f_h。上限频率的延伸往往会引起延伸区间内实际数据的相当大的不确定性。谨慎的做法是建立最好和最坏的两种情况，然后估算出不确定性的重心。

□ 积分下限的处理

数据组中的下限频率 f_a 总是大于零的，但把一个非零值用做积分下限是没有正当理由的。而且，所有振荡器都有 h_3/f_3 的相位噪声谱，而这个噪声谱在足够低的频率区内明显地超过了所有其他的谱分量。低频区的一个合理的处理方法是，把数值积分的下限设于频率 f_3，而在这个转角频率以下，h_3/f^3 噪声占优势。然后，用解析的方法，根据附录 7B 中的方法计算出 h_3/f^3，然后简单地再把它加到从 f^3 开始向上的频率区内所做的数值积分而得到的相位方差中。

173

如果转角频率 f_3 是在数据组中，那么 f_3 以下的频率被从数值积分中略去。如果在数据组的低频区内没有明显的 h_3/f^3 斜率，那么最保守的做法就是使 $f_3 = f_a$。如果 $Wd(f_3)$ 是已调整谱在 f_3 频率点的数据，那么用于解析积分的系数 h_3 的值可计算为

$$h_3 = f_3^3 \cdot 10^{Wd(f_3)/10} \tag{7C-2}$$

解析积分的下限是 $f=0$。为简单起见，解析积分似乎也可以积分到无穷大的上限，因为积分在 $f=\infty$处是收敛的，还因为在 f_3 以上频率区内由其他谱分量占优势。由于这些理由，解析积分向 f_3 以上区域的延伸，将不会对解析积分和数值积分的总和有很大的影响。

评注：一个频谱可有不止一个像 $1/f^3$ 那样的区域。只有从 $f=0$ 到 $f=f^3$ 的这个 $1/f^3$ 区域才被用于解析积分。任何在 f^3 以上的独立的 $1/f^3$ 区域，都是计入到其他谱分量的数值积分之中的。

□ 插值点

数据点的频率之间的距离有时太大，尤其是从简单规范中抽取出来的数据组。所以有必要对数据组插入一些数据点，以便使数值积分得到可接受的结果。插值密度的大小是由人为判断的，尚没有规定出硬性的规则。应当记住下面的要求：(1)数值积分在双对数图中显示为直线的频谱区域是非常精确的。那些相当弯曲的或斜率快速变化的区域应当填充较多的数据点。(2)靠近 $E(f)$ 高频转角频率的频谱区对积分相位噪声提供很大的贡献。(经高通滤波的相位噪声谱通常在滤波器转角频率附近有一个峰值。)你也可以在转角频率附近提供非常稠密的数据点。

7C.4 数据的滤波

滤波操作可以方便地把 Ed_i 加到已调整的 dB 谱中的每一个频率点 f_i 上的数据来

完成。该滤波操作可表示为

$$U_i = Wd_i + Ed_i = D_i + A + Ed_i \tag{7C-3}$$

7C.5 数值积分

如果提供的数据点充分密集，那么用双对数比例尺表示的数据曲线上每两点之间的数值则近乎为一条直线，如图 7C-1 那样。也就是，$U(f_i)=U_i$ 的曲线可以非常精确地近似为

174

$$U(f) \approx 10[r_i \log(f) + q_i] \tag{7C-4}$$

其中 r_i 为双对数斜率，q_i 为双对数近似式与 $f=f_i$ 的截距。

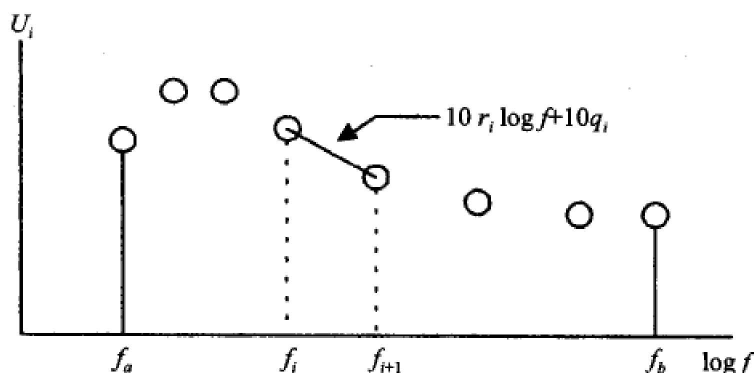


图 7C-1 已调整的数据的图示说明

积分必须在线性比例尺下进行，而不能用对数比例尺。为此，我们定义

$$V(f) = 10^{U(f)/10} \approx f^{r_i} \cdot 10^{q_i} \tag{7C-5}$$

因而，被积量 $V(f)$ 为 f 的一个幂函数。第 i 个区间内的积分为

$$\begin{aligned} I_i &= \int_{f_i}^{f_{i+1}} V(f)\mathrm{d}f \\ &\approx \frac{10^{q_i}}{1+r_i}(f_{i+1}^{r_i+1} - f_i^{r_i+1}) \quad r_i \neq -1 \\ &\approx 10^{q_i} \ln(10) \log \frac{f_{i+1}}{f_i} \quad r_i = -1 \end{aligned} \tag{7C-6}$$

第 i 个区间的斜率可近似为前向除法的差分

$$r_i \approx \frac{1}{10} \frac{U(f_{i+1}) - U(f_i)}{\log(f_{i+1}/f_i)} \tag{7C-7}$$

且有相应的与 $f=f_i$ 的截距

$$10^{q_i} \approx \frac{10^{U(f_i)/10}}{f_i^{r_i}} \tag{7C-8}$$

从 f_3 到 f_h 的总积分 I_N 是从 $f_i=f_3$ 到 f_{h-1} 的 I_i 之和。对于这个值还必须加上用解析法对 h_3/f_3 噪声求出的 I_3 的值，再加上加性噪声的值和其他相位噪声源的积分值。

附录 7D 相位噪声谱中离散谱线的积分

把单边单频率的相位调制表示为蔓叶线(cisoid)函数

175

$$\phi_d(t)=\frac{\beta}{\sqrt{2}}e^{j2\pi f_d t} \quad \text{rad} \tag{7D-1}$$

这个复数波形的傅里叶变换是一个位于 $f=f_d$ 处、面积为 $\beta/\sqrt{2}$ 的冲击函数。调制的强度为 $|\phi_d(t)|^2=\beta^2/2\ \text{rad}^2$，与一个实余弦波形的调制强度(实余弦波形有双边的傅里叶变换)相同。我们把式(7D-1)看做相位噪声分析仪中相位解调器的输出。把这个输出加到一个单边复数分析滤波器上，同时使滤波器的测量频率 f_m 在整个 $-\infty$ 到 ∞ 之间进行扫描。把这个滤波器的频率响应表示为 $Y(f-f_m)$。滤波器频率响应在 $(f-f_m)$ 处有单一峰值，而滤波器的旁瓣(skirts)特性是谱分析仪所需要的。我们假设扫描进行得足够慢，因而可以认为是准平稳的；也就是，测得的滤波器输出是未受到瞬态干扰的稳态值。滤波器的响应可用极坐标形式表示为

$$Y(f-f_m)=|Y(f-f_m)|e^{j\psi(f-f_m)} \tag{7D-2}$$

其中 ψ 为滤波器的相移。分析滤波器的带宽和形状被假设为对于所有的 f_m 都是一样的；只是分析滤波器的频率位置随 f_m 的扫描而改变。尤其是它的峰值响应 $|Y(0)|$ 和它的噪声带宽 B_N 都假设为与 f_m 无关。

如果把 $\phi_d(t)$ 用做该滤波器的输入，那么滤波器的输出为

$$x(t)=\frac{\beta}{\sqrt{2}}|Y(f_d-f_m)|e^{j[2\pi f_d t+\psi(f_d-f_m)]} \tag{7D-3}$$

在经过后面的平方律检测器和平滑滤波之后，分析仪的最后输出为

$$P_d(f_m)=|x(t)|^2=\frac{\beta^2}{2}|Y(f_d-f_m)|^2 \tag{7D-4}$$

对 $P_d(f_m)$ 在整个 f_m 上积分后，得到一个由 $\phi_d(t)$ 产生的积分相位噪声：

$$\begin{aligned}\int_{-\infty}^{\infty}P_d(f_d-f_m)\mathrm{d}f_m &= \frac{\beta^2}{2}\int_{-\infty}^{\infty}|Y(f_d-f_m)|^2\mathrm{d}f_m \\ &= \frac{\beta^2}{2}|Y(0)|^2B_N=\sigma_d^2|Y(0)|^2B_N\end{aligned} \tag{7D-5}$$

其中 $\sigma_d^2=\beta^2/2\ \text{rad}^2$ 为线谱对积分相位噪声的贡献，$|Y(0)|^2B_N$ 为分析仪的校准因子。

由连续谱 $W_\phi(f_m)$ 得到的相位噪声分析仪的读数曾在式(7-9)中找出为(对标记法做稍微调整以适合本附录的模型)

$$P_c(f_m)\approx W_\phi(f_m)|Y(0)|^2B_N \tag{7D-6}$$

以及它对所有频率的积分为

176

$$\int_{-\infty}^{\infty}P_c(f_m)\mathrm{d}f_m=|Y(0)|^2B_N\int_0^{\infty}W_\phi(f_m)\mathrm{d}f_m=\sigma_c^2|Y(0)|^2B_N \tag{7D-7}$$

其中 $\sigma_c^2\ \text{rad}^2$ 为连续相位噪声谱对积分相位噪声的贡献。

我们可以看出，式(7D-5)与式(7D-7)有相同的形式，即使用了相同的校准因子

$|Y(0)|^2B_N$。因此，虽然分析仪的频谱显示中的连续分量和离散分量的读数有不同的校准因子，但当对这些读数进行积分时，却使用了相同的校准因子。使用者在对测得的相位噪声进行积分时，不必考虑校准因子的问题；如果像通常那样，分析仪对离散谱分量和连续谱分量不做区分的话，那么分析仪就已经考虑到了校准因子的问题。

评注：(1)相位噪声分析仪所给出的结果是在一组离散频率点上的值，不像上面导出的那样是连续的。这样的数据组必须在 f_d 的邻域足够密集，以便能很好地确定 $|Y(f_d-f_m)|$ 的形状。(2)PLL 未跟踪相位噪声的积分必须乘以权函数因子 $|E(f)|^2$，这个因子在上面的公式中是被略去的。

附录 7E 定时抖动

7E.1 抖动的定义

我们来考虑这样一个振荡器，它的标称周期为 $T_o=1/f_o$，它的第 n 个周期应当在 $t=nT_o$ 时结束，但周期的结束因抖动而实际显示为 $t=t_n$ 的时刻。(例如，把一个周期的结束点设为振荡器电压的上升沿经过零点的时刻。)

1. 绝对抖动

Lee[7.19]用下面的序列定义绝对抖动

$$\{t_n-nT_o\} \tag{7E-1}$$

绝对相位抖动是这样的一个序列：$\{\phi_n=2\pi f_o(t_n-nT_o)\}$，这是在前面一直讨论的相位波动 $\phi(t)$ 的采样形式。绝对定时抖动的方差为

$$\sigma_A^2\approx\frac{1}{(2\pi f_o)^2}\int_0^\infty W_\phi(f)\mathrm{d}f \tag{7E-2}$$

评注：(1)Lee 证明了 $f_o/2$ 是积分的上限，因为严格地说，ϕ_n 是一个以 f_o 为采样率的离散序列值。式(7E-2)中无穷大的上限是一个方便的近似。(2)对 $W_\phi(f)$ 中的 h_1/f 和 h_0 谱分量的积分，如果积分上限为无穷大，就得到一个无穷大的方差。这两个分量需要有一个有界的上限；在没有任何其他上限可用时，选择 $f_o/2$ 看来是合理的。此外，相位噪声谱的测量很少把频率延伸到稍微超过 $f_o/2$ 的频率区域内，所以实际的谱在较高的频率区一般是未知的。(3)对 h_1/f、h_2/f^2、h_3/f^3 和 h_4/f^4 谱分量积分的贡献是无穷大的；所以，自由振荡器的绝对定时抖动的方差也是无穷大。

177

2. 周期抖动

Lee 用下面的序列定义周期抖动

$$\{J_n=t_{n+1}-t_n-T_o\} \tag{7E-3}$$

这个序列是绝对抖动的一次增量。在文献中使用的其他名称有“周期与周期之间的抖动”和“边沿与边沿之间的抖动”。在写这本书的时候(2003 年 10 月)，这个名词还没有一个标准的用语。周期抖动是像计算机这样的高速数字电路中的一大问题，因为电路中的定时容差是非常临界的。连续几个周期内的抖动可以用下面的序列定义

$$\{J_n(kT_o)=t_{n+k}-t_n-kT_o\} \tag{7E-4}$$

周期抖动的方差为

$$\sigma_J^2(kT_o)\approx\frac{1}{(\pi f_o)^2}\int_0^\infty \sin^2(\pi fkT_o)W_\phi(f)\mathrm{d}f \tag{7E-5}$$

式中已经通过差值($t_{n+k}-t_n$)把 $\sin^2$ 的因子插入到被积函数中,因而对 $W_\phi(f)$ 中的 h_2/f^2 谱分量提供了在 $f=0$ 处的收敛性。谱分量 h_3/f^3 和 h_4/f^4 在零频处的奇点仍对自由振荡器的周期抖动的方差提供了无穷大的贡献;$\sin^2$ 这个因子不足以抵消谱分量的奇点。h_1/f 和 h_0 的谱分量仍需要一个有界的积分上限,才可使积分有界。

等式(7E-5)曾用于对积分收敛的那些谱分量的计算,其结果如下:

□ 对于相位白噪声;积分上限$=f_o/2$:

$$\sigma_{J0}^2=\frac{h_0T_o}{4\pi^2} \tag{7E-6}$$

□ 对于 $1/f^2$ 相位噪声;积分上限$=\infty$:

$$\sigma_{J2}^2=\frac{h_2}{2f_o^2}|kT_o| \tag{7E-7}$$

上面的最后一个结果是经常被使用的,但只适用于 $1/f^2$ 相位噪声分量。对于由 $1/f$ 相位噪声分量引起的周期抖动,现在还没有简单的闭式表示法。

3. 另一个悖论

制造商的晶体振荡器手册中经常把抖动的规范写成几个皮秒的均方根值。根据推测,这个规范是指一个周期内(即 $k=1$)周期抖动的测量值。一般情况下,这个数据是这样用数字取样示波器来提取的,即从一个正向过零点触发一次水平扫描之后的第一个正向过零点的时间做统计分析而得出的。各种不同的测量装置和测量结果示于参考文献[7.34]中。

从一个正确运转的高品质振荡器上所测得的抖动总是非常小的,但积分式(7E-5)由于 h_3/f^3 谱分量的无处不在而变为无穷大。为什么理论与实践差别这么大?有一个解释是与前面 7.5.6 节中提出的 1 类 PLL 不能跟踪相位噪声中 h_3/f^3 谱分量的说法相同的。简单地说:h_3/f^3 谱分量是在时域中缓慢变化的,所以它对一个任意小的时间区间内测得的抖动是非常小的。相反地,如果测量在一段很长的时间内进行,那么所测得的抖动应当增加,但这个简单的理论(基于假想的平稳性)并不能用来处理非平稳行为。

178

7E.2 PLL 中的抖动

找出 PLL 中的积分定时抖动的方法与找出积分相位噪声的式(7-17)方法相同。也就是,把 $|E(f)|^2$ 作为一个因子插入到关于绝对抖动的式(7E-2)的积分中:

$$\sigma_A^2\approx\frac{1}{(2\pi f_o)^2}\int_0^\infty |E(f)^2|W_\phi(f)\mathrm{d}f \tag{7E-8}$$

或者插入到关于已锁定 PLL 的周期抖动的式(7E-5)中:

$$\sigma_{\mathrm{J}}^{2}(kT_{\mathrm{o}}) \approx \frac{1}{(\pi f_{\mathrm{o}})^{2}} \int_{0}^{\infty} |E(f)|^{2} \sin^{2}(\pi f k T_{\mathrm{o}}) W_{\phi}(f) \mathrm{d} f \tag{7E-9}$$

可以看出,关于绝对定时抖动的式(7E-8)与关于未跟踪相位抖动的式(7-17)表达式相同,仅有的不同点是表达式(7E-8)要除以$(2\pi f_{\mathrm{o}})^2$,以把相位方差转变为时间方差。附录 7B 中列出了式(7-17)对于二阶 2 类 PLL 中相位噪声的 h_v/f^v 谱分量的计算;用$(2\pi f_{\mathrm{o}})^2$ 去除这些结果后,就找出了绝对定时抖动,再把 $B=f_{\mathrm{o}}/2$ 代入关于 h_0 和 h_1/f 噪声分量的表达式。环路增益为 K rad/s 的一阶 PLL 的绝对抖动(以 s^2 为单位)可表示为:

☐ h_0 项,上限$=f_{\mathrm{o}}/2$:

$$\sigma_{\mathrm{A0}}^{2}=\frac{h_{0} T_{\mathrm{o}}}{8 \pi^{2}}\left(1-\frac{K}{\pi f_{\mathrm{o}}} \tan^{-1} \frac{\pi f_{\mathrm{o}}}{K}\right) \approx \frac{h_{0} T_{\mathrm{o}}}{8 \pi^{2}}\left(1-\frac{K}{2 f_{\mathrm{o}}}\right) \approx \frac{h_{0} T_{\mathrm{o}}}{8 \pi^{2}} \tag{7E-10}$$

☐ h_1/f 项,上限$=f_{\mathrm{o}}/2$:

$$\sigma_{\mathrm{A1}}^{2}=\frac{h_{1}}{8 \pi^{2} f_{\mathrm{o}}^{2}} \ln\left[1+\left(\frac{\pi f_{\mathrm{o}}}{K}\right)^{2}\right] \tag{7E-11}$$

179

☐ h_2/f^2 项,上限$=\infty$:

$$\sigma_{\mathrm{A2}}^{2}=\frac{h_{2}}{4 f_{\mathrm{o}}^{2} K} \tag{7E-12}$$

☐ h_3/f^3 项:

$$\sigma_{\mathrm{A3}}^{2}=\infty \tag{7E-13}$$

得出式(7E-13)的结果是因为一阶 PLL 的$|E(f)|^2$ 并不能恰当抵消 h_3/f^3 的零频奇点。这个发现完全等同于前面关于一阶 PLL 在 h_3/f^3 相位噪声影响下的积分未跟踪相位抖动为无穷大的发现,而且受到与 7.5.6 节中相同的质疑。

把$|E(f)|^2$ 的表达式代入一阶或二阶的 2 类 PLL 之后,得到了一个没有简单求值方法的积分形式。Lee[7.19]报告说,在受到 h_2/f^2 相位噪声影响的一阶 PLL 的周期抖动为

$$\begin{aligned} \sigma_{\mathrm{J2}}^{2} &= 2\sigma_{\mathrm{A2}}^{2}(1-\mathrm{e}^{-K|kT_{\mathrm{o}}|}) \\ &\approx 2\sigma_{\mathrm{A2}}^{2} K|kT_{\mathrm{o}}| \qquad |kT_{\mathrm{o}}| \ll 1/K \\ &\approx 2\sigma_{\mathrm{A2}}^{2} \qquad |kT_{\mathrm{o}}| \gg 1/K \end{aligned} \tag{7E-14}$$

他还发现,受到 h_2/f^2 相位噪声干扰的二阶 2 类 PLL 的周期抖动有相似的行为,虽然这个行为多少要复杂一些。

我们注意到,式(7E-9)中的 $\sin^2$ 因子在 $f=0$ 处插入了两个零点,而$|E(f)|^2$ 因子至少再插入两个零点,甚至是 1 类 PLL 时也是如此。权函数中的这些至少四个零点是足以抵消 h_3/f^3 和 h_4/f^4 相位噪声中的所有奇点,因而式(7E-9)的积分应当对所有 PLL 和所有相位噪声的谱分量在 $f=0$ 处都是收敛的。至此,我们对前面提出的那个矛盾的论点提出了一个推论;现有的理论预测出 1 类 PLL 的绝对定时抖动是无穷大的,但它的周期抖动却是有限的。

参考文献

7.1 V. F. Kroupa, ed., *Frequency Stability: Fundamentals and Measurement*, Reprint Volume, IEEE Press, New York, 1983.

7.2 A. Demir, "Phase Noise and Timing Jitter in Oscillators with Colored-Noise Sources," *IEEE Trans. Circuits Syst. I* ***49***, 1782–1791, Dec. 2002.

7.3 D. Ham and A. Hajimiri, "Virtual Damping and Einstein Relation in Oscillators," *IEEE J. Solid-State Circuits* ***38***, 407–418, Mar. 2003.

7.4 L. S. Cutler and C. L. Searle, "Some Aspects of the Theory and Measurement of Frequency Fluctuations in Frequency Standards," *Proc. IEEE* ***54***, 136–154, Feb. 1966. Reprinted in [7.1].

180 7.5 D. W. Allan, J. H. Shoaf, and D. Halford, "Statistics of Time and Frequency Data Analysis," in B. E. Blair, ed., *Time and Frequency: Theory and Fundamentals*, Natl. Bur. Std. Monogr. 140, U.S. Department of Commerce, Washington, DC, 1974, Chap 8.

7.6 J. A. Barnes et al., "Characterization of Frequency Stability," *IEEE Trans. Instrum. Meas.* ***IM-20***, 105–120, May 1971. Reprinted in [7.1].

7.7 W. R. Attkinson, L. Fey, and J. Newman, "Spectrum Analysis of Extremely Low Frequency Variations of Quartz Oscillators," *Proc. IEEE* ***51***, 379, Feb. 1963. Reprinted in [7.1].

7.8 G. W. Wornell, "Wavelet-Based Representations for the $1/f$ Family of Fractal Processes," *Proc. IEEE* ***81***, 1428–1450, Oct. 1993.

7.9 G. W. Wornell, *Signal Processing with Fractals: A Wavelet-Based Approach*, Prentice Hall, Upper Saddle River, NJ, 1996.

7.10 P. Flandrin, "On the Spectrum of Fractional Brownian Motion," *IEEE Trans. Inf. Theory* ***IT-35***, 197–199, Jan. 1989.

7.11 W. B. Davenport and W. L. Root, *An Introduction to the Theory of Random Signals and Noise*, McGraw-Hill, New York, 1958, Secs. 6-4 and 8-5.

7.12 J. Salz, "Coherent Lightwave Communication," *AT&T Tech. J.* ***64***, 2153–2209, Dec. 1985.

7.13 J. R. Barry and E. A. Lee, "Performance of Coherent Optical Receivers," *Proc. IEEE* ***78***, 1369–1394, Aug. 1990.

7.14 A. Demir, A. Mehrotra, and J. Roychowdhury, "Phase Noise in Oscillators: A Unifying Theory and Numerical Methods for Characterization," *IEEE Trans. Circuits Syst. I* ***47***, 655–674, May 2000.

7.15 A. Mehrotra, "Noise Analysis of Phase-Locked Loops," *IEEE Trans. Circuits Syst. I* ***49***, 1309–1316, Sept. 2002.

7.16 R. M. Gray and R. C. Tausworthe, "Frequency-Counted Measurements and Phase Locking to Noisy Oscillators," *IEEE Trans. Commun.* ***COM-19***, 21–30, Feb. 1971.

7.17 F. M. Gardner, *Phaselock Techniques*, 2nd ed., Wiley, New York, 1979, p. 104.

7.18 W. F. Egan, *Phase-Lock Basics*, Wiley, New York, 1998, Sec. 11.5.

7.19 D. C. Lee, "Analysis of Jitter in Phase-Locked Loops," *IEEE Trans. Circuits Syst. II* ***49***, 704–711, Nov. 2002.

7.20 D. L. Duttweiler, "Waiting Time Jitter," *Bell Syst. Tech. J.* ***51***, 165–208, Jan. 1972.

7.21 D. Choi, "Waiting Time Jitter Reduction," *IEEE Trans. Commun.* ***37***, 1231–1236, Nov. 1989.

7.22 H. Sari and G. Karam, "Cancellation of Pointer Adjustment Jitter in SDH Networks," *IEEE Trans. Commun.* ***42***, 3200–3207, Dec. 1994.

7.23 K. Murakami, "Jitter in Synchronous Residual Time Stamp," *IEEE Trans. Commun.* ***44***, 742–748, June 1996.

7.24 K.Murakami, "Waveform Analysis of Jitter in SRTs Using Continued Fractions," *IEEE Trans. Commun.* ***46***, 819–825, June 1998.

7.25 S. Bregni, *Synchronization of Digital Telecommunications Networks*, Wiley, Chichester, West Sussex, England, 2002, Chap. 3.

7.26 L. E. Franks and J. P. Bubrouski, "Statistical Properties of Timing Jitter in a PAM Timing Recovery Scheme," *IEEE Trans. Commun.* ***22***, 913–920, July 1974. [181]

7.27 F. M. Gardner, "Self-Noise in Synchronizers," *IEEE Trans. Commun.* ***28***, 1159–1163, Aug. 1980.

7.28 C. J. Byrne, B. J. Karafin, and D. B. Robinson, "Systematic Jitter in a Chain of Digital Regenerators," *Bell Syst. Tech. J.* ***42***, 2679–2714, Nov. 1963.

7.29 U. Mengali and G. Pirani, "Jitter Accumulation in PAM Systems," *IEEE Trans. Commun.* ***28***, 1172–1183, Aug. 1980.

7.30 Y. Takasaki, *Digital Transmission Design and Jitter Analysis*, Artech House, Norwood, MA, 1991.

7.31 P. R. Trischitta and E. L. Varma, *Jitter in Digital Transmission Systems*, Artech House, Norwood, MA, 1989.

7.32 H. Meyr, L. Popken, and H. R. Mueller, "Synchronization Failures in a Chain of PLL Synchronizers," *IEEE Trans. Commun.* ***34***, 436–445, May 1986.

7.33 M. Moeneclaey, S. Starzak, and H. Meyr, "Cycle Slips in Synchronizers Subject to Smooth Narrow-Band Loop Noise," *IEEE Trans. Commun.* ***COM-36***, 867–874, July 1988. [182]

7.34 J. A. McNeil, "Jitter in Ring Oscillators," *IEEE J. Solid-State Circuits* ***32***, 870–879, June 1997.



第 8 章　锁相捕获

在前 7 章中，我们都假定环路已经锁定。但是，环路在开始时是非锁定的，而且必须依靠它自己的能力或依靠辅助电路把环路带入锁定。把环路带入锁定的过程叫做捕获(acquisition)，是本章的主要论题。

8.1　主要特点

如果环路是自己捕获锁定的，那么这个过程叫自捕获；如果是由辅助电路帮助捕获的，这个过程就叫辅助捕获。自捕获也许是一个又慢又不可靠的过程。虽然 PLL 是一个极好的跟踪器件，但在捕获时却显得笨手笨脚的。因此，通常要使用捕获辅助电路，而且经常会发现在典型的 PLL 中，捕获辅助电路要占据总电路的一半。

一个 n 类 PLL 包含 n 个积分器。每一个积分器可以像 VCO 中的积分器或数字积分器那样是完美的；也可以像模拟积分器那样是不完美的。每个积分器都与一个环路状态变量相联系，如相位、频率、频率变化率等。为了把环路带入锁定，就必须把每一个这样的状态变量(即每一个积分器)设置得与输入信号的相应状态接近一致。因此，当设计一个 n 类环路时，设计者必须计划好相位捕获、频率捕获等总共 n 个捕获形式。

183

其中的频率捕获受到最多的关注，但其他状态变量也是重要的，有时也是关键的。捕获是一种固有的非线性现象；由于线性近似不能提供简单的帮助，所以通常使用非线性的分析方法。

8.2　相位捕获

相位通常是自捕获的。对相位捕获的研究可以使我们更好地理解整个捕获问题，而且给我们提供关于辅助相位捕获的指导与帮助。

8.2.1　一阶环路

从分析一阶环路开始是有指导意义的。为了展示性能，我们将推导环路的非线性微分方程，然后考察方程的含义。令 ω_i 为 PLL 的输入频率(假设为恒定的)，而且令 ω_o 为 VCO 的自由振荡频率，所以 VCO 的瞬时频率为 $\omega_o + K_o v_d$。电压 $v_d = K_d \sin\theta_e$ 是检相器输出的误差电压，并直接加到 VCO 而不经过中间滤波。我们假设检相器有正弦

形的 s 曲线；用其他形状的 s 曲线会得到多少有些不同的结果。

输入相位是 $\omega_i t$，振荡器的相位是

$$\begin{aligned}\theta_o(t) &= \omega_o t + \int_0^t K_o v_d(\tau)\mathrm{d}\tau + \theta_o(0) \\ &= \omega_o t + \int_0^t K_o K_d \sin\theta_e(\tau)\mathrm{d}\tau + \theta_o(0)\end{aligned} \tag{8-1}$$

其中环路增益为 $K_o K_d = K$，以 rad/s 为单位；而相位误差 θ_e 为

$$\theta_e = \theta_i - \theta_o = (\omega_i - \omega_o)t - \int_0^t K\sin\theta_e(\tau)\mathrm{d}\tau - \theta_o(0) \tag{8-2}$$

令 $\Delta\omega = \omega_i - \omega_o$，并对式(8-2)微分后得到

$$\frac{\mathrm{d}\theta_e(t)}{\mathrm{d}t} = \Delta\omega - K\sin\theta_e(t) \tag{8-3}$$

这是一阶锁相环的非线性微分方程。根据定义，如果环路处于锁相平衡状态，那么 $\mathrm{d}\theta_e/\mathrm{d}t$ 为零。但反过来也正确吗？也就是，如果 $\mathrm{d}\theta_e/\mathrm{d}t=0$，那么环路一定是正确锁定的吗？这个问题将在下面讨论。

在往下叙述之前，应当注意保持极限(见 5.2.2 节)可以直接从式(8-3)中得到；如果 $\mathrm{d}\theta_e/\mathrm{d}t=0$，那么 $\sin\theta_e = \Delta\omega/K$。因为 $\sin\theta_e$ 不能大于 1，所以仅当 $|\Delta\omega|<K$ 时环路才可锁定。

现在继续讨论正确锁定的问题，可以把式(8-3)的左右两侧同除以 K，然后画出式(8-3)的归一化图，如图 8-1 所示。(这里的分析使用了与 Viterbi[8.1,8.2] 相似的方法。图 8-1 是一个退化的相平面图。)从图中可以看出，如果 $|\Delta\omega|<K$，那么在每个 2π 的区间内都存在两个点(null，平衡点)，在这样的点上 $\mathrm{d}\theta_e/\mathrm{d}t$ 趋于零。也就是，平衡点上的输入信号与 VCO 之间的频率差为零。 184

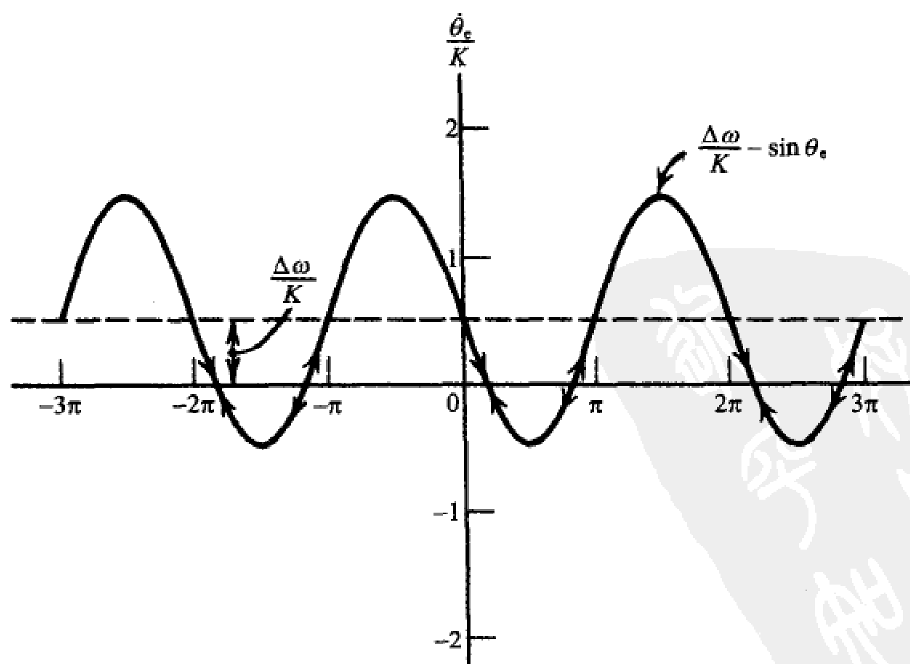


图 8-1 一阶 PLL 的相平面图($\Delta\omega/K=0.5$)

相邻两个平衡点的斜率是相反的。为了分析环路的特性,我们假设位于其中一个平衡点上的工作点稍有偏离。如果平衡点上的斜率为负,那么 $d\theta_e/dt$ 的符号将把 θ_e 拉回到这个平衡点。(举个例子,如果相位稍微偏向负斜率平衡点的左侧,那么 $d\theta_e/dt$ 的符号为正,因而 θ_e 必然增加,即移向这个平衡点。)反过来,如果从正斜率平衡点处稍有偏离,那么环路就被驱使离开这个平衡点。这样,负斜率的平衡点是稳定的,而正斜率的平衡点是不稳定的。图 8-1 中的箭头示出了相位变化的方向。

在锁定之前,$d\theta_e/dt$ 非零,这表示 θ_e 必须单调变化(增加或减少)。由于这个原因,θ_e 的最终值必然为其中的一个稳定平衡点(前提是 $|\Delta\omega|<K$)。当 θ_e 到达一个稳定平衡点时,环路就锁定,θ_e 即停留在这个固定的静态误差上。因为每一个周期内都有一个稳定的平衡点,所以 θ_e 在锁定之前的改变量不可能大于一个周期。因此,在锁定过程中就不会出现周期滑步。达到平衡点所需要的时间取决于初始的相位和频率值,但作为一个粗略的经验公式,这个时间应当在 $(3/K)$s 的数量级。

可以通过对微分方程(8-3)作积分求得准确达到稳态的时间[8.3]。(准确的闭式积分对于一阶环路是存在的,但对于二阶或高阶是不存在的。)一些相位瞬态过程的实例示于图 8-2 中,其中 $\Delta\omega=0$,$\theta_e(0)$ 取若干个值。如果 θ_e 很小,那么环路的操作几乎是线性的,相位误差的波形差不多是时间常数为 $1/K$ 的指数曲线。如果 θ_e 很大,那么其波形将完全不同于简单的指数形,而且稳定时间要大于指数曲线的时间。

185

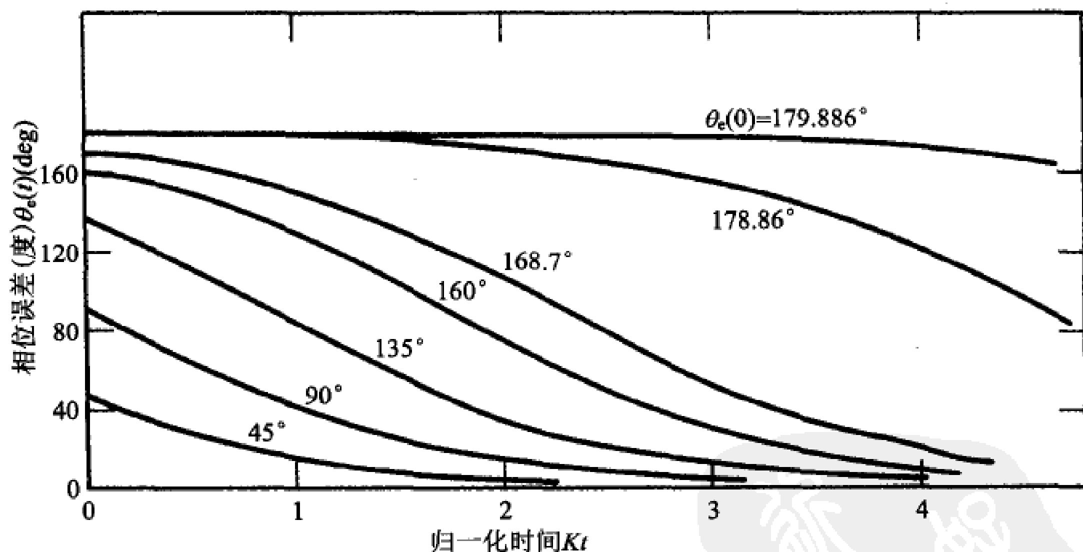


图 8-2 一阶 PLL 的瞬态相位误差,解释了挂停现象

8.2.2 挂停

如果初始相位误差非常接近一个不稳定平衡点,那么相位误差可以长时间地停留在这个平衡点附近,如图 8-2 中最上面的两条曲线。这种停留的现象叫做挂停效应[8.4](hang-up effect),这对于要求高可靠地快速捕获的应用是极其糟糕的事。图 8-2 中示出了无噪声下一阶环路的挂停现象,其中环路是零频率误差的,并使用了正弦

形的检相器。改变任何一个条件或改变所有的条件都不能消除挂停，这确实与直觉的想法不同。而且，环路中的噪声或其他扰动会使挂停变得更加严重；二阶或高阶环路同样有挂停的问题；使用延伸的检相器特性（比如锯齿形）可以减轻挂停，但未必能完全消除；使频率发生一些偏移只能改变不稳定平衡点的位置，如图 8-1 所示。现在已知有一个无挂停的检相器，即第 10 章中的相频检测器（FPD）。所有引起挂停的原因、挂停的统计特性和一些消除挂停的建议在参考文献[8.4]、[8.5]、[8.6，第 4 章]和[8.7]中给出。

8.2.3 锁入

如果信号频率足够接近 VCO 的频率，那么 PLL 只要经历一个相位瞬态过程即可锁定；在锁定之前不发生任何周期滑步。环路能无滑步地捕获相位的频率范围叫做 PLL 的锁入范围（lock-in range）。一阶环路的锁入范围等于保持范围；环路可以对任何在保持范围内的信号完成自捕获。但对 2 类或高类环路则不是这样；这些环路锁入范围永远小于保持范围。而且还存在一个比保持范围小、比锁定范围大的频率区间，在这个区间内，环路会经历短暂的周期滑步之后才可捕获锁定。这个中间的区间叫做拉入范围，将在 8.3 节讨论。 186

锁入范围，即 PLL 相位自捕获的范围，是本节的主题。大家熟悉的二阶 2 类 PLL 中的比例加积分环路滤波器有一个极点（在 $s=0$）和一个零点（在 $s=-1/\tau_2$）。滤波器的幅度响应在高频区有水平的渐近线，见图 8-3。我们把滤波器的高频渐近线响应表示为 $F(\infty)$。在高频区，这个环路与增益 $K=K_dK_o|F(\infty)|$ 的一阶环路是无法区分的。作为一个中等精度的近似，2 类环路的锁入范围与相同增益 K 的一阶环路相同。

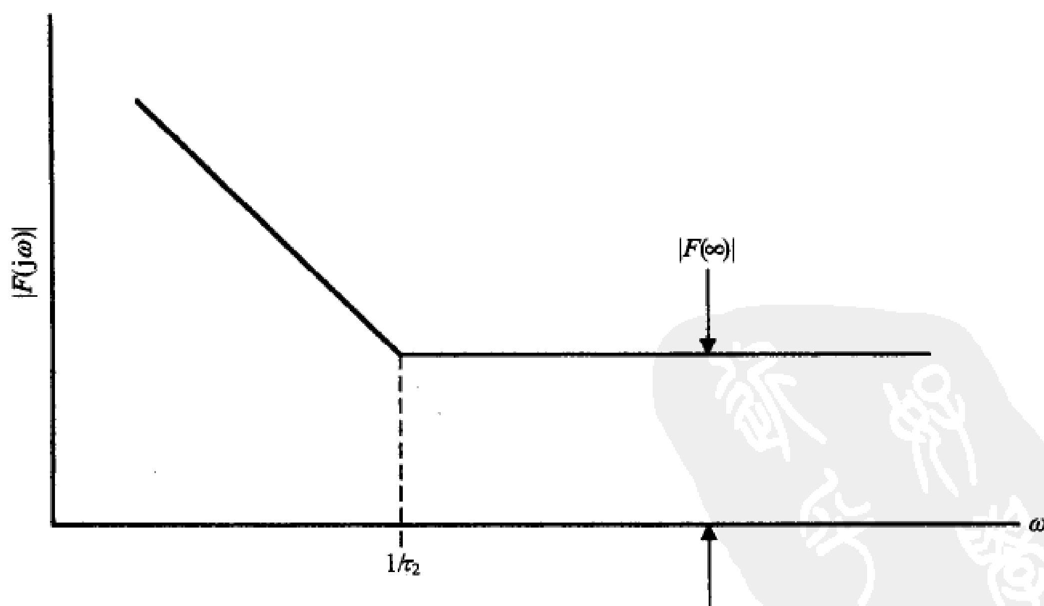


图 8-3 比例加积分的环路滤波器的幅度响应

一阶环路的锁入极限等于 K。这里推荐的一个观点是，这个极限

$$|\Delta\omega_L| = K \tag{8-4}$$

对于高阶和高类 PLL 的锁入范围也是一个很有用的工程近似，虽然粗糙了些。锁入极限式(8-4)是在假设正弦形检相器的条件下得出的。延伸的 PD 特性(如图 5-13 所示)可以有较宽的延伸的锁定极限。

上面这个关于 PLL 锁入范围近似表达的论点是对 PLL 真实特性的一个简化。对高阶或高类 PLL，仅根据初始频率误差是不可能确定环路在锁定前是否会有周期滑步的；必须对所有的初始状态变量进行考察。对于二阶 2 类环路，这些变量就是频率和相位；对它们的研究可以借助相平面图。

187

在查看相平面图(比如，图 5-14)时，我们可以立即看出关于锁入的整个概念是过分简化了的。如果初始状态落在两条分隔线之间，那么二阶环路可以无滑步地锁定。因为分隔线是一个弯曲的边界，所以不存在一个方便的方法来准确地确定唯一的锁入频率。你可以随意地规定一个正的分隔线的纵坐标平均值作为锁入频率；或者，规定为 $\theta_e=0$ 或 $\theta_e=-180°$处的分隔线纵坐标值。考察图 5-14 或参考文献[8.1]中更多组的相平面图，可以得到这样的启示，即式(8-4)是锁入范围的一个保守估算。尽管锁入范围实际上是很模糊的，但仍是工程计算中的有用概念，并且对后面的分析也是有用的。

8.2.4　辅助相位捕获

如果不出现挂停现象，那么只要检相器具有常用的特性(比如，图 5-13)，相位一般都是自捕获的。但也存在一些信号类型，使检相器变成只有很窄的作用区；在相位误差范围的大部分区间上 s 曲线为零。其中的一个例子示于图 8-4 中。伪随机噪声(PRN)信号就是一种使 PD 变成这种特性的信号[8.9]；门控脉冲串也是这样的一种信号。用于后者的检相器可以是一个雷达测距选通电路。

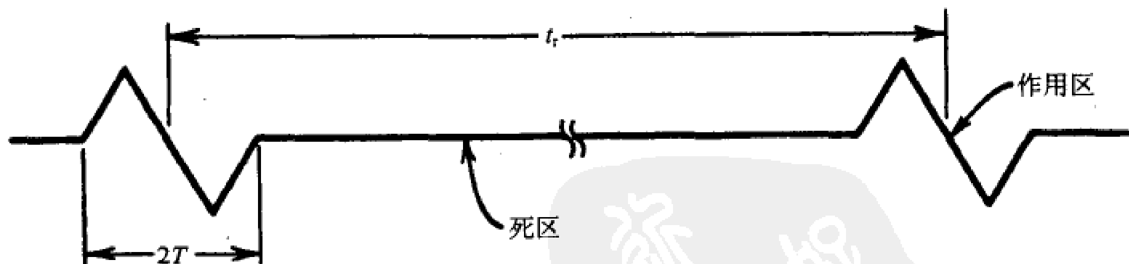


图 8-4　对于窄脉冲或 PRN 信号的检相器 s 曲线

对于这样的环路，仅当初始相位误差落在 PD 作用区内时才能捕获相位。如果初始误差位于 PD 特性的死区，环路得不到任何误差信息，所以捕获的实现只有靠无目标的相位漂移。如果 PRN 码很长或者脉冲的填充率很低，那么捕获的可能性会很低。为了捕获到信号，环路必须对所有的相位误差进行搜索。当找到 PD 作用区的时候，就认为环路已经锁定，使搜索停止。相位搜索的应用即构成了辅助相位捕获。

连续的相位扫描与 VCO 的频率偏移起到一样的作用，是实现相位搜索的常用方法。如果相位变化率（频率偏移）太大，搜索就会不停顿地快速扫过作用区而进入下一个死区。如果要捕获成功，就必须有一个不可超过的扫描速率的限制。对二阶 2 类环路捕获的分析是用相平面图完成的。Gilchriest[8.10] 研究了 PRN 信号，Gardner（未发表）考察了门控脉冲串。 188

对于图 8-4 中的这类 PD 特性以及 0.75 或更大的阻尼因子，他们发现最大的相位速率为

$$\Delta f \approx B_L \delta \tag{8-5}$$

其中 B_L 为第 6 章中定义的噪声带宽，δ 为脉冲序列的填充率或 PRN 信号的芯片代码周期比率(chip/code-period ratio)。如预期的那样，改变 PD 的形状会极大地影响可允许的相位扫描速率。而且，较小的阻尼使允许的速率变小。

8.3 频率捕获

频率捕获通常比相位捕获更困难、更慢，而且要有比相位捕获更大的设计投入。因此，这方面的文献主要集中在频率捕获上，以至于“捕获”几乎是“频率捕获”的同义词。而且，频率捕获的研究一直主要集中在二阶 2 类环路，部分原因是它在技术上的重要性，但也因为分析高类环路的难度更大。本节中的讨论主要集中在二阶 2 类环路。

频率的自捕获叫做频率拉入(frequency pull-in)，或简单地称为拉入。拉入是慢速的，往往还不可靠，所以设计出了几种辅助频率捕获的技术，包括频率扫描、鉴频器和频带扩展等方法。

8.3.1 频率拉入

拉入过程，尤其在带宽非常窄的环路中，观察起来是十分有趣的。当信号开始加上时，环路没有锁定，只有一个频率为 $\Delta\omega=\omega_i-\omega_o$ 的拍音出现在 PD 的输出端，其中 ω_i 是输入信号的频率，ω_o 是 VCO 的频率。拍音的频率会缓慢下降，即 VCO 的频率缓慢地接近信号频率，最后达到锁定极限，于是环路不再周期滑步而立即锁定。

1. 拉入行为的描述

拉入行为可以这样理解，即虽然拍音的振幅被环路滤波器减小了，但却没有被完全抑制。一个被环路滤波器衰减了的、峰值振幅等于 $K_d|F(j\Delta\omega)|$ 的拍音被加到 VCO 的控制端，使 VCO 受到拍频的频率调制。（在整个这个分析中，都假设 PD 是一个正弦形 s 曲线的乘法器，而且环路滤波器在高频区有图 8-3 那样的恒定响应。）因此，PD 的输出是一个正弦波与一个频率调制波通过乘法器而生成的低频输出。由于调制频率等于拍频，所以拍音的波形不可能是正弦波。 189

Richman[8.3]通过对环路微分方程式(8-3)进行积分而推导出了一阶环路的拍音波形。描述波形的显式表达式很复杂，而且也不能提供对于频率拉入的更多理解。但一个如图 8-5 那样的波形是非常说明问题的：图中拍音的非正弦特点非常明显，而且极其重要的是，波形的正负面积明显不等，因此，检相器输出必定包含一个 DC 成分，甚至到获得锁定之前都是如此。正因为这个 DC 成分的存在，才会有频率拉入的发生。

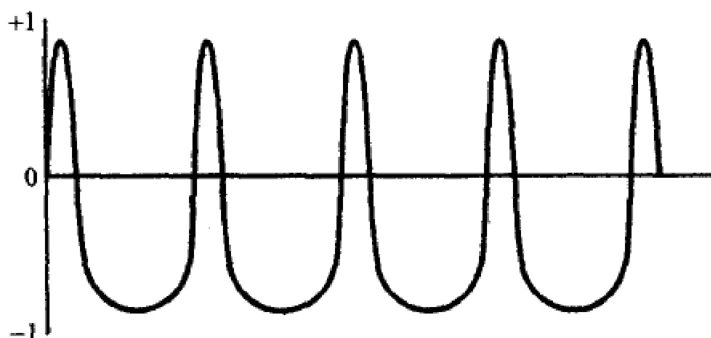


图 8-5　一阶 PLL 的典型拍音波形，$\Delta\omega/K=1.10$

一旦认识到了 DC 成分的存在，关于它存在的另一个解释可以帮助我们更好地理解拉入过程；这就是，拍音的频率调制了 VCO。这个调制产生 VCO 输出中的频率为 $\omega_k=\omega_o+k\Delta\omega$ 的 FM 边带，其中 k 取一切整数值。已调制的 VCO 输出在检相器中再与频率为 ω_i 的正弦波输入相乘。

检相器输出的差值信号包含了所有频率为 $\omega_i-\omega_k=\omega_i-\omega_o-k\Delta\omega=(1-k)\Delta\omega$ 的各个信号。对应于 $k=1$ 的各个信号的频率为零；也就是，$k=1$ 对应于 DC 分量。相应的频谱示于图 8-6。

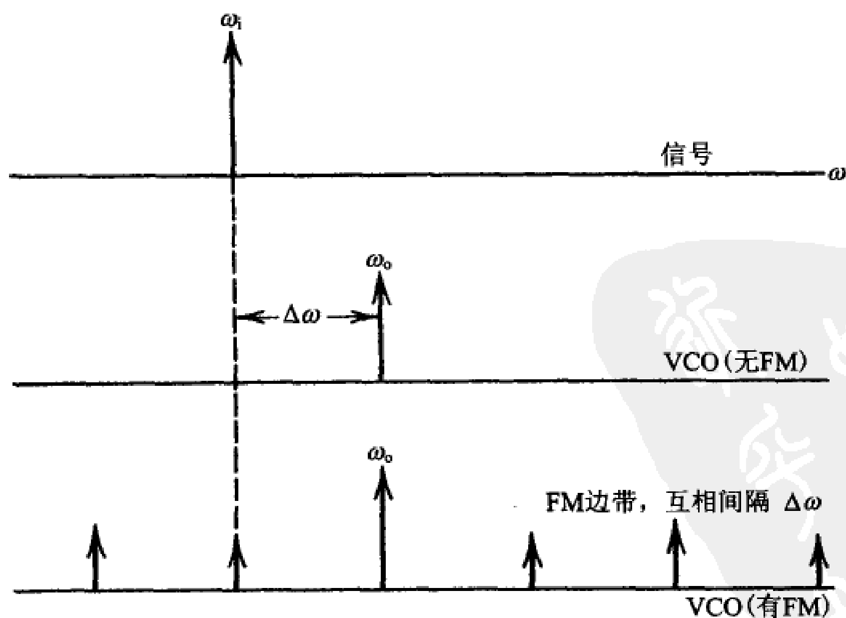


图 8-6　信号和 VCO 的频谱，表示拉入过程

我们把这个 DC 分量叫做拉入电压，并用符号 v_p 表示。对于一阶环路，这个 DC 分量并没有那么大的作用；如果初始频率差超过了锁入频率，那么这个 DC 分量的幅度就不足以使环路拉入锁定。不过，环路的平均频率差被减小了；对于一阶环路来说，即使不能达到锁定，也会拉向锁定的方向。

2 类环路在环路滤波器中有一个积分器。作为对 DC 输入的响应，积分器建立一个不断增长的输出电压。随着积分器输出的建立，VCO 频率会向锁定方向调整。如果初始频率差不是太大，那么环路将最终进入锁定。

2. 拉入的分析

拉入时间和拉入极限的近似公式可以按照 Richman[8.3]提出的方法来导出。

我们把环路表示成图 8-7 那样。从 PD 到 VCO 有一条高频通路，其增益是平坦的，为 $|F(\infty)|=\tau_2/\tau_1$，而低频通路中包含了一个积分器。我们把这个积分器看作是完美的。检相器的输出包括一个 AC 拍音和 DC 拉入电压 v_p。为便于分析，假设 AC 分量只经过高频通路，而完全被积分器通路所抑制。（对于足够高的拍频是不需这个假设的。）同样，假设 DC 拉入电压主要经过积分器，只有可忽略的一小部分通过高频通路。当拍频周期明显地大于时间常数 τ_2 时，这个近似是很精确的。

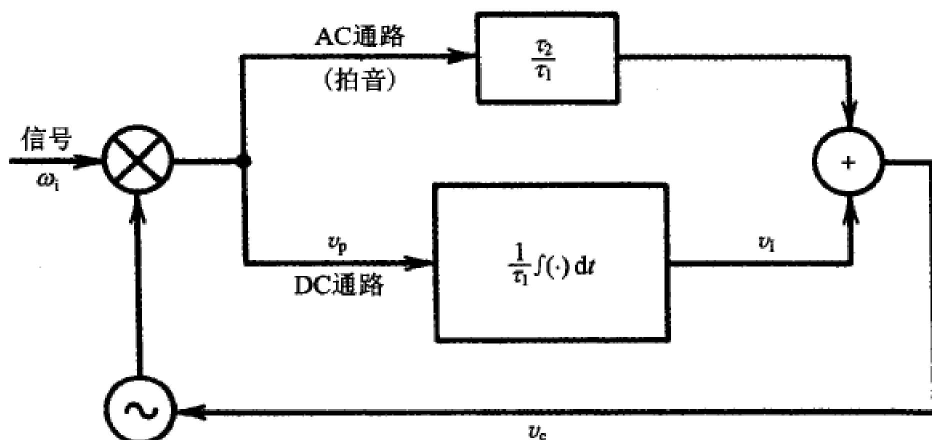


图 8-7 用于拉入分析的二阶 2 类 PLL 模型

190～191

输入频率是 ω_i，VCO 的初始频率是 ω_o，初始的频率差是 $\Delta\omega=\omega_i-\omega_o$。如果环路不是快速锁入，而是缓慢拉入，那么关系式 $|\Delta\omega|>K$ 必然成立。拉入期间 VCO 的平均频率（在一个拍频周期内的平均值）为 $\Omega_o(t)=\omega_o+K_o v_1(t)$，其中 v_1 是积分器的输出。在一个拍频周期内的 v_1 或 Ω_o 的任何改变都是可忽略的。在一个短时间内的平均频率误差是 $\Omega=\omega_i-\omega_o$。

拉入电压随 Ω 的变化而变化。Richman 对一个一阶环路的微分方程做了积分，并找出了环路的拉入电压为：

$$v_p=K_d\left[\frac{\Omega}{K}-\sqrt{\left(\frac{\Omega}{K}\right)^2-1}\right] \tag{8-6}$$

其中 $|\Omega|>K$。对 2 类环路可以使用这个同一的拉入电压公式，这个做法是在已有假设前提下的一个合理的方法。把关于低频环路的各个公式组合起来，可以给出：

$$\Omega(t) = \Delta\omega - \frac{K_o}{\tau_1}\int_0^t v_p(\tau)d\tau \tag{8-7}$$

把上式求导后得到等式

$$\frac{d\Omega}{dt} = -\frac{K_o v_p(t)}{\tau_1} \tag{8-8}$$

把式(8-6)中的 v_p 代入上式，并对 dt 求解后得到

$$dt = -\frac{\tau_2 d\Omega}{K\left[(\Omega/K) - \sqrt{(\Omega/K)^2 - 1}\right]} \tag{8-9}$$

3. 拉入时间

拉入时间 T_p 被定义为平均频率误差从初始条件 $\Omega = \Delta\omega$ 变化到锁定极限 $\Omega = K$ 时所需的时间。T_p 可以通过对式(8-9)在 $\Delta\omega$ 和 K 为上下限的区间求积分找出。假设 $|\Delta\omega| \gg K$，那么拉入时间为

$$T_p \approx \frac{(\Delta\omega)^2\tau_2}{K^2} = \frac{4\zeta^2(\Delta\omega)^2}{K^3} = \frac{(\Delta\omega)^2}{2\zeta\omega_n^3} = \frac{(\Delta\omega)^2\zeta^2(1+1/4\zeta^2)^3}{16B_L^3} \tag{8-10}$$

由于采用了近似计算的原因，当 $|\Delta\omega|$ 非常大(接近拉入极限 $\Delta\omega_p$，拉入极限的定义将在下面给出)或者非常小(接近 K)的时候，都不应使用这个公式。使用得最好的是在中间的区域，而且应当被理解为从初始偏离值改变到一个等于 K 的拍频(此时环路立即锁入)所需要的时间。窄带环路的拉入时间可以非常长。例如，如果 $\Delta\omega/2\pi = 1$ kHz 和 $B_L = 10$ Hz，那么拉入时间将会是1小时10分钟，这对于任何应用都长得不可忍受。

4. 拉入极限

如果环路滤波器包含一个完美积分器，那么拉入锁定总能实现，无论初始频率误差有多大。(这个说法忽略了限幅现象；如果对一个信号作拉入操作时要求过大的VCO控制电压，那么环路明显地无法完成拉入。另外还要假设，环路内不存在我们不希望的DC失调，因为这种DC失调会抵抗拉入电压，并把VCO的频率推离锁定。)对于模拟环路滤波器而言，积分器是非完美的，而且DC增益是一个有限值 $F(0)$。如果 v_p 足够小(即初始频率误差足够大)，那环路就不能拉入。环路可以被拉入锁定的最高频率叫做拉入极限，表示为 $\Delta\omega_p$。

192

为了推导拉入极限的公式，我们把图8-7中的完美积分器用一个DC增益为 $[F(0)-F(\infty)]$ 的非完美积分器代替。{整个环路滤波器的DC增益是 $F(0)$，而高频通路的DC增益是 $F(\infty)$。因此，低频通路的DC增益必须是 $[F(0)-F(\infty)]$。}假设 $|\Delta\omega|$ 非常大，因而环路不能拉入。但检相器仍然产生一个拉入电压 v_p，并被放大 $[F(0)-F(\infty)]$ 的因子，然后加到VCO上，使VCO产生一个稳态的频率变化量 $K_o[F(0)-F(\infty)]v_p$。而稳态频率误差为

$$\Omega = \Delta\omega - K_o[F(0)-F(\infty)]v_p \tag{8-11}$$

当用式(8-6)代替 v_p 时，回想第2章中的 $K_{DC} = K_o K_d F(0)$ 和 $K = K_o K_d F(\infty)$，就可以得到未锁定稳态下的平均频率误差为

$$\Omega = \Delta\omega - (K_{DC} - K)\left[\frac{\Omega}{K} - \sqrt{\left(\frac{\Omega}{K}\right)^2 - 1}\right] \tag{8-12}$$

等式(8-12)可以用来解出稳态频率误差。如果$|\Delta\omega| \geqslant K(2K_{DC}/K-1)^{1/2}$，就可以得到一个实数解。比较小的$|\Delta\omega|$值使式(8-12)有复数根，这个意思是说，不存在一个最终的实数频率误差可以满足该等式；对于比较小的$|\Delta\omega|$值，环路是可以拉入的。

由于使用了许多近似，所以只有当$K_{DC} \gg K$时，拉入边界才是精确的。因此，拉入极限的近似公式是

$$\Delta\omega_p \approx \sqrt{2K_{DC}K} \tag{8-13}$$

原则上，我们可以简单地使用大的DC增益K_{DC}使拉入范围扩展到任意大。而且，大的拉入范围可以使用尽可能窄的噪声带宽来达到；并与参数K和K_{DC}无关。

拉入时间的计算公式(8-10)仅当初始频率误差明显大于环路增益K和明显小于拉入极限时才成立。Richman[8.3]推导出了改进的、适用于任何条件的拉入时间的公式，这些条件中包括了初始频率误差接近于两个极限边界的情况。其结果比式(8-10)要复杂得多。

5. 其他条件下的拉入范围

有许多学者研究了拉入的问题。Viterbi[8.1,8.2]通过相平面上的极限环来考察这个问题，并得出了与这里给出的基本相同的结果。以前的结果仅适用于正弦形检相器的环路。Mengali[8.11]总结了其他作者关于延伸PD特性的研究工作，并得出了考虑到PD特性时的拉入时间和拉入范围的通用公式。同预测的一样，延伸的PD特性提供了延伸的拉入范围和较快的拉入时间。Meer[8.12]研究了延伸的PD特性和高阶环路。他推导出了关于三角形和锯齿形PD的拉入电压，并观察到这些电压比正弦形PD的电压更大。

6. 3类PLL的拉入

在一个3类环路的低频通路中有两个积分器；双积分的拉入电压为抛物线的增长方式而不是线性增长。因而，3类环路比2类环路的拉入快。如果假设两个积分器都是理想的，而且$|\Delta\omega| \gg K$，那么根据Meer的分析和针对两个零点重合于$s=-1/\tau_2$的环路滤波器的情况，3类环路的拉入时间为

$$T_p \approx \frac{|\Delta\omega|\tau_2\sqrt{\pi}}{K} \tag{8-14}$$

3类PLL的拉入时间是随初始频率误差的一次幂变化的，而不像式(8-10)中的2类PLL那样以$|\Delta\omega|^2$的方式变化。

遗憾的是，频率拉入到零拍频时并不保证3类PLL的快速锁定。等式(8-14)指出了在环路滤波器的频率积分器上积累出正确的跟踪电荷所需的时间，但在这个时候的频率速率积分器上的电荷是错误的。完全有这样的可能，即第一个积分器上存储的电荷会迫使第二个积分器继续充电而不是停止在正确的频率上。如果这个情况真的出现了，那么VCO的频率将冲过正确的平衡状态，拉入电压改变极性，然后拉入操作从相反的方向移向平衡点。

换句话说，锁定的过程是一个振荡的过程，而式(8-14)只是告诉我们第一次经过零频率误差的时间，不是相位锁定的时间。只有当频率速率积分器上的电荷稳定到平

衡跟踪所需要的正确值时，锁定才有可能。另一方面，在零频率误差的邻域，环路滤波器的高频通路中有一个很强的锁定操作。如果这个锁定力量可以克服第一个积分器的频率摆动的力量，那么环路在第一次通过时就可锁定，而不会在频率平衡点两侧摆动。Tausworthe 和 Crow[8.13,8.14] 发现，如果闭环极点是过阻尼的，那么在第一次通过时就可以锁定；而如果极点是欠阻尼的，那将出现摆动捕获。关于 3 类 PLL 拉入的其他内容，可参阅[8.15]。

7. 拉入的实际限制

上面给出的分析和参考文献只能用于环路滤波器的极点和零点数目相等的准 2 类或高类的 PLL。如果这些条件不满足的话，这样的分析则完全失败。14.4 节描述了环路再增加极点后的一些不利影响。从许多关于这个题目的文章来看，一个漫不经心的读者也许会得到这样的印象：拉入是频率捕获中主要使用的方法。实际上，我们可以说，拉入过程要比它的实际使用更有趣。除了它的慢速外，拉入操作可以被检相器（第 10 章）或有源环路滤波器（第 11 章）产生的不希望的、无法消除的 DC 失调所破坏，或者可以因环路中过多的极点或延迟（第 14 章）而被逆转成拉出过程或进入假锁。关于大噪声下的拉入特性，几乎找不到什么资料。

194

根据作者的经验，只有在相当良好的环境中拉入才是可行的。相当良好的环境是指噪声很小、带宽足够大、初始频率偏离足够小到可以快速拉入，以及环路电路很简单，因而没有多余的极点。在难度比较大的应用中，拉入操作几乎总是发现为不满意的或不可用的，因而需要某种辅助捕获的形式。接下来讨论一些辅助捕获的形式。

8.3.2 频率扫描

较快和较可靠的频率捕获可以用 VCO 的频率扫描对信号频率进行搜索的方法来实现。如果这样的搜索使用得正确，那么当 VCO 频率扫描到与信号频率一致时，环路就锁定。环路的锁定阻止了 VCO 频率的继续改变，所以扫频过程是自行结束的。扫频捕获是盲目搜索的，这是当信号被深深埋入噪声时的唯一可用的实际方法。

1. 扫频速率的限制：无噪声

从前面关于频率斜升时的保持范围的讨论中可以清楚地看出，扫频速率不可过大。5.2.2 节指出，如果扫频速率 Λ 超过 ω_n^2 rad/s^2，那么正弦形 PD 的环路就不能保持锁定。如果环路不能对一个信号保持锁定，那么环路当然不能捕获锁定。因此，可允许的扫描速率的绝对极限就是 ω_n^2（对于正弦形 s 曲线的 PD）。

Viterbi[8.1,8.2] 用相平面轨迹的方法研究了频率捕获的问题。他发现，即使 $\Lambda<\omega_n^2$ 和环路无噪声时，仍不能确定是否能捕获。如果 Λ 变成稍大于 $\omega_n^2/2$，那就存在这样一种可能，即 VCO 扫频正好经过输入频率但没有锁定。这种锁定和不锁定的机会，取决于频率与相位的随机初始条件。Viterbi 的相平面图可以用来估算这种锁定的概率，并在图 8-8 中画出了锁定概率与扫频速率的关系曲线。这些结果只能直接用于正弦波 PD 和 $\zeta=0.707$ 的二阶 2 类 PLL 的特殊情况。但是，对其他阻尼因子和其他 PDs 曲线

的环路，应当可以期望得到有定性的相似性。

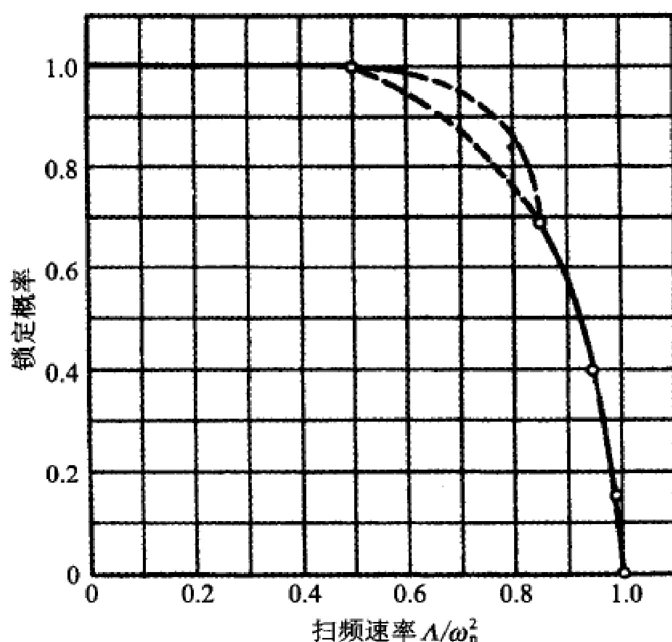


图 8-8 一个 $\zeta=0.707$ 的二阶 2 类 PLL 在无噪声条件下的扫频捕获概率

关于扫频捕获行为的进一步的定性讨论，可以在 Frazier 和 Page 的仿真研究[8.16]中找到。(注：在他们的文章中始终存在一个 1.4 倍的数值错误，因而使对这些数值理解甚为困难。)他们的文章指出，对于固定的固有频率和扫频速率，锁定的概率随阻尼的增加而改善。从图 8-9 的意思来看，环路应当是严重过阻尼的，至少在锁定之前应当这样。这样的结论是不成熟的；因为即使固有频率是固定的，但 PLL 的噪声带宽仍会随阻尼而改变。在固定噪声带宽的条件下，ω_n 的最大值(因而也是扫频速率的最大值)出现在 $\zeta=0.5$ 的时候。然而，当扫频速率小于 ω_n^2 时，捕获锁定的概率随阻尼的增加而改善。显然，存在 ζ 的某个值使捕获性能达到最优；确切的数值尚不知道，但也许在 0.7 和 1.0 之间。

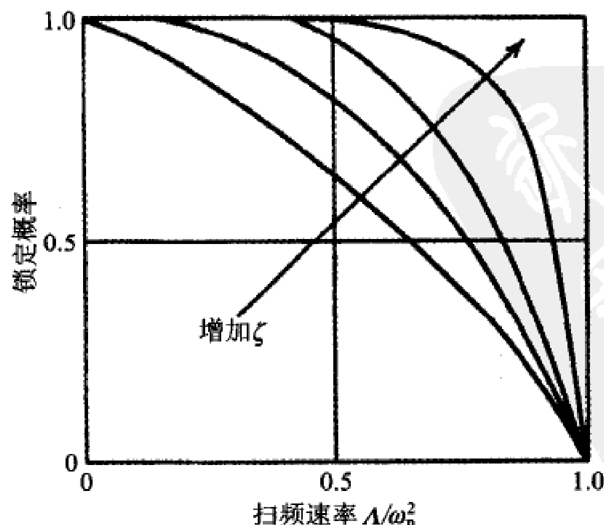


图 8-9 扫频捕获的概率，表示阻尼的影响

195
~
196

2. 噪声对扫频速率的限制

到现在为止，我们都假设环路是无噪声的。实际上，噪声总是存在的，必须给予考虑。简单的直观思考后会认为噪声会使信号捕获更困难；如果把这个难度用数字表示出来，也许是有用的。Frazier 和 Page 的实验所提供的经验数据指出，如果要在噪声下保持可接受的高捕获概率，那么扫频速率就应当降低一个$[1-(SNR_L)-1/2]$的因子。由这个意思可以预测，当环路中的信噪比为 0 dB 时，捕获就变得不可能。经验指出这个结论是偏于乐观的。

把完全不相同的信息和作者的经验结合起来，并且在 $\zeta=0.7$ 到 1.0 的范围内，可以得出扫频速率的一个比较好的初步设计数据

$$\Lambda=\frac{1}{2}\omega_n^2\left(1-\frac{2}{\sqrt{SNR_L}}\right) \tag{8-15}$$

这个数据的意思是，扫频捕获在 SNR_L 低于 6 dB 时是不可能的，这是个多少有点保守的说法，但不会有大错。如有需要，可以对这个数据进行实验性的调整而得到更准确的结果。

因为非线性，在存在很大噪声的情况下，对扫频捕获一直没有满意的分析。根据环路在锁定之后的周期滑步的概率，Meyr 和 Ascheid[8.6,第5章]提出了一个比式(8-15)的经验规则更仔细的方法。Blanchard[8.17]报告了把扫频速率、信噪比、正确捕获概率和误报警(false alarm)关联起来的一系列实验室测量数据。

这里给出的结果适用于正弦形检相器的环路。不同的 PD 特性可以预期产生不同的扫频能力。这个情况还未见有人研究过，也许因为盲目扫频捕获一直主要用于 PD 输入端 SNR_L 很低的系统。第 10 章中指出，如果输入信号的 SNR 非常小，那么正弦形 s 曲线是唯一可用的形状。

3. 扫频的实现

对于 2 类 PLL 可以使用简单而漂亮的扫频方法。有些人建立了独立的、可以把扫频电压直接加到 VCO 的锯齿波发生器，但这个方法做得过于复杂，其原因是对环路状态变量的理解不够。一个更好的方法是把一个恒定的摆动电流 I_S 注入到环路滤波器的积分器中。积分后的输出是一个加到 VCO 上的斜坡电压，使频率进行扫描。斜坡电压的斜率是由积分器的时间常数和电流的大小确定的。详细的电路见图 8-10 中。

摆动电流的注入点是 R_2 与 C 的结点处，而不是直接注入到运算放大器加法点上的。要是真的把电流直接加在运算放大器上，那么当摆动电流一开一关时，就会产生一个 I_SR_2 的阶跃输出成分(叠加在所需的斜坡信号上)。在某个电路参数下，这个阶跃成分可以引起环路跳出锁定。当环路锁定时，积分器上的电荷量正好使 VCO 的频率保持在信号频率上。环路会使用 PD 的 DC 输出电流来克服注入的摆动电流，而 DC 的这个输出电流又是由动态滞后的相位误差产生的(见 5.1.1 节)。

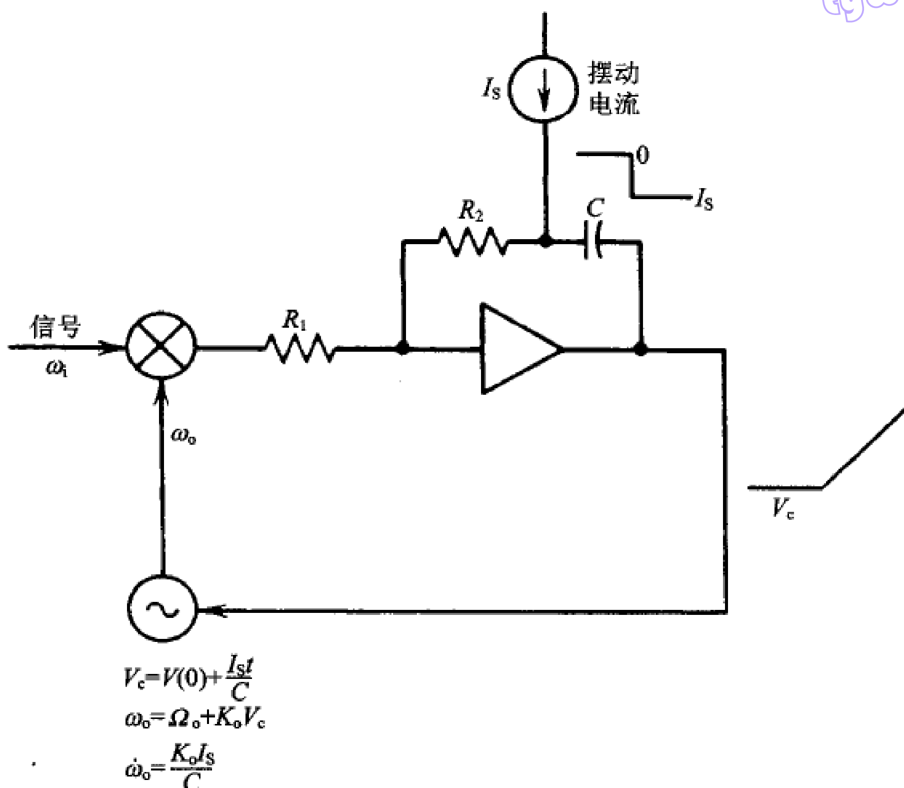


图 8-10 一个 2 类 PLL 的频率扫描电路

在取得锁定之后，相位误差成为了环路的应力；当存在噪声或其他扰动时，这个应力会损害环路的跟踪能力。建议一旦证实已经达到锁定后就切断摆动电流。(锁定检测器将在本章的后面叙述。)在信号会快速衰落的情况下，切断摆动电流是尤其必需的；在出现信号衰落的时刻，VCO 的频率可以完全由扫频电路来控制，因此在重新捕获信号之前，也许先要对整个扫频范围进行一次搜索。但切断摆动电流的决定并不需要很快作出。在摆动电流存在时，环路确实是能够保持锁定的，所以有足够的时间进行锁定验证，以保证这个决定是可靠的。

上面所描述的简单性和完成锁定验证的时间充裕性，只是在采用闭环扫描时才有的。我们也可以用开环扫描[8.17]，但这样就必须非常快速地检测频率的符合性，然后快速地切断扫频信号，再把环路闭合起来。从原则上讲，扫频速率不再受环路的斜坡跟踪极限的约束，但在有噪声情况下对频率符合性的可靠测量，仍然要求对扫描速率有一个限制。

197 ~ 198

扫频也可用于 3 类 PLL。由于 3 类 PLL 有比较好的跟踪频率斜坡的能力，所以预期的更快速的扫频速率是可行的。遗憾的是，3 类 PLL 所增加的复杂性一直在阻止我们找到一种实现扫频的实用方法。相反，设计者存在一种害怕的心理，即闭环 3 类 PLL 的捕获也许是不稳定的；所以常常要用到各种消除不稳定的方法。其中的一个扫频方法是采用开环搜索，如前面说到的。这个搜索要求快速地识别零拍频，并立即闭合环路；这是些带有技巧性的操作，虽然已经成功地实现了。

另一个方法是对一个闭环的2类环路进行搜索，然后在达到锁定后再插入一个环路积分器。这个搜索的速率不能超过2类环路所允许的速率。Tausworthe 和 Crow[8.13,8.14]指出，三阶的极点应当是过阻尼的，以保证在环路切换操作时仍能维持锁定。关于3类环路必须捕获三个变量（相位、频率和频率速率）的论点，尚无公开的认可。也许有必要对频率和频率速率采用二维搜索。（相位被假设是自捕获的。）关于3类PLL的频率捕获需要进一步的探讨。

8.3.3　借助鉴频器的频率捕获

如果输入信噪比足够大，那么鉴频器可以用于通常的自动频率控制环路，以把VCO的频率带到接近于信号频率。当把频率误差带入小于锁入极限时，就实现了锁相。

1. 鉴频器与线性 s 曲线结合

线性分析可以用于其 s 曲线近似地正比于频率误差的鉴频器。合成的相位与频率锁定环路的典型框图及其线性化的环路方程见图8-11。当非锁定时，相位环路没有什么作用；VCO几乎全部被频率环路所控制。锁定后，相位环路占主导，因为它的DC增益要大得多（由于VCO的相位积分性质，所以实际上是无穷大），这时如果希望的话，可以把鉴频器断开。

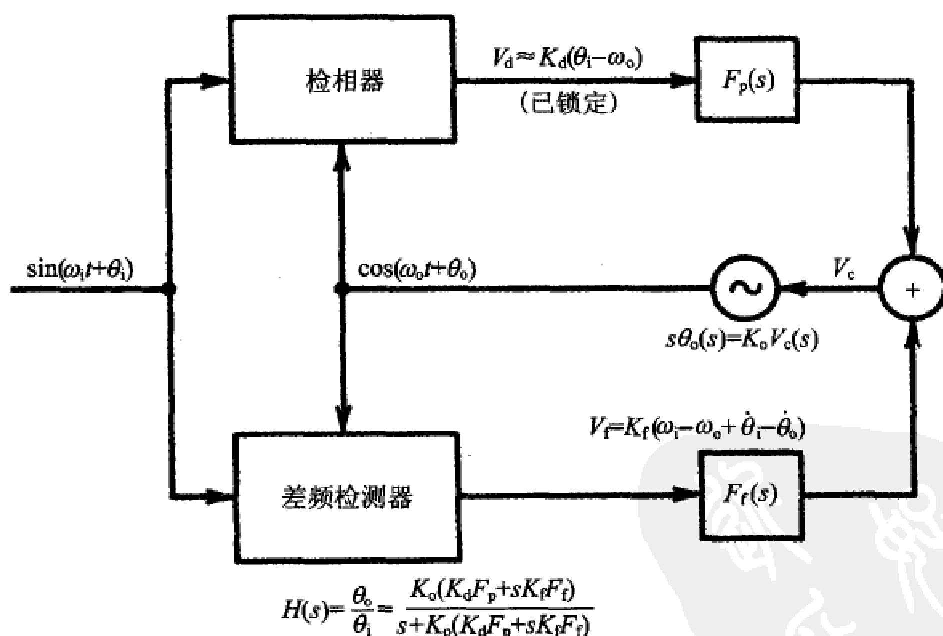


图8-11　借助鉴频器的频率捕获

如果说2类传递函数是PLL的一个恰当选择，那么1类传递函数是对于频率环路的恰当选择；频率环路中的环路滤波器将是一个简单的积分器，没有任何相位超前的零点。两个环路可以共用一个运放积分器，如图8-12那样。当出现相位锁定后，图8-12中PLL闭环系统的传递函数为

$$H(s)=\frac{sK_o\left(\dfrac{K_d\tau_2}{\tau_1}+\dfrac{K_f}{\tau_f}\right)+\dfrac{K_oK_d}{\tau_1}}{s^2+sK_o\left(\dfrac{K_d\tau_2}{\tau_1}+\dfrac{K_f}{\tau_f}\right)+\dfrac{K_oK_d}{\tau_1}} \tag{8-16}$$

这个表达式与用来定义二阶 2 类 PLL 传递函数的式(2-15)的形式相同。式(8-16)中的系数 K_f 是线性鉴频器的增益，以伏每(弧度/秒)为单位，$\tau_f=R_fC$、$\tau_1=R_1C$ 和 $\tau_2=R_2C$。把式(8-16)和式(2-15)比较后，得到

$$\begin{aligned}\omega_n^2&=\frac{K_oK_d}{\tau_1}\\ \zeta&=\frac{K_o}{2\omega_n}\left(\frac{K_d\tau_2}{\tau_1}+\frac{K_f}{\tau_f}\right)\\ K&=K_o\left(\frac{K_d\tau_2}{\tau_1}+\frac{K_f}{\tau_f}\right)\end{aligned} \tag{8-17}$$

199~200

很明显，鉴频器支路的存在并不影响 ω_n，但增加了 ζ 和 K 的值。原则上，对 2 类 PLL 稳定性所必需的环路滤波器的零点可以完全略去，所有的阻尼可以由鉴频器支路提供。可以把鉴频器永久地接入，并只要调整检相器和鉴频器之间的相对比例，就可得到希望的阻尼。

图 8-12 一个 2 类 PLL 的借助鉴频器的频率捕获

鉴频器的永久接入也许不会提供很好的性能。在输入信噪比很差时，扫描操作仍可以满意地进行，因为 PLL 是一个相干电路，可以恢复埋入噪声中的信号。与之不同的是，鉴频器是一个非相干性电路，它不能区分信号和噪声。它的平均输出接近于信号与噪声的频率平均值，大约是加到鉴频器的频谱的频率重心。如果噪声占主导，那么鉴频器的输出几乎全部由噪声的性质来确定，而信号就被抑制了。鉴频器只能用于这样的情况下，即鉴频器可以提供关于信号频率的有用信息，这一般被理解为输入信号必须超过噪声。作为一个经验规则，当输入 SNR 小于 6 dB 至 10 dB 时，我们必须保持谨慎，而如果输入 SNR 小于 0 dB 时，我们应当严重关注，甚至考虑放弃鉴频器。

对于 2 类环路，前面的分析已经指出，拉入时间是与初始频率差的平方成正比的，而且扫频搜索时间正比于搜索范围。如果使用线性鉴频器，我们就可以证明频率捕获

时间是与初始频率误差的对数成正比的。在可以使用的情况下，鉴频器确实是频率捕获的快速办法。

2. 非线性鉴频器

上面借助鉴频器捕获的分析适用于线性鉴频器。采用非线性鉴频器的几个技术也是值得关注的。非线性鉴频器的平均输出是频率误差的一个极为非线性的函数。一个重要的例子是第10章中那个非常通用的相频检测器(PFD)。当PLL非锁定时，PFD输出一个在许多周期内平均的、大约为$K_d/2$的DC输出。(这个DC电压出现在频率误差与信号频率相比为很小时。当频率误差增加时，该电压向K_d值增长。)第10章有PFD的详细叙述。

实际上，PFD的DC输出给环路滤波器的积分器加了一个恒定的摆动电流，所以VCO才可扫描以搜索正确的频率。分析表明，PFD的这个$K_d/2$的DC输出产生了一个$\pi\omega_n^2$ rad/s^{2}的扫频速率，为正弦形PD的PLL可以允许的扫频速率的2π倍。达到这样一个大速率有两个原因：(1)PFD的s曲线是在4π范围内线性的，而正弦形只有2π；(2)当频率误差减少到锁入范围以内时，PFD把它自己从非线性检频器平滑地转变为线性检相器。

201

另一个特点提高了PFD(或其他任何能指出频率误差正确方向的电路)的频率捕获速度。通常的扫描是盲目扫瞄的；出发方向的对与错，几率各半。与此不同的是，PFD总是指出了正确的方向，使扫描走最短路径。

至于更快的捕获，可以考虑这样一个系统，系统中的VCO可以切换到离散的、标称为等间距的频率点上。对这些离散频率点作二分法查寻(每一步查出一半的频率)，并依靠检频器的方向指示，将以切换频率点数的对数的时间内达到频率捕获，与此相比，连续扫描的时间是与频率范围成正比的。关于二分法查找，可参阅[8.18]。

3. 开环频率捕获

如果所要求的频率是已知的(比如在频率合成器中)以及被切换的频率点是被校正得很好的，那么VCO可以切换到已知频率的能力可以用来实现更快的捕获。就只要把VCO切换到希望的频率上就完成了任务，不需要任何搜索，也不需要鉴频器的帮助。但所要求的频率一般是未知的(频率合成器除外)，而且在模拟VCO的情况下，对切换频率作精确稳定的校准是极其困难的。所以，扫描搜索的方法还是有用的，因为这种方法不需要知道所需的频率值和所要切换的频率值。数字化的数控振荡器提供了切换频率的极好方法，但在许多应用中仍不能代替模拟VCO。

用VCO实现可切换频率的一种方法是，把数模转换器(DAC)的输出用作频率控制电压。这个切换电压是叠加到环路滤波器的控制电压上的。但DAC可以产生很大的噪声，可以引起VCO过大的相位噪声。另一个方法是在参考文献[8.19]中提出的，对环路滤波器积分器的供给电荷作精确快速的调控。因为积分器的输出控制了VCO的频率，所以这是一个快速改变VCO频率、同时又不会产生DAC噪声污染的方法。这个方法仍然需要VCO的极好的校准特性。

另一个方法有时用于基本上为数字电路的系统中，这就是用快速傅里叶变换(FFT)计算出未知频率区的频谱，然后把计算出的功率谱的峰值频率选择为所查找的信号频率的最佳估算。由此，把 PLL 的 VCO 设定到这个频率值上。在可以使用这个方法的地方，它的优点是在未知带宽上可以很好地工作于信噪比很小的时候，这样的优点除此之外是只有盲目扫描才有的。VCO 的频率必须可以设定足够的精度，以使这个方法发挥出全部的能力。

这种切换到已知频率的方法，是一种不用鉴频器和反馈的开环方法。开环方法一般比闭环方法快，但一般必须校准得很好，因为它们没有通过反馈进行偏差校准的能力。 202

8.3.4 鉴频器的实现

鉴频器的常用电路，比如在无线电工程教科书中找到的那种，是可以使用的，但还有更好的电路。这里的捕获鉴频器要做的，不是测量出绝对频率，而是提供一个输入信号与 VCO 之间频率差的指示；这就需要一个差频鉴频器。Richman[8.3] 描述了一个这样的差频鉴频器，把它叫做自动调相器(quadricorrelator)。它的框图和有关的公式见图 8-13。输入的带通信号被两个由振荡器驱动的乘法器(混频器、检相器)转变为两个正交的基带分量。基带低通滤波器设定了电路将要工作的差频范围。(Richman 在基带滤波器中还包括了高通环节，以便在差频非常小而 PLL 可以要回控制权时，使自动调相器自动断开。)

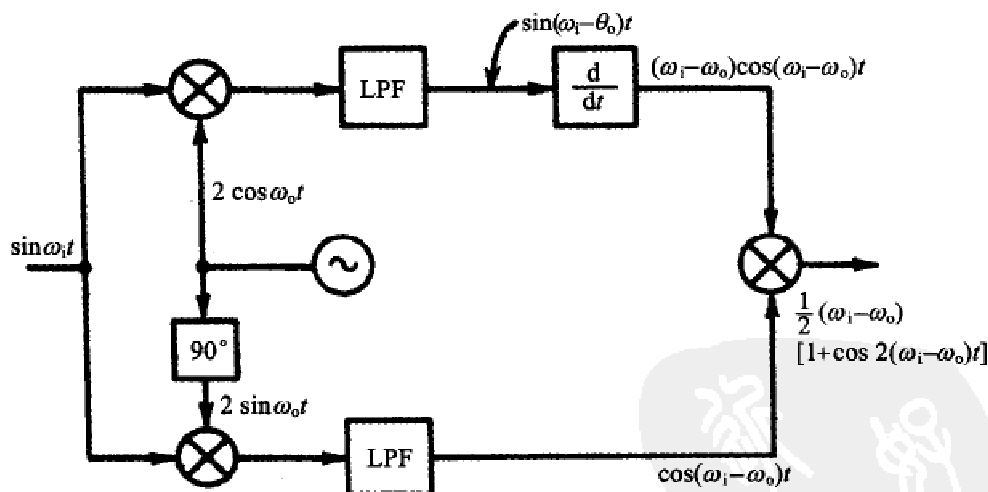


图 8-13 自动调相器

其中一个经过滤波的基带信道被微分，然后与另一个信道相乘。乘积包含了一个正比于信号与振荡器之间差频的 DC 分量，而且包含了正确的符号。这就提供了一个极好的差频指示。(在两倍差频处还存在幅度相等的正弦纹波分量。如果把自动调相器用于 FM 解调器中，这个纹波将是特别烦人的，但当差频变为零时，锁相环即锁定，所以当把自动调相器用于辅助频率捕获时，纹波会最后消失。)

关于自动调相器的其他信息和类似于自动调相器的一些结构可以在参考文献 203 [8.20～8.24]中找到。关于其他的鉴频器技术：Natali[8.24]提出了一种使用FFT算法的AFC反馈环路；Alberty和Hespelt[8.25]发现了一种用于数据调制信号的鉴频器，它可以消除内部噪声，而内部噪声是常用的自动调相器的一个严重问题。

Messerschmitt[8.26]首先提出了旋转鉴频器的概念。试设想有一个以输入信号与VCO反馈信号的频率之差为角速度而旋转的矢量。把锁定时的矢量角度定义为零度，把四个象限从零度开始以反时针沿圆周标记为Ⅰ、Ⅱ、Ⅲ和Ⅳ。矢量从第Ⅱ象限走入第Ⅲ象限表示信号频率大于VCO频率，而从第Ⅲ象限走入第Ⅱ象限则表示信号频率小于VCO频率。每一秒钟内这种象限走入的次数是差频大小的指示。线性鉴频器可以用这样的电路来构建：(1)可以检测Ⅱ-Ⅲ象限走入的出现及其方向；(2)当每次发生这样的走入时，都有一个准确计量的、正确极性的电荷被输给PLL环路滤波器的积分器。

被VCO正交驱动的两个检相器的输出提供了足够的信息，以鉴别在任何时刻的相位差所在的象限。其中的一个PD的输出是相位差的正弦值，另一个PD的输出是余弦值。只要检查两个PD输出的符号就足以确定所在的象限了。如果相位误差在第一象限，那么两个PD同时输出正值，如果正弦PD输出正值，余弦PD输出负值，那相位就在第二象限，依次类推。对第Ⅱ象限走入第三象限的检测或反方向的检测，要依靠对前一个象限的记忆，并把这个记忆与当前的测量值进行比较。检测发生“走入”的条件是：余弦PD的输出在相邻的两次测量中是负值，而正弦PD的输出在相邻的两次测量中变了号。走入的方向由每次走入发生时正弦PD的符号来指出。旋转检相器的例子可以在参考文献[8.27～8.30]中找到。

8.4 其他问题

有几个问题，比如锁定指示器、可变带宽法和环路记忆法等，是多少与捕获问题有关的，但还不能另成独立章节。我们把这些问题合并在这一节里。

8.4.1 锁定指示器

锁定指示的常用方法是正交检相器，也称辅助检相器或相干振幅检测器，如图8-14所示。正交检相器把接收到的信号作为一个输入，把VCO的90°相移的信号作为另一个输入。主检相器的输出电压正比于 $\sin\theta_e$，正交检相器输出正比于 $\cos\theta_e$。在锁定状态时 θ_e 很小，所以 $\cos\theta_e\approx1$。当环路未锁定时，两个检相器的输出均为频率等于差频的拍音，所以DC输出几乎是零。因此，经滤波后的正交检相器输出提供了一个有用的锁定指示。这个输出电压的幅度与无噪声的稳定输入下得到的输出幅度的比较，就提供了关于锁定品质的指示。当这样使用时，经平滑后的电压有时叫做相关输出。也可以使用这同一个电压作为相干AGC的控制电压源。关于AGC的题目，在Meyr和Ascheid所著的参考文献[8.6节、7.2节]中讲得很详细。

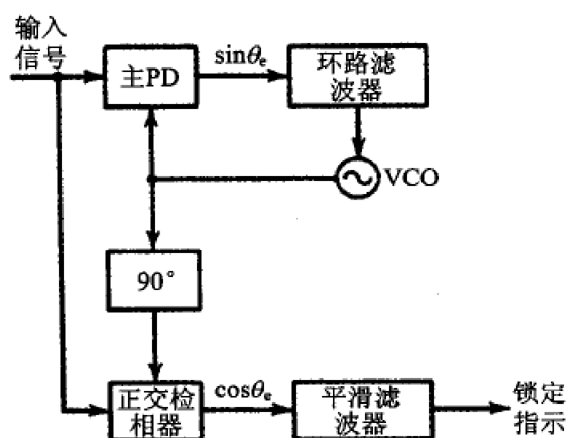


图 8-14 使用正交检相器的锁定检测

输出平滑滤波器是实际锁定指示器的关键部分。如果没有平滑,指示器会因噪声而闪烁,发出错误的锁定和失锁指示。如果平滑过多,锁定和失锁的指示因延迟太长而不能出现在正确的时刻。需要一个折中的平滑滤波。Tausworthe[8.3]对这个问题做过一个详细的分析,并得出了一些设计曲线。

关于锁定检测的另一个完全不同的原理(在 10.3.8 节中解释)一般是与相频检测器一起使用的。

8.4.2 宽带法

捕获的速度,比如拉入、扫频或借助鉴频器的捕获,都可以用加宽环路的带宽来改善。环路可以构建成具有很大的带宽以快速捕获,也可以做成特别窄的带宽,以在噪声下有良好的跟踪特性。这里可以清楚地看出,只有在环路的信噪比足够大和环路在宽带时仍可以稳定工作的前提下,增加带宽才能成功。如果带宽的改变使环路接近噪声阈值或接近不稳定状态,那么捕获基本上不能实现。

带宽是通过改变环路增益而改变的。其方法可以是在电路中切换不同阻值的电阻,如图 2-2 那样,也可以通过改变电荷泵 PLL 中的泵电流(第 12 章),或者对加到乘法类检相器的输入信号的振幅进行控制(第 10 章)等方法。一定不要使用切换电容的方法,以免打扰环路滤波器中的积分器;对积分器的任何打扰都将破坏对频率的记忆,因而很可能引起失锁。

204
~
205

带宽切换的控制信号可以是正交检相器输出的锁定指示电压。当环路失锁时,指示电压的消失使环路切换到宽带的位置。当环路锁定时,就出现指示电压,切换到窄带的位置。自适应的带宽切换已经研究许多年了,但几乎从来没有带来原先预期那样的好处。因而,很少有实用的 PLL 采用带宽切换的方法来帮助捕获。

如果相干 AGC 被采用,那么在不用切换的情况下就可以得到自适应带宽的同样效果。在未锁定状态下,不存在相干 AGC 电压,检相器上的信号非常大。当环路锁定时,就出现 AGC 电压,因而减少了所加的信号电压。因为乘法类检相器存在增益,所

以环路的增益正比于信号电平，所以当环路锁定时，环路的带宽和阻尼都自动减小；这里不需要任何带宽的切换。

8.4.3 环路记忆法

在没有扰动的情况下，当输入信号意外消失时，由于环路滤波器的积分器上存储的电荷，2 类 PLL 的 VCO 趋于维持在锁定频率的附近。当信号恢复后，依靠锁入或拉入的重新捕获过程应当是非常快的。这样的环路的积分器内有频率的记忆。当信号消失后，环路即断开，积分器按照开环时间常数和可能存在的任何 DC 失调所确定的速率作缓慢的漂移。而且，送到积分器输入端的零均值噪声被转换成输出端上的随机游动，所以，即使是完美的积分器也是易失性的，即使在没有 DC 失调的时候也如此。当检测到失锁时，如果可以把积分器的输入与扰动源断开，那就可以增加记忆的持久性。

一阶环路有一个易失性的相位记忆。当信号意外消失时，VCO 的相位立即开始从它的锁定状态漂移，其漂移的速率等于信号与 VCO 自由振荡之间的频率差。换句话说，当信号消失后，VCO 立即回复到它的自由振荡频率。因为 2 类 PLL 具有记忆，所以环路维持它的相位信息要比一阶 PLL 好得多。3 类 PLL 除了有频率和相位的记忆外，还有频率速率的记忆。这第三个记忆在输入信号衰落期间发生频率变化时是有用的。

参考文献

8.1 A. J. Viterbi, *Acquisition and Tracking Behavior of Phase-Locked Loops*, External Publ. 673, Jet Propulsion Laboratory, Pasadena, CA, July 1959.

8.2 A. J. Viterbi, *Principles of Coherent Communication*, McGraw-Hill, New York, 1966, Chap. 3.

8.3 D. Richman, "Color Carrier Reference Phase Synchronization Accuracy in NTSC Color Television," *Proc. IRE* ***42***, 106–133, Jan. 1954.

8.4 F. M. Gardner, "Hangup in Phase-Lock Loops," *IEEE Trans. Commun.* ***COM-25***, 1210–1214, Oct. 1977. Reprinted in [8.8].

8.5 H. Meyr and L. Popken, "Phase Acquisition Statistics for Phase-Locked Loops," *IEEE Trans. Commun.* ***COM-28***, 1365–1372, Aug. 1980.

8.6 H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, Wiley, New York, 1990.

8.7 F. M. Gardner, "Equivocation as a Cause of PLL Hangup," *IEEE Trans. Commun.* ***COM-30***, 2242–2243, Oct. 1982. Reprinted in [8.8].

8.8 W. C. Lindsey and C. M. Chie, eds., *Phase-Locked Loops*, Reprint Volume, IEEE Press, New York, 1986.

8.9 J. J. Spilker, "Delay-Lock Tracking of Binary Signals," *IEEE Trans. Space Electron. Telem.* ***SET-9***, 1–8, Mar. 1963.

8.10 C. E. Gilchriest, *Pseudonoise System Lock-in*, Research Summary 36–9, Vol. I, pp. 51–54, Jet Propulsion Laboratory, Pasadena, CA, July 1, 1961.

8.11 U. Mengali, "Acquisition Behavior of Generalized Tracking Systems in the Absence of Noise," *IEEE Trans. Commun.* ***COM-21***, 820–826, July 1973.

206

8.12 S. A. Meer, "Analysis of Phase-Locked Loop Acquisition: A Quasi-Stationary Approach," *IEEE 1966 Conv. Rec.*, Vol. 14, Pt. 7, pp. 85–106, 1966.

8.13 R. C. Tausworthe and R. B. Crow, "Improvements in Deep-Space Tracking by the Use of Third-Order Loops," *IEEE Int. Conf. Commun.*, 1972, pp. 577–583.

8.14 R. C. Tausworthe, "Improvements in Deep-Space Tracking by the Use of Third-Order Loops," *JPL Q. Tech. Rev. 1*, 96–106, July 1971.

8.15 F. Russo and L. Verranzzani, "Pull-in Behavior of Third-Order Generalized Phase-Locked Loops," *IEEE Trans. Aerosp. Electron. Syst.*, ***AES-12***, 213–218, Mar. 1976.

8.16 J. P. Frazier and J. Page, "Phase-Lock Loop Frequency Acquisition Study," *IRE Trans. Space Electron. Telem.* ***8***, 210–227, Sept. 1962.

8.17 A. Blanchard, *Phase-Locked Loops*, Wiley, New York, 1976, Chap. 11.

8.18 C.-C. Chung and C.-Y. Lee, "An All-Digital Phase-Locked Loop for High-Speed Clock Generation," *IEEE J. Solid-State Circuits* ***38***, 347–351, Feb. 2003.

8.19 J. Hakkinen and J. Kostamovaara, "Speeding Up an Integer-*N* PLL by Controlling the Loop Filter Charge," *IEEE Trans. Circuits Syst. II* ***50***, 343–354, July 2003.

8.20 F. M. Gardner, "Properties of Frequency Difference Detectors," *IEEE Trans. Commun.* ***COM-33***, 131–138, Feb. 1985. Reprinted in [8.21]. Also, extended version in [8.8].

8.21 B. Razavi, ed., *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, Reprint Volume, IEEE Press, New York, 1996.

8.22 J. A. Bellisio, "A New Phase-Locked Timing Recovery Method for Digital Regenerators," *IEEE Intl. Commun. Conf. Rec.*, Vol. 1, pp. 10–17 to 10–20, June 1976. Reprinted in [8.21].

8.23 R. R. Cordell, J. B. Forney, C. N. Dunn, and W. G. Garrett, "A 50 MHz Phase- and Frequency-Locked Loop," *IEEE J. Solid-State Circuits* ***SC-14***, 1003–1009, Dec. 1979. Reprinted in [8.21].

8.24 F. D. Natali, "AFC Tracking Algorithms," *IEEE Trans. Commun.* ***COM-32***, 935–947, Aug. 1984. Reprinted in [8.8].

8.25 T. Alberty and V. Hespelt, "A New Jitter Free Frequency Error Detector," *IEEE Trans. Commun.* ***COM-37***, 159–163, Feb. 1989. 207

8.26 D. G. Messerschmitt, "Frequency Detectors for PLL Acquisition in Timing and Carrier Recovery," *IEEE Trans. Commun.* ***COM-27***, 1288–1295, Sept. 1979. Reprinted in [8.21].

8.27 F. M. Gardner, "A Cycle-Slip Detector for Phase-Locked Demodulators," *IEEE Trans. Instrum. Meas.* ***IM-26***, 251–254, Sept. 1977.

8.28 J. A. Afonso, A. J. Quiterio, and D. S. Arantes, "A Phase-Locked Loop with Digital Frequency Comparator for Timing Signal Recovery," *IEEE Natl. Telecommun. Conf. Rec.*, Vol. 1, pp. 14.4.1–14.4.5, 1979. Reprinted in [8.21].

8.29 A. Pottbäcker, U. Langmann, and H.-U. Schreiber, "A Si Bipolar Phase and Frequency Detector IC for Clock Extraction up to 8 Gb/s," *IEEE J. Solid-State Circuits* ***SC-27***, 1747–1751, Dec. 1992. Reprinted in [8.21].

8.30 L. M. DeVito, "A Versatile Clock Recovery Architecture and Monolithic Implementation," pp. 405–420 in [8.21].

8.31 R. C. Tausworthe, *Design of Lock Detectors*, JPL Space Programs Summary 37–43, Vol. III, pp. 71–75, Jet Propulsion Laboratory, Pasadena, CA, Jan. 31, 1967. 208

第 9 章　振　荡　器

可控频率振荡器是锁相环的基本单元。本章对各种振荡器做一概要说明，并侧重于相位噪声的问题。

9.1　要求的性质

对振荡器有许多要求，这些要求一般都是互相制约的，所以总是需要权衡和折中。主要的要求有：

- ☐ 低相位噪声；
- ☐ 频率精确度；
- ☐ 宽调谐范围；
- ☐ 调谐线性度；
- ☐ 宽带（即高速）调制能力；
- ☐ 低功耗；
- ☐ 小尺寸；
- ☐ 可以集成到芯片上。

我们万万不可以牺牲相位噪声的性能来换取任何其他特性。

9.2　振荡器的种类

有两种模拟振荡器对 PLL 很重要：采用选频谐振器的振荡器和依靠弛张原理工作的振荡器。谐振型振荡器包括石英晶体、声表面波（SAW）器件、微波或光空腔谐振、介电圆桶（DRO：介质谐振振荡器）、传输线、电感电容（LC）谐振回路、陶瓷滤波器、机电滤波器和 YIG（钇铁拓榴石）球体。在写这本书的时候，环形振荡器是最重要的弛张振荡器；它已基本上代替了早先的多谐振荡器。

2004 年，研发人员努力把所有的 PLL 单元集成到一片包含所有其他模拟和数字电路的系统级芯片上。环型振荡器是使用得最普遍的，一个原因是这种振荡器很容易采用数字电路的 IC 工艺集成到芯片上。集成电路普遍采用的另一个电路是推挽式 LC 振荡器。这种电路的相位噪声要比环形振荡器好，并且固有地有比较窄的调谐范围。大量的关于集成环振和 LC 振荡器的文章被收集在 Razavi 的文集中[9.1,9.2]，其中有的

文章讨论了片上电感的设计难题。

9.3 振荡器的相位噪声：简化方法

在人们认识到相位噪声的重要性之前的许多年，就已经有了振荡器。在大量介绍振荡器电路的文章和书籍中都没有提到相位噪声。随着相位噪声不利影响的逐渐显现，人们开始对噪声的组成投入大量的研究。Kroupa 的文集[9.3]包含了早期相位噪声工作的部分结果和许多参考文献目录，其中有些文章还非常值得今天 PLL 设计者阅读。

相位噪声可以有时域(用 Allan 方差[9.4])和频域的表示公式。在 PLL 的设计和应用方面，使用频域公式比较好。在本书中，相位噪声是用频域的单边基带谱密度 $W_\phi(f)$来表示的，它的单位为 rad^2/s(见第 7 章中的定义)。

9.3.1 Leeson 模型

1966 年，Leeson[9.5]发表了一篇被一直视为里程碑式的著名文章。他提出了一个简单的振荡器模型，它由一个放大器、一个谐振器和两个噪声源接成一个正反馈回路而组成。他分析后得出相位噪声谱形。定性地说，该谱形非常接近于所有实际使用中的振荡器的实际测得的相位噪声谱形。图 9-1 示出了这个模型的略微特殊一点的结构。放大器假设是线性的。其中一个噪声源假设是白的、加性的；它表示为图 9-1 中放大器输入端上的等效噪声。另一个噪声源被假设为具有闪烁$(1/f)$谱形，并产生对信号的相位调制。 210

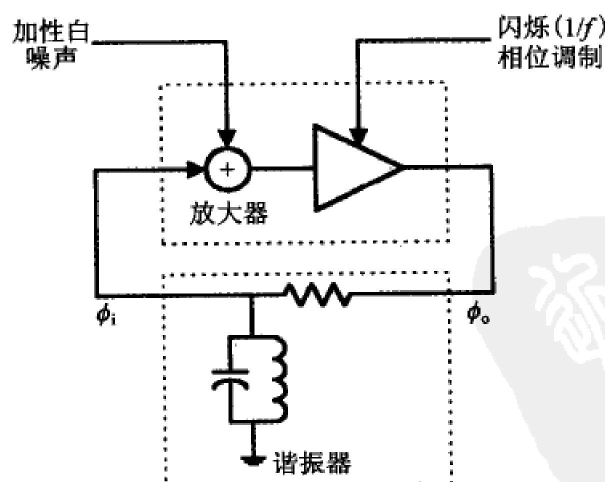


图 9-1 Leeson 模型的振荡器框图

1. 推理

Leeson 使用了 Barkhausen 的振荡器判据[9.12,第1章,9.13,6.1节]来解释所观察到的相位噪声谱。根据这个判据，在一个稳定振荡的反馈电路中的相移必须为 2π 的整数倍。加性噪声可以分解成振幅分量和相位分量。相位分量的噪声会使环路中的相位在稳定状态附近变动，所以振荡器就使它的频率做些偏离，以使环路的相位恢复到原来的 2π 的整数倍。相位校正是通过谐振器的相频特性实现的；频率的偏离是为了得到所需的相位变化。对于由闪烁噪声所引起的相位噪声调制，也可以用这个相同的推理来解释。根据这样的解释，振荡器的频率是跟随放大器噪声中的相位分量的波动而波动的。振荡器的频率噪声谱 $W_{\omega o}(f)$ 的形状与噪声源的谱形相同，所以振荡器的相位噪声谱的形式为 $W_{\phi o}(f)=W_{\omega o}(f)/4\pi^2 f^2$（见 7.2.5 节）。

上面的论点仅适用于调制频率 f 明显小于谐振器的半带宽 $f_o/2Q$ 的情况，其中 f_o 为振荡器的频率。明显超出这个带宽的噪声频率将被谐振器大大衰减，所以不会在回路内传播。因此，在这些频率上的相位噪声谱与噪声源的谱形相同：即白噪声与可能存在的 $1/f$ 噪声的组合。作为进一步的分析，放大器输出端上的相位 ϕ_o 将不同于谐振器输出端上的相位 ϕ_i；谐振器充当了放大器相位噪声的滤波器。

2. 结论

在考虑了所有这些情况之后，我们得到了图 9-1 中振荡器结构的相位噪声谱的两个近似公式：

211

$$
\begin{aligned}
W_{\phi o}(f)&=\frac{W_0}{P_S}\left[1+\left(\frac{f_o}{2Qf}\right)^2\right]\left(1+\frac{f_3}{f}\right)\\
W_{\phi i}(f)&=\frac{W_0}{P_S}\left(\frac{f_o}{2Qf}\right)^2\left(1+\frac{f_3}{f}\right)
\end{aligned}
\tag{9-1}
$$

其中 W_0 为白噪声的噪声谱密度，P_S 为振荡器的功率，Q 为有负载时的谐振器品质因数，f_3 为一个与闪烁噪声有关的转角频率。Sauvage[9.6]做过传递函数的分析，得到与式(9-1)相同的形式，但他没有使用 Baukhausen 判据。

3. 谱形

从式(9-1)可以推导出谱的几个特点。

- ☐ $W_{\phi i}(f)$ 只能有 $1/f^3$ 和 $1/f^2$ 的频率区，因为图 9-1 中的理想化谐振器在它的输出中是不存在 $1/f$ 或白噪声谱的。在 $1/f^3$ 与 $1/f^2$ 频率区之间的转角频率是 f^3。
- ☐ $W_{\phi o}(f)$ 总有一个 $1/f^3$ 频率区。
- ☐ $W_{\phi o}(f)$ 有一个从 f^3 延伸到 $f_o/2Q$ 的 $1/f_2$ 频率区，但仅当 $f_3< f_o/2Q$ 的时候成立。
- ☐ $W_{\phi o}(f)$ 有一个从 $f_o/2Q$ 延伸到 f_3 的 $1/f$ 频率区，但仅当 $f_3> f_o/2Q$ 的时候成立。
- ☐ $W_{\phi o}(f)$ 有一个白噪声频率区，它的起始频率为 $f=f_o/2Q$ 和 $f=f_3$ 中较高的那个频率。

9.3.2 振荡器的设计原则

Leeson 模型和式(9-1)给出了关于低相位噪声振荡器的几个设计原则:

- ☐ 白噪声谱密度 W_0 应当小;
- ☐ 振荡器的功率 P_S 应当大;
- ☐ 谐振器的 Q 值应当大;
- ☐ 闪烁转角频率 f_3 应当小;
- ☐ 如果高频区的相位噪声很重要,那么振荡器的输出应当从谐振器的输出端引出,而不可从放大器的输出端引出,以发挥谐振器的滤波优点。然而也应当知道,振荡器后面的电路(比如,缓冲放大器、倍频器、分频器和相位噪声分析仪)往往会加上足以改变振荡器特性的 $1/f$ 噪声或白噪声。

选用图 9-1 中的结构来进行讨论,是因为它的谐振器的相位噪声输出是以 −20 dB/十倍频的渐近线滚降的,而不是像放大器的输出那样水平的。如果谐振器的衰减在较高频率区成水平线,那么 $W_{\phi i}(f)$ 也将成水平线而损害了相位噪声的性能[9.6]。

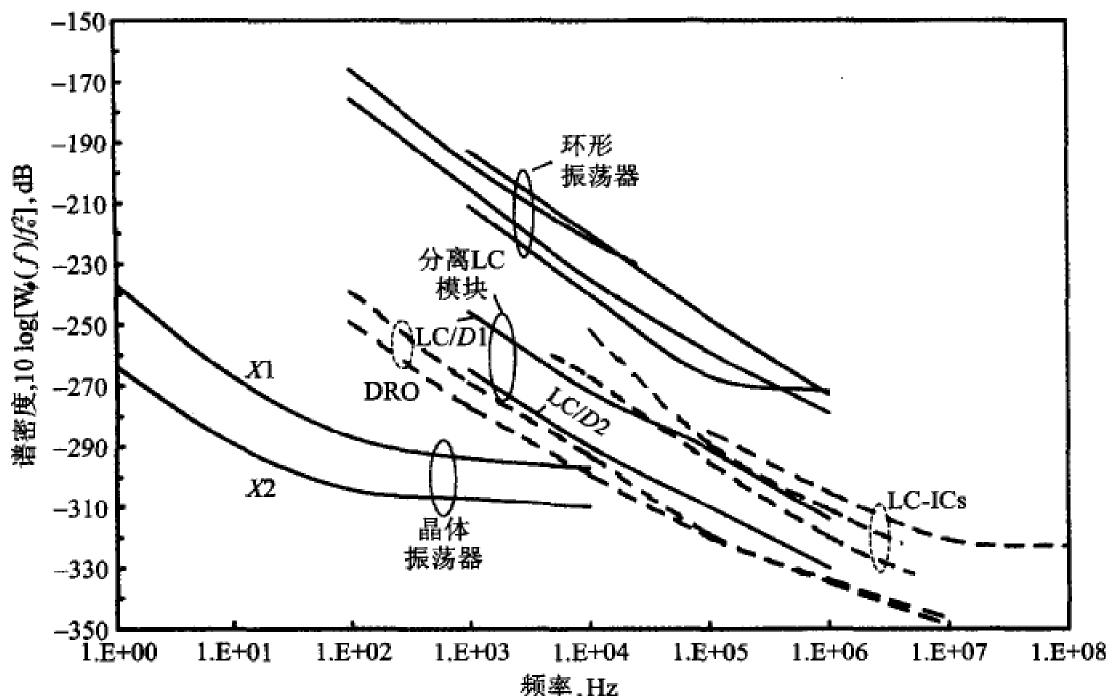
石英晶体是具有水平渐近线响应的谐振器[9.7]的一个例子。石英晶体的等效电路由一个 RLC 串联电路与一个并联电容 C_p 组成。许多晶体振荡器电路是工作在串联谐振或近乎串联谐振状态的,但并联电容却提供了一个旁路,而这个旁路作用对远离振荡频率区的噪声产生了一个衰减,并由此确定出了在这些频率上的噪声底线(floor)。其结果是,典型的晶体振荡器的相位噪声谱是从相对非常小的频偏 f 处开始的一条白噪声底线。这个特性使我们想起使用半桥的优点,其中的晶体为一条支路,电容量等于 C_p 的电容为另一条支路,以此来抵消晶体中并联电容的旁路作用,从而改善较高频率处的相位噪声谱。无线电工程师把这个技术叫做"中和",这曾经在一段时间内是广泛使用的方法。 212

振荡器的 $1/f^3$ 相位噪声是可以用宽带 PLL 的跟踪来消除的,所以并没有引起很多关注。但如果 PLL 必须是窄带的,那么 $1/f^3$ 的相位噪声可能占主导地位;这样,我们就必须尽可能地降低闪烁调制(即,尽可能降低 f^3 转角频率)。Halford、Wainwright 和 Barnes[9.9]有一个简短的注释是这样说的,放大器和倍频器中的本地 RF 反馈(比如,在放大器的发射极或源极电路中使用未旁路的电阻)可以极大改善闪烁相位调制。我不知道这个技术是否已被用于振荡器。图 9-1 表示了出现在放大器中的闪烁噪声。但 Walls 和 Wainwright[9.8]发现闪烁噪声也会出现在石英晶体中。高 Q 晶体的闪烁噪声会比低 Q 晶体的低。

9.3.3 相位噪声谱举例

图 9-2 画出了几个对于不同结构振荡器中测得的或规定的相位噪声谱。可以看到,纵坐标不是 $W_\phi(f)$;比如,把一个工作在 1 MHz 的环形振荡器的相位噪声与一个工作在 20 GHz 的 DRO 的相位噪声直接比较是不公平的。正确的做法是,把频谱对于

振荡频率进行归一化[9,10]，其方法是将 $W_\phi(f)$ 除以 f_o^2，图 9-2 中的数据是 $10\log[W_\phi(f)/f_o^2]$。



213

图 9-2 一些重要的振荡器的相位噪声谱，并以同一振荡频率作了归一化

为什么要用频率归一化的措施呢？因为工作在某个特定频带上的振荡器的信号是可以经过倍频、分频或合成而输出任意要求频带内的信号。如果倍频器、分频器或合成器假设为无相位噪声的（太好了，但仅是进一步计算的开始），那么不同振荡器的性能可以在一个希望的频率上进行比较，而不是在完全不同的各个频率上比较。振荡频率的归一化把所有振荡器的相位噪声谱化简到一个相同的基础上。

图 9-2 表示了结构各异的振荡器具有相似形状的相位噪声谱，而且这些形状与 Leeson 模型预测的非常接近。环形振荡器呈现出最差的相位噪声，LC 振荡器占据了很大一片中间区域，介质谐振振荡器（DRO）还算比较好，石英晶体振荡器远远好于所有其他振荡器，尤其是在频率偏差很小的时候。这些结果是可以在各种谐振器的相对 Q 值的基础上预测的。这些曲线显示了锁相频率合成器的基本情况，第 15 章中将讨论锁相频率合成器的问题。晶体振荡器基准源在频偏很小时具有最好的相位噪声，但高频振荡器通常在较大频偏时有较好的噪声特性。频率合成器 PLL 的带宽被选取成使晶体工作在小频偏的区域内，而可控振荡器所使用的性能主要在频偏更大的频率区内。

图 9-2 中的两个模块式的 LC 振荡器（标记为 LC/$D1$ 和 LC/$D2$）是用分离元件制造的。这两个振荡器使用了相同的封装外壳，工作在相同的频率范围，而且可以推测电感的体积也大致相同（意思是相同的 Q 因子）。然而，它们的相位噪声谱密度相差大约 20 dB。具有较小噪声密度的那个振荡器（LC/$D2$）有一个小得多的调谐范围，这就

应证了本章开始时的那句话：大的调谐范围和低的相位噪声是互相抵触的。

图 9-2 中的模块式 LC 振荡器具有比 IC LC 振荡器较好的相位噪声。这个优点来自分离电感的 Q 值大于一般的 IC 电感，以及模块式振荡器有比较大的功率输出。采用更大的、更高 Q 值的谐振器和更大功率输出的 LC(或空腔谐振器和传输线)振荡器，甚至可以得到更好的性能。在两个标有晶体振荡器的曲线中，标为 $X1$ 的曲线(虽然采用了常规的设计方法)表示了高品质商用器件的产品目录规范；而 $X2$ 曲线表示了对一种不寻常的建议设计所预测的噪声性能[9.11]。这种设计原则也许非常适用于需要极低相位噪声的应用。

9.3.4 Leeson 模型的不足

Leeson 模型是基于使用谐振器的振荡器。图 9-2 还画出了一些环形振荡器，它们的谱形是根据 Leeson 模型预测的；但环形振荡器是没有谐振器的；所以这个模型不能用作环振的分析。Leeson 模型是基于线性放大器的，并认为是对加性白噪声所引起的相位噪声谱进行预测的结果。但是，图 9-2 中没有一个振荡器是线性的；所以这个简单的模型不适用。另外，大多数振荡器的工作是极其非线性的；线性模型很少能适用。

214

Leeson 模型证实了闪烁噪声的存在，并正确地观察到了低频闪烁噪声可以通过角调制效应而影响高频振荡器的频谱。但实际的影响过程和调制的幅度仍是未解决的问题。这个模型是不完整的；因为它不能用来预测由闪烁噪声引起的谱分量。更确切地说，闪烁噪声的转角频率 f_3 是不能用该模型来预测的。简单来说，Leeson 模型提供了一个定性思考的基础和一些改善相位噪声的经验规则，但对于非常临界的设计是不够用的。我们需要更多的方法。

9.4 振荡器的分类

作为对更深入的相位噪声解释的铺垫，本节将讨论振荡器的有关性质。PLL 中使用的大多数振荡器是正反馈网络，至少包含一个用以确定频率的电路(比如谐振器)和一个维持振荡的放大器。稳定的振荡在平衡状态下是满足 Baukhausen 判据的，即反馈环路的有效增益为 1 和沿着环路一周的相位是以 2π 为模的 0。

为保证快速可靠地起振，通常的增益总是大于最小值的：一般为最小值的 3 倍至 5 倍。因而，振荡器必须包含一个这样的机构：当振荡器一旦达到稳态平衡时，就把环路有效增益降低到 1。然后，根据振幅控制方法的不同，放大器会进入到一个线性的或非线性的工作区。线性工作的实现是利用一个元件来检测振荡器的振幅，然后调整环路中的增益，使振幅保持在放大器线性区内的一个希望的幅度上。增益的调整可以用另外的单元电路实现[9.13,215页]，或者更常见的，比如，通过调整偏置电流来调节放大器自身的恒定增益[9.14~9.17]。(注意，只有参考文献[9.16]和[9.14]使用了线性恒定放大器。其他文章报道的都是非线性振荡器的振幅控制方法。)由于放大器的线性度和谐振器

的选择性，在理想的线性振荡器中是不存在(或很小的)谐波的。A类偏置和单管放大器的驱动方式是实现线性操作的最常见的方法。A类振荡器在PLL中是不常见的。

振荡器中的电平控制环路在传感器和被控单元之间有一个滤波器(一般是一个积分器)。滤波器是与振荡器的动态包络响应串联的。如果谐振器的带宽很窄，那么包络响应很慢。我们还必须注意保证控制环路的稳定操作[9.18]。

215 非线性振荡器可以分为两类：依靠限幅器来设定振荡器振幅和调整放大器导电角来控制振幅。也可能还有其他的类型。确定某个非线性振荡器的类型不总是容易的；文献中很少有讨论如何进行分类的。限幅器控制的振荡器在过去并不普遍；参考文献[9.19]中建议使用背靠背的并行二极管，在参考文献[9.20]中提出了电压比较器(硬限幅器)。限幅器总要在整个振荡周期内通过电流(即，总要向谐振器提供功率)，从不断开。如果限幅器特性是对称的，那么在它的输出中只会有奇次谐波。最近受到普遍使用的推挽式LC IC振荡器[9.2]可以看成属于限幅器类型的，环形振荡器也属于这个类型。

另一个类型的非线性振荡器往往被称作*多谐振荡器*，或(混淆地)称为*自限幅振荡器*。在这些振荡器中，放大器工作在C类；放大器的导电时间远小于半个周期时间。开始时，在振幅尚未建立起来之前，放大器的电流是连续的。在建立振荡的瞬态过程中，偏压会逐渐变化以减少电流和有效增益。当达到平衡时，振荡已经建立起来并达到很大的振幅，但偏压也会很大。其结果是，放大器在一个周期的大部分时间内是关断的，电流变成一些很窄的脉冲。这些脉冲只在一个周期内稍微地驱动一下谐振器；在一个周期中的大部分时间内，放大器是与谐振器断开的。窄脉冲串有很高的谐波成分；振荡器中出现的几乎呈正弦波的电压，仅仅是因为谐振器的窄带滤波的原因。大多数最著名的振荡器都工作在非线性的C类。

许多年来，电子学界一直存在一个悬而未决的争论话题：哪一类振荡器有较小的相位噪声，A类还是C类？早期的文章[9.12,第7章;9.13,6.9节]倾向于A类，尤其是桥式振荡器，而且声称A类工作极大地改善了频率稳定性。C类振荡器的支持者说，放大器电流非常窄的占空比使放大器只在一个周期的很短一部分时间内才对电路提供噪声。在电流断开期间，谐振器是自由运转的，不受放大器的任何噪声的扰动。

前面讨论的振荡器都是使用反馈环路的。对于其中的许多振荡器，这些讨论可以改写为由有源电路产生的负电阻(或负电导)与谐振器互连而成。在平衡状态下，负电阻完全抵消了谐振器中有损耗的正电阻，因而形成了稳定的振荡。推挽LC振荡器可以容易地用负阻观点来分析。有些振荡器，比如使用耿氏二极管或IMPATT二极管作为有源元件的振荡器，必然是没有反馈的；这种有源元件实际上也确实产生了一个负电阻。这些振荡器只能以负阻电路来分析。

所有前面的振荡器都包含谐振器，但其他的电路是不包含谐振器的；环形振荡器是一种属于后一类的重要的实用电路。谐振器建立了窄带的反馈环路，并有一个随频

216 率而快速变化的相位。窄带和快速变化的相移都来自谐振器的高Q值。由于振荡发生在环路的相移为360°的整倍数的频率上，所以谐振器的陡峭的相位斜率把振荡频率

限制在了一个很小的范围内,且与放大器中可能的相位波动无关。

环形振荡器也可以叫做相移振荡器或弛张振荡器。在相移振荡器中,电路网络(一般是电阻电容电路)建立起了相移(典型值是180°),有源元件的反相功能建立了另一个180°,所以总计是360°,这正是振荡所需的。RC相移网络的相位斜率与大多数谐振器相比非常小(即它的Q值与任何一个一般的谐振器相比是非常低的),所以有源电路中的相位波动对振荡频率有更大的影响。

弛张振荡器有一个或几个时间基准,这些时间基准是由两个因素确定的:对电容充放电而产生的斜坡电压,由电容上的斜坡电压穿过某个阈值时启动开关。在两次穿越阈值之间的时间区间确定了振荡的周期。

对振荡器的分类不是为分类而分类,而是因为各种线性和非线性类型对噪声的互作用有不同的方式。分类对于相位噪声的分析很重要;一个分析方法对某一类振荡器是成立的,也许对另一类就不成立。例如,Leeson模型看来只适用于带有谐振器的线性振荡器。下节中将再次遇到分类的问题。

9.5 振荡器中的相位噪声:深入分析

在20世纪90年代突然出现了许多关于振荡器相位噪声的文章。高度关注这一点有几方面的原因。

(1) 当时,振荡器正在与系统中的其他电路一起集成到芯片上。电路设计者必须理解振荡器才能设计振荡器;这个任务再也不能像从前那样交给专门的振荡器制造商来完成。

(2) 当时,人们逐渐认识到,相位噪声是系统性能下降的关键原因所在,所以必须做更好的控制。

(3) 之前的IC振荡器的相位噪声要比分离电路振荡器的差,因而需要投入比以往更多的努力。

(4) 通信系统所指向的高频区的相位噪声会引起更大的麻烦。

(5) 经过许多年的努力,对器件和电路模型的理解已有非常大的提高,因而可以使用更智能型的分析方法。

(6) 电路仿真程序是工程师们掌握的功能极其强大的设计工具,通过仿真程序可以立即知晓电路的工作情况,而对正在运行中的电路进行测量的方法是难以使用的。

(7) 高难数学已经进入工程界;我们中的有些人有很好的非线性数学能力,而且他们一直在写作振荡器相位噪声的文章。参考文献[9.21~9.32]中有按年代排列的著名文献。这些文章的实际应用是极其依赖于计算机的;文章中也没有给出简单的公式。这些文章是互相争辩和互不赞同的,但其中的每一篇文章都是一个值得思考的贡献。我们希望,将来关于他们的不同观点能有一个精确而和谐的综合性结论。

通过对振荡器的分析,我们应当能回答这样两个问题。

(1) 振荡器是如何把振荡器频率 f_0 附近(或实际上还包括谐波附近)的加性噪声转换为其基带谱形 $W_\phi(f)$ 正比于 $1/f^2$ 的相位噪声的? 等价地,振荡器是如何把 $(f_0+\Delta f)$ 频率处的加性正弦波干扰转换成位于 $(f_0\pm\Delta f)$ 处的振幅相等、相位相反的一对边带的(忽略 $(f_0\pm n\Delta f)$ 处的较弱的边带,其中 $|n|>1$)? 其中每一个的功率都正比于 $1/\Delta f^2$。

(2) 振荡器是如何把加性低频闪烁噪声(其谱密度正比于 $1/f$)转变为频谱 $W_\phi(f)$ 正比于 $1/f^3$ 的相位噪声的? 等价地,振荡器是如何把低频 f_a 处(一般为声频范围)的加性正弦波扰动转变为 $(f_0\pm f_a)$ 处的振幅相等、相位相反的一对边带的? 其中每一个的功率正比于 $1/f_a^3$。

9.5.1 冲击敏感函数

Hajimiri 和 Lee 设计出了一种用于振荡器相位噪声分析的工具,他们把它叫做**冲击敏感函数**(ISF, Impulse Sensitivity Function)。他们最详细的解释(到 2004 年初为止)在参考文献[9.21]中给出,在参考文献[9.27]中有简短的说明,有关 ISF 的内容和其他大量的文章被收集在他们的一本书中[9.26]。ISF 定量地描述了在振荡器的某个具体结点上和在振荡周期的某个具体时刻上产生的一个噪声冲击脉冲会引起怎样的相位扰动。ISF 回答了上面关于加性噪声转换成相位噪声的问题。文章中所列出的每一类加性干扰都可以被 ISF 方法以基本相同的方式来处理;对这些不同的干扰不需要个别的特殊的处理。ISF 方法适用于所有类型的振荡器:线性的或非线性的,基于谐振器的或非基于谐振器的。

对于振荡器内的每一个噪声源都定义有一个*有效的* ISF;每个这样的 ISF 是与振荡器波形有关的,而且是周期性的。最方便地确定 ISF 的方法是把冲击函数注入到正在被仿真的振荡器电路中。周期性的 ISF 可以展开成傅里叶级数,级数中的每一项对应一个独立的相位噪声贡献。

218 在振荡器中,加性白噪声被转换成了 $1/f^2$ 相位噪声。产生 $1/f^2$ 的谱形是由于所有振荡器中固有的相位扰动的累积,这不包括谐振器选择性的影响。由低频 $1/f$ 闪烁噪声引起的 $1/f^3$ 相位噪声是由噪声源的强度和 ISF 傅里叶级数展开中 DC 项的系数确定的。如果这个 DC 项系数可以做得很小,那就可以达到很低的 $1/f^3$ 相位噪声。而如果要求这个系数很小,那么振荡器的波形就应该有对称的上升沿和下降沿,即使在低频闪烁噪声很大(如在 MOS 管中)的情况下也可使这个系数很小。

使用差分振荡器电路的方法来抑制闪烁噪声,是很早以前在参考文献[9.34]中提出的,但后来在参考文献[9.35]中又有争议。Hajimiri 和 Lee 赞同反对的意见:仅仅差分电路是不足以抑制闪烁噪声向高频转换的;还必须要求差分电路中的每个器件都有前后沿对称的波形。在参考文献[9.19]中提出了一种带有线性放大器的振荡器,还外加了一个限幅器,而这个限幅器由一对接成并联背靠背的肖特基二极管组成。尚不清楚这个结构是否可提供想要的波形对称性;进一步的研究(采用 ISF 分析)也许会取得一些成果。

相位噪声的预测精度取决于 ISF 的精确计算和对振荡器电路中噪声源的精确理解。Hajimiri 和 Lee 在参考文献[9.21]中对几个实验做了仔细的计算，并检验了预测的精度。他们说，预测结果与测量值在相位噪声谱中 $1/f^2$ 区域内的误差小于 1 dB，这个预测完全基于 ISF 的理论特性和振荡器内的热噪声源和散弹噪声源。为了预测$1/f^3$相位噪声，他们必须对一个运转中的器件样品测量其闪烁噪声；他们觉得，根据理论特性将闪烁噪声确定到足够的精度是做不到的。

Ou 等人[9.33]对几个振荡器电路做过仿真与测量。他们进行了一次 ISF 分析，以预测相位噪声，并分别用两个不同的商用仿真程序计算了相位噪声。由程序和 ISF 方法得出的结果还算符合，它们之间的差别在几分之一分贝到数分贝之间，但测得的相位噪声与所有的预测相比，误差都在 3 dB～4 dB 之外（在两个方向上，并与振荡器有关）。这些差异的原因没有给出。但即使是这样大的差异也是令人高兴的，因为比以前的预测分析更接近实际了。

9.5.2 相位噪声的非线性分析

有几篇文章是通过严格的非线性分析来讨论相位噪声问题的。Huang[9.29]把他的分析约束于 C 类 Colpitts 振荡器。他推导出了偏流限制下的振荡器振幅，然后探讨了上面的第一个问题。在冗长的推导中，他从数学上证明了一个频率为$(f_o+\Delta f)$的加性正弦干扰是如何引起 RF 谱中$(f_o\pm\Delta f)$处的幅值相等、相位相反的两个边带的，而且证明了每个边带内的功率是如何正比于 $1/f^2$ 的。测量结果与 $1/f^2$ 区域内相位噪声谱的预测值符合得很好。这个已发表的分析没有讲到如何处理闪烁噪声向高频区的转变，也没有讲到与 C 类模型根本不同的其他振荡器的情况。 219

Samori 等人[9.22]分析了一个采用双极晶体管的差分 LC 振荡器。他们观察到差分级的瞬时跨导 $dI_{out}(t)/dV_{in}(t)$是 LC 谐振器的瞬时电压 $V_{in}(t)$的偶函数。这个电压是周期性的，且接近正弦波，频率为振荡器频率 f_o，所以瞬时跨导可以展开为傅里叶级数，其中的非零项是频率为 $2nf_o$ 的各项，其中 $n=-\infty$到∞，包括 $n=0$。

把一个频率为$(f_o-\Delta f)$的加性正弦干扰源以差分方式加到差分放大器上，而且这个干扰源的振幅相对于振荡器的振幅很小。这样一个干扰源将与频率为 $2f_o$ 的瞬时跨导项产生交叉调制，并产生一个位于$(f_o+\Delta f)$的三次分量。交叉调制中包含了 AM 和 PM 分量。其中的 AM 可以用限幅的方法来抑制。他们还指出，在 f_o 的奇次谐波频偏$\pm\Delta f$处的噪声被折叠到了$(f_o\pm\Delta f)$的噪声边带中；这个折叠噪声也包含了 AM 和 PM 分量。

关于由差分放大器尾部恒流源所产生的噪声，参考文献[9.22]中的分析发现，位于偶次谐波$(2nf_o\pm\Delta f)$两侧的噪声被折叠到了位于$(f_o\pm\Delta f)$的 AM 和 PM 边带中。由这个分析可以预测出，位于 $f=\Delta f$ 处的低频噪声（实际上是闪烁噪声占主要）把 AM 边带（不是 PM 边带）贡献给了振荡器。这个情况与按经验推算是不同的。尚没有噪声的测量数据来与这个预测作比较。

根据 Leeson 模型的预测，相位噪声是与信号功率（或信号电压的平方）成反比的。参考文献[9.37]说，相位噪声与振荡器振幅的这个理想的关系只是在某个条件下才成立；实际上，相位噪声在振幅足够大时才增加。该参考文献把这个噪声的增加归结于双极晶体管中与电流有关的延迟发生了变化（比如，基区扩展电阻的调制效应），但也可能是非线性电抗元件（比如，晶体管或变容二极管的压敏电容）的 AM-PM 转换。该参考文献还说，LC 推挽振荡器尾部恒流源的低频加性相位噪声的上变频，是出现在 AM-PM 的变换过程中，而不是因为参考文献[9.22]中所说的非线性效应所致。

在另外一些文章[9.24,9.38~9.40]中，推挽振荡器中尾电流噪声已经被作为相位噪声源而受到关注，在这些文章中提出了减轻问题的方法。Levantino 等人[9.40]走得太远，以至于建议取消尾电流晶体管。Ham 和 Hajimiri 的一篇文章[9.41]非常详细地讨论了通过 ISF 概念进行 LC 差分振荡器设计的一些折中思路。参考文献[9.2]中给出了另外一些讨论 LC 差分振荡器的文章。

Demir、Mehrotra 和 Roychowdhury[9.28]给出的一种非线性分析方法，适用于任何可以用非线性微分方程描述的振荡器。所发表的分析方法是形式上的、严格的和抽象的，证明中使用了 Floquet 理论和随机微分方程。由其中的一个分析得出的结果是 RF 谱 $W_v(f)$或它的归一化谱$\mathcal{L}(f)$，但归一化谱本身就是一个难题，如 7.3.4 节中讨论的。Demir 等人指出，如果加性噪声谱是白的，那么振荡器的 RF 谱是洛伦形的（见 7.3.4 节）。他们简单地讨论了非线性微分方程的两个数值计算方法，并指出这两个计算方法比 Monte Carlo 法要快出好几个数量级。文章给出了几个噪声预测的例子，但文章没有给出预测值与测量值之间的定量比较。

220

Vanassche、Gielen 和 Sansen 的一篇稍晚发表的文章[9.86]继续讨论了参考文献[9.28]中提出的问题，为实践工程师提供了详细的内容。参考文献[9.86]中的一个主要内容是，把低频包络过程（最重要的是相位噪声）的分析与高频载波的分析分离开来。这种分离的分析方法极大地提高了计算机的仿真速度。Coram[9.30]考察了极限环的一些技术方面的问题，而极限环是 Hajimiri 和 Lee 以及 Demir、Mehrotra 和 Roychowdhury 等人研究工作的基础。他的结论是，后者的方法是严格准确的，然而 Hajimiri 和 Lee 使用的近似方法，虽然一般情况下是可行的，但可能会在有些情况下引起麻烦。

非线性振荡器会发生意想不到的错误运行。一种叫做间歇振荡的现象已经久为人知了[9.13,6.8节]；自偏置网络的时间常数与谐振器的响应时间常数的互相影响，会在所要的高频振荡上叠加一个大振幅的低频振荡。参考文献[9.13]中讨论了如何防止这种间歇振荡。Maggio、DeFeo 和 Kennedy 的一篇文章[9.36]指出，如果设计不恰当，非线性振荡器可以变成混沌的（chaotIC）。如果谐振器的 Q 值很低，并且放大器的起始增益比维持振荡所要求的大得多，那么出现混沌的可能性就非常大。

前面的参考文献讨论了包含谐振器的振荡器；它们中最差的振荡器的 $Q\approx5$ 或 6，而最好的晶体振荡器的 Q 值接近 106。与此相比，没有调谐电路的环形振荡器则有很大的带宽，因而就内部产生的相位噪声而言，要比大多数谐振式振荡器差或差得很多。

环形振荡器的原理可以在参考文献[9.1]、[9.25]、[9.42～9.48]和[9.85]中找到。

9.6 其他扰动

9.5 节中所引用的相位噪声的文章都是关于振荡器内部的白噪声谱和闪烁噪声谱的加性噪声源。虽然其他的扰动还没有写出很好的文章，但也是影响到振荡器的。与振荡器很靠近的外部噪声源可以很容易地产生远高于内部噪声源的相位噪声。最坏的外部噪声来自同一电路板上数字电路的开关操作，更糟糕的是与振荡器同一 IC 芯片上的数字电路。环形振荡器一般最容易受外部噪声的影响，因为它们没有频率选择性，对小扰动一般非常敏感。Herzel 和 Razavi[9.49]提供了关于外部引起的相位噪声的信息。在分析环形振荡器时，Hajimiri、Limotyrakis 和 Lee[9.25]指出，单边放大器内部的相位噪声非常小，但为了抑制外部噪声源只有建议使用差分级。Heydrai[9.87]分析了 IC 芯片的电源、接地和基片噪声的问题，并且提出了一个数学模型。

221

为了防止电源线上的外部噪声影响敏感元件，可以采用分离电源线或隔离稳压器的方法。外部噪声也会通过电感或电容的偶合而传播；这些是关于布局布线和隔离的问题。最坏的外部噪声偶合是由模拟与数字电路共用的地线和衬底所产生的[9.50]。只用差分模拟电路是不够的；这些电路需要对扰动很高的共模抑制，而且必须设计成使外部干扰完全是共模的，还要防止转变成差模干扰。减少外部扰动也是有用的，比如在数字电路中采用电流型差分电路。

外部环境，比如温度、压力、震动、重力和供电电压，也都是重要的，虽然很少在文献中见到。已经报道过由环境引起对高品质晶体振荡器的频率的影响[9.51]。

另一个扰动是无法解释的频率跳动。一般是偶然发生的和很小的频率跳动，它们的出现没有明显的原因。大的频率跳动的出现非常之少，因而在通常的相位噪声测量中是看不到的，也就未受广泛关注。PLL 对频率跳动的响应是进入一次相位误差的暂态过程，如第 5 章中描述的。如果频率跳动大到可以与环路带宽比较时，PLL 就会失锁，并在经过一些周期之后再回到锁定。这种行为可以造成系统的极大混乱。

专家们[9.52]已经知道这个现象许多年了，但这个问题并没有在文献中占有一席之地。这并不是说已经找到了满意的解释。同行们已经提出了各种各样的解释，如下面列出的。其中没有一个是得到验证的；也许会有几个是对的；到目前为止还没有想到的也许就是正确的解释。在这个时候，我们应当知道频率跳动是确实存在的，虽然合适的措施尚不清楚。

- 频率跳动也许是由高斯加性噪声[9.52]造成的，这个解释不大可能。
- 频率跳动也许是闪烁噪声的一个极端的和罕见的现象[9.25]。由于闪烁噪声不像热噪声和散弹噪声那样已经十分了解了，所以这个解释不是十分容易地否定的。如果正确，那么不应使用高闪烁噪声的器件(比如 MOS 管)。
- 频率跳动也许与振荡器元件的正常老化过程有关。这个解释可以特别适用于石

英晶体,因为晶体的机械震动不断地甩出吸附的气体分子或金属电极的细粒和石英碎片。负荷质量的变化影响了频率。

222

- ☐ 频率跳动也许是有源元件中的爆裂噪声引起的。爆裂噪声经常描述成这样的特性:先跳向一个方向,过一段时间后又跳回到原来状态。正向偏置的 PN 结在局部热点上导通电流。爆裂噪声也许来自热点位置上的突然跳动。这个位置的改变引起器件特性的小改变,然后反映到振荡器的频率上。如果是正确的,那么基射结正偏的双极晶体管应当不能在振荡器中使用。
- ☐ 温度的改变也许会在谐振器内(或在振荡器电路的其他什么地方)建立起应力,引起频率的一个小跳动。如果正确,那就需要小心地进行热机械设计。
- ☐ Alpha 粒子或类似的辐射物也许会袭击振荡器中易受侵袭的部位,因而引起频率跳动。

9.7 振荡器的调谐类型

振荡器的几种常用的形式已经在本章的前面几节中提到了。本节再说一下其他的类别,分为两类:连续调谐振荡器和离散调谐振荡器。

9.7.1 连续调谐振荡器

连续调谐振荡器可以调谐到它的调谐范围内的任意频率上。所有传统的模拟振荡器都属于这一类型。连续调谐中的问题将在 9.8 节中做进一步讨论。前面几节已经提到了环形振荡器、差分 LC 振荡器、Colpitts LC 振荡器和晶体振荡器。这些年来已经设计出了许多其他的振荡器电路;关于这些振荡器的例子,可参阅 Edson 所著的参考文献[9.12]。本节将对 PLL 工程师感兴趣的各种连续调谐振荡器做一点评。

注解:Edson 的那本书,虽然出版很长时间了,而且只讲真空管,但仍然是到目前为止关于振荡器的最完整的书籍之一。该书值得一读;书中的真空管可以用晶体管替换。

1. 晶体振荡器

Pierce 晶体振荡器[9.12,9.7节;9.53,9.54]有一个简单和频率稳定的好名声。参考文献中给出了等效电路和详细的工作分析。振荡出现在谐振器的阻抗为感抗的一个频率上,其方法是通过运行在晶体的串联谐振频率稍高一点的频率上或引入另外一个与晶体串联的电感。

2. LC 振荡器

除了上面提到的差分和 Colpitts LC 振荡器外,作为一个工程师还应当知道 Clapp 振荡器[9.55]。Clapp 电路一直被认为是 Colpitts 的改进型或者是 LC 型的晶体振荡器。

223

它被认为比 Colpitts 有更好的稳定性(指更低的相位噪声)。几个关于性能改善、但互不相容的解释在参考文献[9.12,8.9 节,9.56]中给出,最近的讨论在参考文献[9.23]

中。作为一个最简单的解释，我们可以通过直观考察看出，在与大噪声的和不稳定的有源元件的隔离方面，Clapp 电路中的谐振器要优于其他的 LC 振荡器。

3. 正交振荡器

许多现代的接收器和发送器都采用了正交混频器，也称 IQ 混频器；它们被用于镜像抑制混频器、单边带的产生与恢复、下变频到 I 和 Q 基带信号。这些混频器中的本地振荡器必须提供同频率的两路输出，且有非常接近 90°的相位差和非常接近的振幅。产生这种信号的一个方法是用正交振荡器。

一个被人看好的技术是把两个完全一样的差分 LC 振荡器放在同一块芯片上，因为这种布局可以使两者密切匹配。这两个振荡器用同一个控制电压调谐，而且要是互相隔离的话，还可以运行在几乎相同的标称频率上。但它们是交叉偶合的，以使互相给对方注入锁定(injection lock)在一个 90°的相位差上。参考文献(按年代排列)包括[9.57～9.62]。[9.62]给出了一个警示：这两个振荡器在启动时可以有两种不同的方式，即其中的任意一个振荡器都可以随机地相位领先。一般的系统都要求严格规定这种超前与滞后的相位关系，而不能随意。对不希望的相位关系的抑制方法在参考文献[9.62]中说明。

环形振荡器也可以用来产生正交输出；使用任意整数个四级电路，并在相位正交的地方引出抽头，也可使用差分式的两级环振。对许多应用来说，环形振荡器的噪声太大。为了克服噪声，Kinget 等人[9.63]使用了一种两级环形振荡器作为正交信号发生器，并把环振注入锁定到一个低噪声的基准信号源上。注入锁定类似于一阶宽带锁相环[9.64～9.67]，所以环形振荡器的噪声在注入锁定的有效带宽内的那部分因为跟踪而被消除了。

9.7.2 离散调谐振荡器

数字或混合 PLL 只能在调谐范围内提供一组离散的频率点。有两类离散频率振荡器：提供时间连续的(即模拟的)输出信号和提供真正的数字输出(即一连串样点数据)。因为 PLL 输入信号的频率几乎总是取连续值的，所以离散调谐振荡器的输出频率几乎永远不能与输入频率一样。一个正常工作的、具有量化输出频率的 PLL 也就必然在最接近输入频率的两侧频率点上来回跳动。环路反馈使平均输出频率等于输入频率。这种无法避免的双频跳动引起了相位抖动，这将在第 13 章中解释。

1. 离散调谐的模拟振荡器

数模转换器(DAC)经常被用来把数字环路滤波器的控制字转换成模拟 VCO 调谐用的模拟电压。数字环路滤波器对于需要特别窄带的 PLL 是极其有用的，也就是说，PLL 的环路滤波器可以有很大的时间常数。这类混合数字 PLL 在通信网络中得到了广泛使用，其中使用的环路带宽远小于 1 Hz。 224

制造商生产出了大量的 DAC，所以用 DAC 来控制调谐是实现 VCO 离散频率调谐的一个显然易见的并且是成功的方法。然而应当知道，DAC 噪声很大，而且 DAC 的噪

声是制造商很少给出的。还有,如果同时要求很宽的调谐范围和离散频率之间的细密间距,那就也许实际已有的 DAC 的分辨率就不够用(即要求更多的位数)。

最近的进展[9.68]已经不再使用 DAC 了,取而代之的是使用振荡器自己内部的开关调谐电容。调谐电容和与之相连的开关电路都用 MOS 器件来实现。这种结构是与 IC 发展的总趋势一致的:在芯片上包含系统中所有的元件,通过集成技术制造出极其复杂的电路,并且寻找小尺寸和低功耗的实现途径。参考文献中不仅描述了电路的创新,而且提出了一个分析方法,并讨论了在常用 VCO 中不会遇到的一些结构上的问题。

2. 离散频率数字振荡器

数控振荡器(NCO)是在 4.2 节中介绍的,现在重画于图 9-3 中。NCO 的核心是一个累加寄存器,它对 PLL 环路滤波器所提供的频率控制字 $u_c[n]$进行累加。这个核心寄存器的差分方程为

$$\varepsilon_o[n]=\{u_c[n-1]+\varepsilon_o[n-1]\}\quad \text{mod-1}\quad 周期 \tag{9-2}$$

其中 n 为样点的序号,模 1(mod-1)的意思是把累加器的内容 $\varepsilon_o[0,1]$看成一个以分数周期表示的相位。NCO 以 f_{ck}为时钟。所产生的输出频率 f_o 在$\pm f_{ck}/2$ 的范围之内,所以不会发生混叠的现象。从外面来考虑,也许要求 f_o 的范围更窄一些。振荡器频率间距为 $f_{ck}/2b$,其中 b 为相位寄存器的位数。

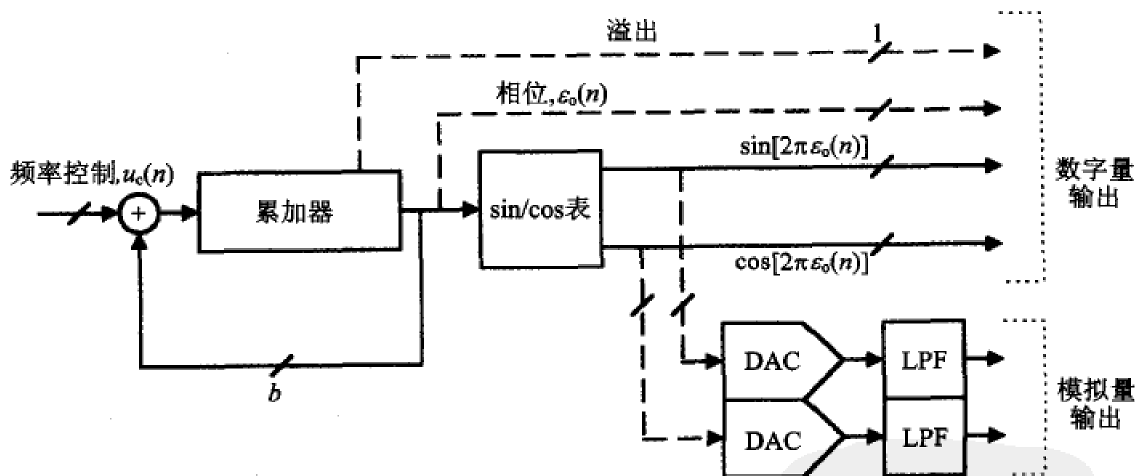


图 9-3　数控振荡器(NCO)的结构,表示各种可选的输出形式

这个振荡器可以输出各种信号。

(1) 溢出输出,例如用寄存器的最高位作为输出,提供一个粗略的输出相位,其相位的波动性为 f_o/f_{ck}个周期。这一般是无法令人满意的。

(2) 把寄存器内容 $\varepsilon_o[n]$用作相位输出,其分辨率可以精确到 $1/2b$ 周期,实际的分辨率取决于输出中保留的位数。由于 b 一般是在 24 位到 64 位之间,所以累加器以外的电路很少使用满度分辨率。

(3) 正弦与余弦的数字量输出可以通过查表或计算得到。这些函数可以在接收器和发送器的 I/Q(复信号)频率转换时使用,也可以在复信号检相器中使用。

(4) 数字量的正弦值和余弦值可以用 DAC 转换成模拟阶梯信号,这个输出信号在用滤波器抑制掉不需要的成分后就可得出相对干净的模拟正弦信号。这种模拟电路叫做直接数字合成(DDS),在参考文献[9.69,9.70]中讲得很多。

数控振荡器有许多用途,给出频率的范围可以很宽,可以提供极细的均匀频率步长,也是受到广泛研究的。随着位数的增加,这种振荡器会变得很庞大,而且会出现延迟和同步的问题。

如果不需要很宽的范围调谐,如果频率步长的某个不均匀度可以接受的话,那么*数字递归正弦波振荡器*(RDSO)[9.71]是另一个值得考虑的方法。RDSO 是一种二阶数字反馈网络,安排成可以输出两路正弦函数样点。Turner[9.71]说明了如何使两路输出的振幅相等、相位正交。为了在出现不可避免的舍入误差时维持振荡,就需要一个振幅控制机构。当外部系统需要从振荡器得到正交的正弦信号时,RDSO 也许是特别受欢迎的。RDSO 的文献与 NCO/DDS 相比显得很缺乏。Turner[9.71]提供了一个非常有价值的数学基础,但只是略微触及了数字工程的内容。因此,当设计 RDSO 时,需要进行更多的分析,这也就包含了更大的工程风险。

9.8 模拟 VCO 的调谐

225~226

锁相环设计者必须要考虑 VCO 的调谐特性。对于各种各样的振荡器已经写得很多了,但在调谐特性这方面写得却不多。本节是作者在调谐这方面的经验总结。

9.8.1 调谐曲线

图 9-4 画出了 VCO 频率与调谐电压 v_c 之间的典型曲线(虽然是人工画制的)。图中存在一个明显的弯曲。低频端的曲线斜率比高频端要陡得多,这是一个经常遇到的特性。VCO 的供应商常常把调谐曲线的弯曲度规定为对于最佳直线的最大偏离,并表示为满度的一个百分比。所谓的“最佳”直线,被定义为与各个偏离极值成等距离的那条直线,如图 9-4 中的虚线。根据这个定义,图 9-4 中的频率曲线的线性度为±7.3%,多少比许多器件规范中所说的±10%要好些。

这个弯曲度的定义对于 PLL 设计者是没有用处的,尽管被大量使用在产品目录中。重要得多的是频率曲线的斜率变化;这个斜率是 VCO 的增益 K_v,在图中表示为 MHz/V。因为斜率在改变,所以 VCO 的增益在改变,因而环路的增益也在改变,而且这个改变与 VCO 被调谐到的频率点有关。图 9-4 中的增益在 5.7 与 1 之间变化:一个不小的变化,但不是不常见的。工程师在设计 PLL 时必须考虑到增益是在变化的。

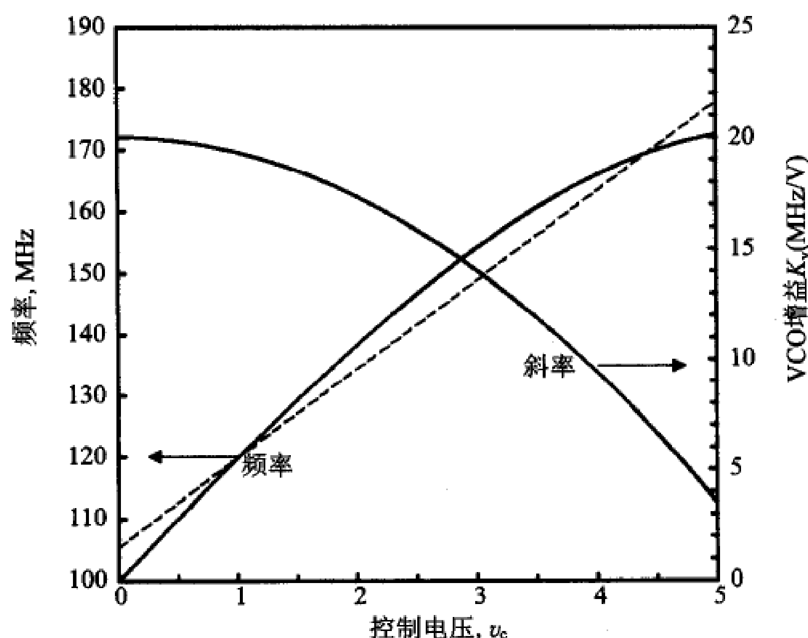


图 9-4　调谐曲线,表示出曲线的非线性、最佳直线(虚线)和斜率的变化

图 9-5 表示了对粗心大意者所设的另一个陷阱。调谐曲线在控制范围内有一个极值，超过此极值后斜率就变号。如果控制电压真的走入这个斜率变号的区域,那 PLL 就可能一直走到控制电压最远的那个值上,然后锁定在那里。一定不要使用斜率变号的调谐曲线。

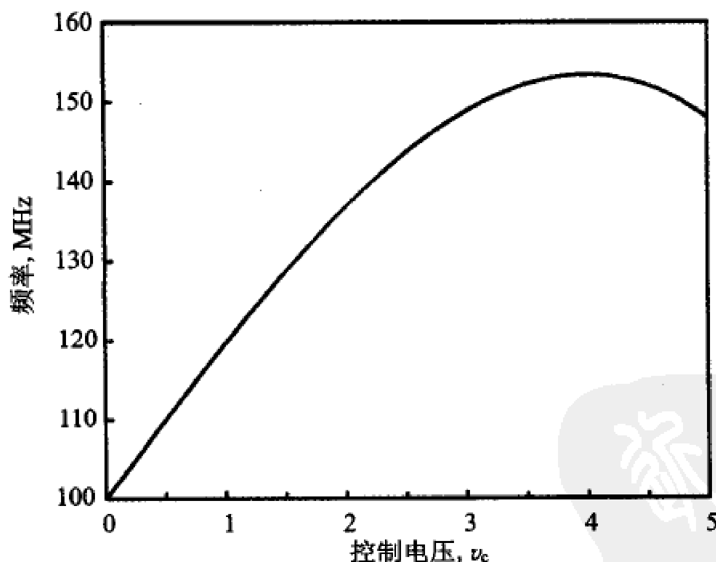


图 9-5　非单调调谐曲线

9.8.2　调谐方法

谐振式振荡器中电调谐的最常用方法是采用变容元件:压敏电容。在对其他方法做简单介绍之后,我们将进一步探讨变容元件的调谐方法。

1. 其他调谐方法

227~228

电抗调制器是一个对谐振器提供人工可控电抗的有源电路，这些电路在变容元件出现前就被使用了，现在仍被用在某些设计中[9.72,9.73]。也可以把一个压控的相移插入到振荡电路的反馈环路中，以迫使振荡器改变频率以维持全环路的准确的360°相移。有些振荡器的频率，尤其在微波频段，是通过改变晶体管放大器的偏置状态来控制的。这种方法中所包含的机理还不清楚，但其中的一个解释是：偏置的改变引起晶体管电容的改变。

磁调谐也是有使用的。饱和电感一直被用于低频。在微波频段，YIG谐振器的调谐是通过改变它所处的磁场来实现的。磁场的调节是由加到电磁铁上的控制电流来实现的。磁调谐一般可以提供很大的调谐范围（一倍频以上），但在电磁铁的大电感线圈中的电流只能缓慢变化。所以，一个磁调谐振荡器通常会有两个调谐线圈：用一个慢速的大线圈来覆盖全部的频率范围，在用一个小线圈在小频率范围内作微调，因而适用于宽带环路所需的快速调谐。磁调谐中使用的铁心容易感受杂散磁场的干扰，自身也可能是一个磁波动源，这两方面都会引起相位噪声。

弛张振荡器中包含电容（一个或几个），这些电容被可控电流充电和放电。当电容上的电压穿过某个阈值点时，就启动一个开关，并改变充电状态，以维持振荡器的振荡。这种弛张振荡器是真正的CCO（电流控制振荡器），但通常在它们前面有一个电压电流转换器，以使整个电路成为一个VCO（压控振荡器）。环形振荡器可以是电流控制的，比如上面那样，或者可以通过改变RC电路中的电阻或甚至电容来工作的。环形振荡器的基本原理在参考文献[9.1]中说明。有些低频VCO[9.74~9.76]使用了积分器和乘法器，这就好比是9.7.2节中RDSO的一种模拟有源电路的实现方法。

2. 变容管

对于LC-VCO和晶体VCXO的调谐，很长时间以来一直是用压控电容实现的。反向偏置的PN结二极管曾被使用了许多年，但现在正被MOS器件所取代。MOS器件有几个优点：(1)PN二极管可以被驱动到正向导电，因而破坏了电容特性，而MOS器件在所有不使绝缘层击穿的电压条件下都仍然还是电容；(2)MOS器件在电容调节时使用了较小的控制电压范围；(3)MOS器件可以很容易地做到芯片上。

变容二极管一般都是分离器件。它们的特性可以从许多制造商的产品说明书中找到。由于MOS变容管通常是做到芯片上的，所以是由芯片工程师来负责MOS变容管设计的。关于MOS变容管的构造和特性的文章，可参阅[9.77～9.79]或其他文献。

3. 变容管的连接

有时当变容管的一端可以工作在RF地的时候（不常有的情况），就可以只使用一支变容管。作为更好的做法，可以用一对匹配的变容管连成反向串联的形式。把变容二极管串联起来的一个好处是，即使其中一个被驱动到正偏时，另一个二极管总还是反偏的；因而，正向电流就被反偏的二极管所阻止。

229

注解：流过并联谐振电路中电容的RF电流是Q倍于LC谐振器的端电流。串联

谐振电路中电容上的电压是 Q 倍于 LC 谐振器的端电压。必须注意高 Q 谐振器中的高电压和大电流。另外，谐振器电路中的某些结点也许是高阻抗的，因此在外电路施加不希望的负载时会非常敏感并产生不良影响。在用变容管设计时，应当考虑这些因素。

在差分振荡器中，当把两个变容管反向连接时，就可以把公共连接端置于 RF 虚地附近，从而方便了控制电压的引入。对于大多数的其他振荡器，反向连接变容管的所有三个端点都可以有很大的 RF 电压。RF 是不允许泄漏到驱动控制电路中的，偏置和控制电路不应对谐振器呈现很大的负载，对所有变容管的端点都必须施加正确的偏置，偏置电路、控制电路和变容管等都不应对 VCO 控制端口产生过分的影响。

变容管与控制电路之间的隔离是经常用电阻实现的。如果谐振器的 Q 值很大，那么电阻值也必须很大，以避免不希望的负载。大电阻比小电阻产生较大的热噪声。如果使用二极变容管，那么在 RF 峰值处的正向电流和漏电流会在电阻上引起 DC 电压降，因而变容管上的实际控制电压就不同于控制电路所提供的电压。一个电阻与被这个电阻所驱动的电容(变容管电容，再加上因使用单个变容管而必需的旁路电容器的电容)的组合即构成了一个低通滤波器；这个低通滤波器必须在 PLL 的频率响应和稳定性设计中予以考虑。

如果可行的话，我们有一个更漂亮的连接方法：用一个电感取代电阻，使变容管与控制电路相隔离。电感可以自谐振到振荡器的频率，因而对 RF 电压呈现一个高阻抗，但对于低频控制电压则呈现为低阻抗。理想的电感是无损的，因此也是无噪声的；实际的电感只是因为它的不可避免的损耗而产生噪声。这个电感与两个变容管(假设用一对反向连接的变容管)的电容所构成的低通带宽，要比同样的变容管和大电阻(不用电感)连接的带宽大得多。仅由串联电感和并联电容构成的低通滤波器的频率响应，会在这两个元件的串联谐振频率附近呈现很大的峰值。需要用一个小电阻与电感串联，以阻尼谐振。

所有前面的讨论都默认电压可变的调谐电容只被放置在振荡器电路中的某一个地方。Winch[9.83]探讨了用三个电容的组合方法，这样可以增加调谐范围，在调谐线性度方面也有极大的改善。

4. 变容管的非线性

一般来说，振荡器频率可以计算为 $f_o = 1/2\pi\sqrt{LC(v_c)}$，其中 $C(v_c)$ 是当变容管上的偏置电压为 v_c 时所得到的谐振器电容(包括变容管和所有其他相关的电容)。这个计算意味着这样的一个假设：被偏置的变容管对于 RF 电压的响应是线性的，所以就用静态电容来确定调谐频率。实际上，变容管是严重非线性的，特别是那些以很小的控制电压变化能给出很大的相对电容变化的变容管。另外，RF 电压一般很大，即 RF 的摆幅会明显超过偏置电压。所以，常规的振荡频率的计算是不正确的。改进了的分析方法[9.79,9.80]考虑到了由非线性电容产生的谐波，并得到了一个有效调谐电容量。同时还发现这个非线性减小了由常规方法预测的调谐曲线的斜率。

这一点也是很重要的，即加到变容管上的任何加性噪声（包括低频闪烁噪声）是与控制电压不可区分的，所以就引起振荡器频率的波动，但表现出的是相位噪声。而且，RF 振荡器的任何振幅波动（振幅的乘法噪声，而非加性噪声）被转换成频率的波动，因为由变容管非线性引起的电容的变化与 RF 振幅有关。这些相位噪声源说明了为什么可变频率振荡器比固定频率振荡器有较大的噪声。关于进一步的内容，可参阅[9.84]。

9.8.3 调谐速度

有人可能会揣测，谐振器的选择性对振荡器频率的改变速率会有主要的影响。我发现这个揣测是不正确的（未发表的实验，1959）。我们把一个高速方波作为控制电压而加到压控晶体振荡器上，在它的输出端用一个 FM 接收器作监测。振荡器频率被观察到小于 2 μs 的上升和下降过程，而由晶体的带宽计算出了约 2 ms 的期望值。由这个实验得出的主要结论是，振荡器的频率变化速率完全跟上了变容管的偏压的变化速度。偏压的变化速度仅取决于控制电压源与变容管之间的滤波的速度。

这个结论必须根据具体振荡器的电路进行修改。Shibutani 等人[9.81]曾报道过当 Colpitts 振荡器中调谐电容发生一个阶跃变化时振荡器频率变化的瞬态过程。文章在分析中（受参考文献[9.82]的启发）是这样预测的，不会像晶体振荡器实验中的频率是立即改变的，Colpitts 振荡器中频率变化的瞬态过程是被拉长了的和非常欠阻尼的。这个行为是与 Colpitts 振荡器中的谐振器是一个三阶网络这个事实相关的。在瞬态过程中，频率的偏移引起偏压的偏移；然后频率与偏压根据电路时间常数而同步地稳定下来。该分析的结论是，在二阶谐振器电路中是不会出现这种现象的。对于呈现这种行为的 VCO，文章还推导出了一个等效的基带滤波电路，以便加到带有这种 VCO 的 PLL 传递函数中去。

231

参考文献

9.1 B. Razavi, ed., *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, Reprint Volume, IEEE Press, New York, 1996.

9.2 B. Razavi, ed., *Phase-Locking in High-Performance Systems*, Reprint Volume, IEEE Press, New York, 2003.

9.3 V. F. Kroupa, ed., *Frequency Stability: Fundamentals and Measurement*, Reprint Volume, IEEE Press, New York, 1983.

9.4 D. W. Allan, "Time and Frequency (Time Domain) Characterization, Estimation, and Prediction of Precision Clocks and Oscillators," *IEEE Trans. Ultrason. Ferroelectr. Freq. Control* ***UFFC-34***, Nov. 1987.

9.5 D. B. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum," *Proc. IEEE* ***54***, 329–330, Feb. 1966. Reprinted in [9.1] and [9.3].

9.6 G. Sauvage, "Phase Noise in Oscillators: A Mathematical Analysis of Leeson's Model," *IEEE Trans. Instrum. Meas.* ***IM-26***, 408–410, Dec. 1977.

9.7 R. Brendel, M. Olivier, and G. Marianneau, "Analysis of the Internal Noise of

Quartz Crystal Oscillators," *IEEE Trans. Instrum. Meas.* ***IM-24***, 160–170, June 1975.

9.8 F. L. Walls and A. E. Wainwright, "Measurement of the Short-Term Stability of Quartz Crystal Resonators and the Implications for Crystal Oscillator Design and Applications," *IEEE Trans. Instrum. Meas.* ***IM-24***, 15–20, Mar. 1975. Reprinted in [9.3].

9.9 D. Halford, A. E. Wainwright, and J. A. Barnes, "Flicker Noise of Phase in RF Amplifiers and Frequency Multipliers: Characterization, Cause, and Cure," *Proc. 22nd Annu. Symp. Freq. Control*, 1968, pp. 340–341. Reprinted in [9.3].

9.10 V. F. Kroupa, "Noise Properties of PLL Systems," *IEEE Trans. Commun.* ***COM-30***, 2244–2252, Oct. 1982. Reprinted in [9.3].

9.11 F. L. Walls and S. R. Stein, "A Frequency Lock System for Improved Quartz Crystal Oscillator Performance," *IEEE Trans. Instrum. Meas.* ***IM-27***, 249–252, Sept. 1978.

9.12 W. A. Edson, *Vacuum-Tube Oscillators*, Wiley, New York, 1953.

9.13 K. K. Clarke and D. T. Hess, *Communication Circuits: Analysis and Design*, Addison-Wesley, Reading MA, 1971, Chap. 6.

9.14 D. Aebischer, H. Oguey, and V. R. von Kaenel, "A 2.1-MHz Crystal Oscillator Time Base with a Current Consumption Under 500 nA," *IEEE J. Solid-State Circuits* ***32***, 999–1005, July 1997.

9.15 M. A. Margarit, J. L. Tham, R. G. Meyer, and M. J. Deen, "A Low-Noise, Low-Power VCO with Automatic Amplitude Control for Wireless Applications," *IEEE J. Solid-State Circuits* ***34***, 761–771, June 1999.

9.16 R. A. Bianchi, J. M. Karam, and B. Courtois, "Analog ALC Crystal Oscillators for High-Temperature Applications," *IEEE J. Solid-State Circuits* ***35***, 2–13, Jan. 2000.

9.17 A. Zanchi, C. Samori, A. L. Lacaita, and S. Levantino, "Impact of AAC Design on Phase Noise Performance of VCOs," *IEEE Trans. Circuits Syst. II* ***48***, 537–547, June 2001.

9.18 D. Li and Y. P. Tsividis, "A Loss-Control Feedback Loop for VCO Indirect Tuning of RF Integrated Filters," *IEEE Trans. Circuits Syst. II* ***47***, Mar. 2000.

232

9.19 P. Grivet and A. Blaquiere, "Non-Linear Effects of Noise in Electronic Clocks," *Proc. IEEE* ***51***, 1606–1614, Nov. 1963.

9.20 S. Pavan and Y. P. Tsividis, "An Analytical Solution for a Class of Oscillators and Its Application to Filter Tuning," *IEEE Trans. Circuits Syst. I* ***45***, 547–556, May 1998.

9.21 A. Hajimiri and T. H. Lee, "A General Theory of Phase Noise in Electrical Oscillators," *IEEE J. Solid-State Circuits* ***33***, 179–194, Feb. 1998. Reprinted in [9.2]. Corrections: 928, June 1998.

9.22 C. Samori, A. L. Lacaita, F. Villa, and F. Zappa, "Spectrum Folding and Phase Noise in LC Tuned Oscillators," *IEEE Trans. Circuits Syst. II* ***45***, 781–790, July 1998.

9.23 A. L. Lacaita and C. Samori, "Phase Noise Performance of Crystal-like LC Tanks," *IEEE Trans. Circuits Syst. II* ***45***, 898–900, July 1998.

9.24 A. Hajimiri and T. H. Lee, "Design Issues in CMOS Differential LC Oscillators," *IEEE J. Solid-State Circuits* ***34***, 717–724, May 1999.

9.25 A. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and Phase Noise in Ring Oscillators," *IEEE J. Solid-State Circuits* ***34***, 790–804, June 1999. Reprinted in [9.2].

9.26 A. Hajimiri and T. H. Lee, *The Design of Low Noise Oscillators*, Kluwer Academic, Norwell, MA, 1999.

9.27 T. H. Lee and A. Hajimiri, "Oscillator Phase Noise: A Tutorial," *IEEE J. Solid-State Circuits* ***35***, 326–336, Mar. 2000.

9.28 A. Demir, A. Mehrotra, and J. Roychowdhury, "Phase Noise in Oscillators: A Unifying Theory and Numerical Methods for Characterization," *IEEE Trans. Circuits Syst. I* ***47***, 655–674, May 2000.

9.29 Q. Huang, "Phase Noise to Carrier Ratio in LC Oscillators," *IEEE Trans. Circuits Syst. I* ***47***, 965–980, July 2000.

9.30 G. J. Coram, "A Simple 2-D Oscillator to Determine the Correct Decomposition of Perturbations into Amplitude and Phase Noise," *IEEE Trans. Circuits Syst. I* ***48***, 896–898, July 2001.

9.31 A. Demir, "Phase Noise and Timing Jitter in Oscillators with Colored-Noise Sources," *IEEE Trans. Circuits Syst. I* ***49***, 1782–1791, Dec. 2002.

9.32 D. Ham and A. Hajimiri, "Virtual Damping and Einstein Relation in Oscillators," *IEEE J. Solid-State Circuits* ***38***, 407–418, Mar. 2003.

9.33 Y. Ou, N. Barten, R. Fetche, N. Seshan, T. Fiez, U.-K. Moon, and K. Mayaram, "Phase Noise Simulation and Estimation Methods: A Comparative Study," *IEEE Trans. Circuits Syst. II* ***49***, 635–638, Sept. 2002.

9.34 H. B. Chen, A. van der Ziel, and K. Amberiadis, "Oscillator with Odd-Symmetrical Characteristics Eliminates Low-Frequency Noise Sidebands," *IEEE Trans. Circuits Syst.* ***CAS-31***, 807–809, Sept. 1984.

9.35 C. P. Hearn, Comments on [9.34], *IEEE Trans. Circuits Syst.* ***CAS-34***, 324–331, Mar. 1987.

9.36 G. M. Maggio, O. DeFeo, and M. P. Kennedy, "Nonlinear Analysis of the Colpitts Oscillator and Applications to Design," *IEEE Trans. Circuits Syst. I* ***46***, 1118–1130, Sept. 1999.

9.37 C. Samori, A. L. Lacaita, A. Zanchi, S. Levantino, and G. Cali, "Phase Noise Degradation at High Oscillation Amplitudes in LC-Tuned VCO's," *IEEE J. Solid-State Circuits* ***35***, 96–99, Jan. 2000.

9.38 B. De Muer, M. Borremans, M. Steyaert, and G. Li Puma, "A 2-GHz Low-Phase-Noise Integrated *LC*-VCO Set with Flicker-Noise Upconversion Minimization," *IEEE J. Solid-State Circuits* ***35***, 1034–1038, July 2000.

9.39 E. Hegazi, H. Sjöland, and A. A. Abidi, "A Filtering Technique to Lower LC Oscillator Phase Noise," *IEEE J. Solid-State Circuits* ***36***, 1921–1930, Dec. 2001.

9.40 S. Levantino, C. Samori, A. Bonfanti, S. L. J. Gierkink, A. L. Lacaita, and V. Boccuzzi, "Frequency Dependence on Bias Current in 5-GHz VCOs: Impact on Tuning Range and Flicker Noise Upconversion," *IEEE J. Solid-State Circuits* ***37***, 1003–1011, Aug. 2002.

9.41 D. Ham and A. Hajimiri, "Concepts and Methods in Optimization of Integrated LC VCO's," *IEEE J. Solid-State Circuits* ***36***, 896–909, June 2001.

9.42 B. Razavi, "A Study of Phase Noise in CMOS Oscillators," *IEEE J. Solid-State Circuits* ***31***, 331–343, Mar. 1996. Reprinted in [9.2].

9.43 J. A. McNeil, "Jitter in Ring Oscillators," *IEEE J. Solid-State Circuits* ***32***, 870–879, June 1997. Reprinted in [9.2].

233

9.44 S. L. J. Gierkink, E. A. M. Klumperink, A. P. van der Wel, G. Hoogzaad, A. J. M. van Tuijl, and B. Nauta, "Intrinsic $1/f$ Device Noise Reduction and Its Effect on Phase Noise in CMOS Ring Oscillators," *IEEE J. Solid-State Circuits* ***34***, 1022–1025, July 1999.

9.45 L. Sun and T. A. Kwasniewski, "A 1.25-GHz 0.35-μm Monolithic CMOS PLL Based on a Multiphase Ring Oscillator," *IEEE J. Solid-State Circuits* ***36***, 910–916, June 2001.

9.46 O. T.-C. Chen and R. R.-B. Sheen, "A Power-Efficient Wide-Range Phase-Locked Loop," *IEEE J. Solid-State Circuits* ***37***, 51–62, Jan. 2002.

9.47 L. Dai and R. Harjani, "Design of Low-Phase-Noise CMOS Ring Oscillators," *IEEE Trans. Circuits Syst. II* ***49***, 328–338, May 2002.

9.48 S. Docking and M. Sachdev, "A Method to Derive an Equation for the Oscillation Frequency of a Ring Oscillator," *IEEE Trans. Circuits Syst. II* ***50***, 259–263, Feb. 2003.

9.49 F. Herzel and B. Razavi, "A Study of Oscillator Jitter Due to Supply and Substrate Noise," *IEEE Trans. Circuits Syst. II* ***46***, 56–62, Jan. 1999. Reprinted in [9.2].

9.50 P. Larsson, "Measurements and Analysis of PLL Jitter Caused by Digital Switching Noise," *IEEE J. Solid-State Circuits* ***36***, 1113–1119, July 2001. Reprinted in [9.2].

9.51 H. Hellwig, "Environmental Sensitivities of Precision Frequency Sources," *IEEE Trans. Instrum. Meas.* ***IM-39***, 301–306, Apr. 1990.

9.52 J. A. Barnes, *Models for the Interpretation of Frequency Stability Measurements*, NBS Tech. Note 683, National Bureau of Standards, U.S. Department of Commerce, Washington, DC, 1976, Sec. 5.

9.53 E. P. Felch and J. O. Israel, "A Simple Circuit for Frequency Standards Employing Overtone Crystals," *Proc. IRE* ***43***, 596–603, May 1955.

9.54 W. L. Smith, "Miniature Transistorized Crystal-Controlled Oscillators," *IRE Trans. Instrum.* ***I-9***, 141–148, Sept. 1960.

9.55 J. K. Clapp, "An Inductance–Capacitance Oscillator of Unusual Frequency Stability," *Proc. IRE* ***36***, 356–358, Mar. 1948.

234 9.56 J. K. Clapp, "Frequency Stable *LC* Oscillators," *Proc. IRE* ***42***, 1295–1300, Aug. 1954.

9.57 M. Tiebout, "Low-Power Low-Phase-Noise Differentially Tuned Quadrature VCO Design in Standard CMOS," *IEEE J. Solid-State Circuits* ***36***, 1018–1024, July 2001.

9.58 P. Vancorenland and M. S. J. Steyaert, "A 1.57 GHz Fully Integrated Very Low-Phase-Noise Quadrature VCO," *IEEE J. Solid-State Circuits* ***37***, 653–656, May 2002.

9.59 J. van den Tang, P. van de Ven, D. Kasperovitz, and A. van Roermund, "Analysis and Design of an Optimally Coupled 5-GHz Quadrature LC Oscillator," *IEEE J. Solid-State Circuits* ***37***, 657–661, May 2002.

9.60 P. Andreani, A. Bonfanti, L. Romano, and C. Samori, "Analysis and Design of a 1.8-GHz CMOS *LC* Quadrature VCO," *IEEE J. Solid-State Circuits* ***37***, 1737–1747, Dec. 2002.

9.61 S. L. J. Gierkink, S. Levantino, R. C. Frye, C. Samori, and V. Boccuzzi, "A Low-Phase-Noise 5-GHz CMOS Quadrature VCO Using Superharmonic Coupling," *IEEE J. Solid-State Circuits* ***38***, 1148–1154, July 2003.

9.62 S. Li, I. Kipness, and M. Ismael, "A 10-GHz CMOS Quadrature *LC*-VCO for Multirate Optical Applications," *IEEE J. Solid-State Circuits* ***38***, 1626–1634, Oct. 2003.

9.63 P. Kinget, R. Melville, D. Long, and V. Gopinathan, "An Injection-Locking Scheme for Precision Quadrature Generation," *IEEE J. Solid-State Circuits* ***37***, 845–851, July 2002.

9.64 R. Adler, "A Study of Locking Phenomena in Oscillators," *Proc. IRE* ***34***, 351–357, June 1946.

9.65 K. Kurokawa, "Noise in Synchronized Oscillators," *IEEE Trans. Microwave Theory. Tech.* ***MTT-16***, 234–240, Apr. 1968. Reprinted in [9.3].

9.66 R. Adler, "A Study of Locking Phenomena in Oscillators," *Proc. IEEE* ***61***, 1380–1385, Oct. 1973.

9.67 K. Kurokawa, "Injection Locking of Microwave Solid-State Oscillators," *Proc. IEEE* ***61***, 1386–1410, Oct. 1973.

9.68 R. B. Staszewski, D. Leipold, K. Muhammad, and P. T. Balsara, "Digitally Controlled Oscillator (DCO)-Based Architecture for RF Frequency Synthesis in a Deep-Submicrometer CMOS Process," *IEEE Trans. Circuits Syst. II* ***50***, 815–828, Nov. 2003.

9.69 J. Tierny, C. M. Rader, and B. Gold, "A Digital Frequency Synthesizer," *IEEE Trans. Audio Electroacoust.* ***AU-19***, 48–57, Mar. 1971. Reprinted in [9.70].

9.70 V. F. Kroupa, ed., *Direct Digital Frequency Synthesizers*, Reprint Volume, IEEE Press, New York, 1999.

9.71 C. S. Turner, "Recursive Discrete-Time Sinusoidal Oscillators," *IEEE Signal Process. Mag.*, 103–111, May 2003.

9.72 J. F. Parker, K. W. Current, and S. H. Lewis, "A CMOS Continuous-Time NTSC-to-Color-Difference Decoder," *IEEE J. Solid-State Circuits* ***30***, 1524–1532, Dec. 1995.

9.73 W.-Z. Chen and J.-T. Wu, "A 2-V, 1.8 GHz BJT Phase-Locked Loop," *IEEE J. Solid-State Circuits* ***34***, 784–789, June 1999.

9.74 S. K. Saha, "Linear VCO with Sine Wave Output," *IEEE Trans. Instrum. Meas.* ***IM-35***, 152–155, June 1986.

9.75 S. K. Saha and L. C. Jain, "Linear Voltage Controlled Oscillator," *IEEE Trans. Instrum. Meas.* ***IM-37***, 148–150, Mar. 1988.

9.76 V. P. Singh and S. K. Saha, "Voltage Controlled Oscillator with Sine-Wave Output," *IEEE Trans. Instrum. Meas.* ***IM-37***, 151–153, Mar. 1988.

9.77 A.-S. Porret, T. Melly, C. C. Enz, and E. A. Vittoz, "Design of High-Q Varactors for Low-Power Wireless Applications Using a Standard CMOS Process," *IEEE J. Solid-State Circuits* ***35***, 337–345, Mar. 2000. Reprinted in [9.2].

9.78 P. Andreani and S. Mattisson, "On the Use of MOS Varactors in RF VCO's," *IEEE J. Solid-State Circuits* ***35***, 905–910, June 2000. Reprinted in [9.2].

9.79 R. L. Bunch and S. Raman, "Large-Signal Analysis of MOS Varactors in CMOS-$G_m LC$ VCOs," *IEEE J. Solid-State Circuits* ***38***, 1325–1332, Aug. 2003.

9.80 E. Hegazi and A. A. Abidi, "Varactor Characteristics, Oscillator Tuning Curves, and AM–FM Conversion," *IEEE J. Solid-State Circuits* ***38***, 1033–1039, June 2003.

9.81 A. Shibutani, T. Saba, S. Moro, and S. Mori, "Transient Response of Colpitts-VCO and Its Effect on Performance of PLL System," *IEEE Trans. Circuits Syst. I* ***45***, 717–725, July 1998.

235

9.82 G. Sarafian and B. Z. Kaplan, "A New Approach to the Modeling of the Dynamics of RF VCO's and Some of Its Practical Implications," *IEEE Trans. Circuits Syst. I* ***40***, 895–901, Dec. 1993.

9.83 R. G. Winch, "Wide-Band Varactor-Tuned Oscillators," *IEEE J. Solid-State Circuits* ***17***, 1214–1219, Dec. 1982.

9.84 S. Levantino, C. Samori, A. Zanchi, and A. L. Lacaita, "AM-to-PM Conversion in Varactor-Tuned Oscillators," *IEEE Trans. Circuits Syst.* ***CS-49***, 509–512, July 2002.

9.85 S. Docking and M. Sachdev, "An Analytical Equation for the Oscillation Frequency of High-Frequency Ring Oscillators," *IEEE J. Solid-State Circuits* ***39***, 533–537, Mar. 2004.

9.86 P. Vanassche, G. Gielen, and W. Sansen, "Efficient Analysis of Slow-Varying Oscillator Dynamics," *IEEE Trans. Circuits Syst. I* ***51***, 1457–1467, Aug. 2004.

9.87 P. Heydari, "Analysis of the PLL Jitter Due to Power/Ground and Substrate Noise," *IEEE Trans. Circuits Syst. I* ***51***, 2404–2416, Dec. 2004.

236

第10章　检　相　器

检相器(Phase Detector,PD)可分为两大类:乘法器(或组合逻辑)电路和时序电路。乘法器类检相器把输入信号波形与本地振荡器波形相乘,并把乘积的平均值作为其有用的DC输出。乘法器是无记忆的。一个设计正确的乘法器可以对埋入极大噪声中的输入信号进行处理。

时序检相器产生的有用误差输出电压,仅取决于输入信号波形的翻转与VCO波形的翻转之间的时间间隔,与波形中的其他细节无关。时序检相器具有对前几次波形翻转的记忆。它们所产生的PD特性是乘法器电路很难产生或不能产生的。因为时序电路是以边沿工作的,所以波形的翻转次数不可以减少,也不可以增多;因此,它的噪声处理能力不如乘法器好。

时序PD一般是用数字电路构成的(触发器、门),被处理的波形是二进制的矩形波。因而,它们经常被叫做"数字"检相器,而包含这种数字检相器的PLL经常被叫做"数字"锁相环。但这个术语是不正确的;大多数时序PD的输出仍是模拟量,它们的PLL是模拟电路。第13章中有数字PD和数字PLL的例子。

10.1　乘法器检相器

如果一个理想乘法器的两个输入都是正弦波,那么有用的DC输出就正比于这两个输入的振幅之积,而且还正比于它们相位差的余弦。(当相位差为90°时,相位误差为零。)理想乘法器的方程式曾在第6章中描述过。除了有用的输出,在两倍于输入频率的地方还有不希望的正弦纹波,它的振幅等于DC输出中波动的最大值。纹波必须被抑制,以防止不希望的边带出现在VCO上。附录10A对纹波做了比较深入的讨论。乘法可以用四象限模拟乘法器来实现,如Gilbert单元[10.1]。这些Gilbert单元有做成单片集成电路的。以2004年的工艺技术可以做到几百兆赫频率的优良性能。现在出现了以真正乘法器为最佳选择的需求;10.5节中有这样的一个例子。

10.1.1　开关检相器:原理

真正的乘法器提供了一个有用的检相器分析模型,但在实际设备中却很少使用。而开关检相器是极为普遍的。假设把VCO输出到乘法器检相器的正弦波替换成下面形式的方波

$$v_o(t)=\mathrm{sgn}[\cos(\omega_i t+\theta_o)] \tag{10-1}$$

其中符号函数被定义为：如果 $x>0$ 则 $\mathrm{sgn}(x)=1$，如果 $x<0$ 则 $\mathrm{sgn}(x)=-1$。（可以看到，VCO 的频率被表示为 ω_i，与输入信号的频率一样。除非另做说明，本章中所有的解释都认为环路是锁定的。）方波的波形是周期性的，因而可以展开为傅里叶级数

$$v_o(t)=\frac{4}{\pi}\left[\cos(\omega_i t+\theta_o)-\frac{1}{3}\cos3(\omega_i t+\theta_o)+\frac{1}{5}\cos5(\omega_i t+\theta_o)+\cdots\right] \tag{10-2}$$

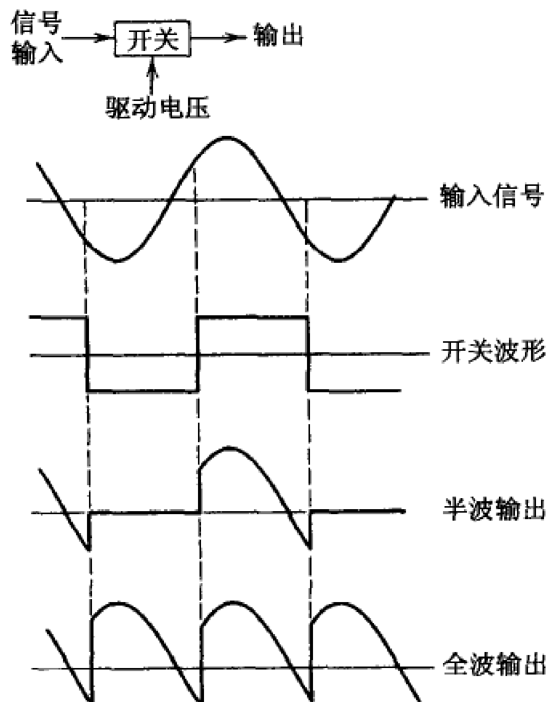
乘法器的输出是每个傅里叶级数展开项与输入信号乘积之和。

输入信号和噪声往往被带限在载波频率附近很窄的频谱内；而且输入信号中没有谐波分量。在这种情况下，我们可以容易地证明，乘法器输出中只有包含低频（接近DC）分量的那个成分才是与方波的基频相关的。所有其他的乘积项只构成高频纹波。（注意：仅当输入信号无谐波时这个性质才成立。）

令输入信号 $v_i(t)=V_S\sin(\omega_i t+\theta_i)$。那么乘积 $v_i v_o$ 的平均值（DC 分量）为

$$v_d(t)=\frac{2}{\pi}V_S\sin(\theta_i-\theta_o) \tag{10-3}$$

238 使用第 2 章和第 6 章中的标记法，检相器的增益为 $K_d=2V_S/\pi$ V/rad。换句话说，这个有用的输出与另外一种情况下的有用输出完全一样，即把 VCO 的输出变为振幅等于 $4/\pi$ 的正弦波。上面这个电路产生出与等效检相器（用 VCO 的正弦波输出来驱动检相器）完全相同的 DC 信号和完全一样的低频噪声。



239 图 10-1 开关检相器的波形

但是，与单位振幅的方波相乘是完全等效于周期性地改变输入信号的极性；因而，乘法器可以用一个极性开关来代替，而不会有任何损失（纹波除外）。由于建造一个开关通常比建造一个线性乘法器简单得多，也便宜得多，所以最常用的乘法器类检相器确实是一个开关器件。一个真正的开关 PD 的输出振幅和增益 K_d 都是正比于输入信号的振幅 V_S 的，且与开关电压的幅度无关。

上面描述的是全波开关 PD；它在开关周期的两个半周中都产生输出信号。半波电路只让输入信号 $v_i(t)$ 的比如正半周通过，而阻止输入信号的负半周通过。图 10-1 示出了半波和全波 PD 的波形。半波 PD 的平均输出正好等于全波 PD 的一半，所以半波 PD 的增益是 V_S/π V/rad。从图 10-1 中的半波波形可以看出，基频纹波的频率等于信号频率；纹波的抑制比全波 PD 更困难，因为全波的纹波基频是信号频率的两倍，如图 10-1 中的下方。因此，一个减少 PD 纹波的技术就是使用全波电路，不用半波电路。

10.1.2 开关检相器：举例

开关检相器可以采用各种不同类型的开关，包括所有种类的晶体管、二极管、真空管、电磁继电器和光电器件。

1. 调制器与混频器

许多具有调制器或混频器特性的电路也是很好的检相器。(检相器可以看作一个把信号转换成零频的混频器。)这些器件可以分为有源的(器件中包含需要 DC 电源的放大单元)和无源的(没有放大的，不需 DC 供电的)。

□ 有源调制器

一类常用的开关 PD 是基于平衡调制器(也可以是混频器)的。单平衡和双平衡这两种结构都有使用，如图 10-2 所示。图 10-2 中表示了双极结型晶体管，但通常也可以使用 MOS 晶体管，它们的工作原理是等效的。图 10-3 表示了图 10-2a 的单平衡电路的波形。除了全波开关检相器典型的纹波以外，还有一个位于信号频率处的峰值振幅为 I_E 的方波，这个方波比通常的纹波更差。纹波中的这个方波部分必须经过滤波后才可送入输出放大器。

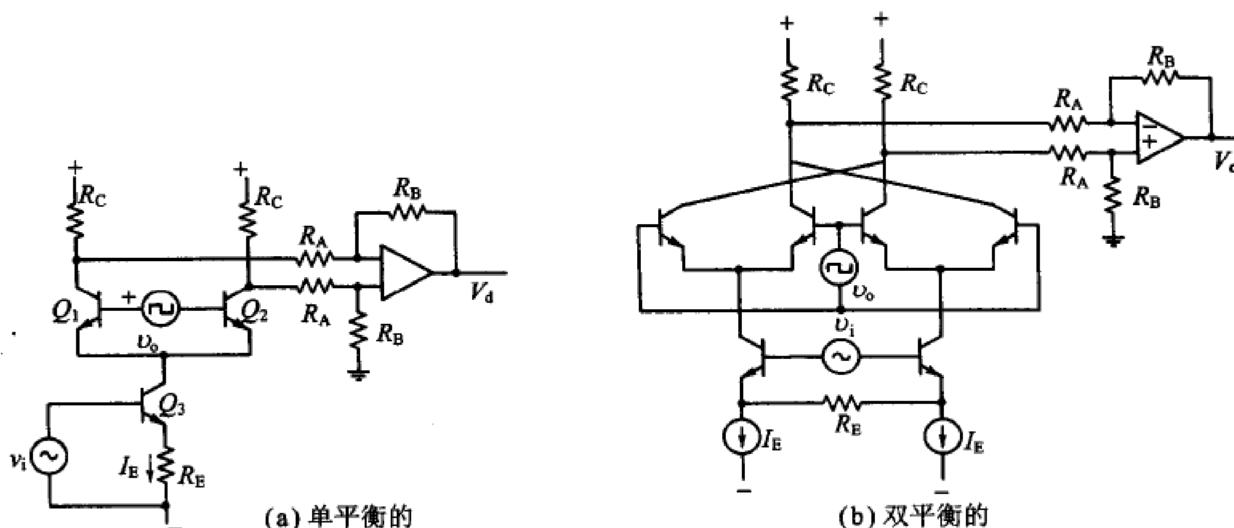


图 10-2 采用有源平衡调制器的检相器

双平衡电路相当于两个单平衡电路连在一起。极性连接的方式应使图 10-3 中明显的集电极电流空隙得以填充，并使纹波变成与图 10-1 中全波开关 PD 的纹波完全一样。双平衡电路的检相器增益为

$$V_d=\frac{4V_S}{\pi R_E}\sin(\theta_i-\theta_o)\frac{R_B R_C}{R_A+R_C} \tag{10-4}$$

而单平衡电路的增益正好是一半。[公式(10-4)是在下面这些假设下得出的：输入信号和噪声加在一起不使输入晶体管过载，所有晶体管的电流增益都非常大，发射极的内部电阻已包括在 R_E 内，对称布局的电路元件是完全匹配的。]

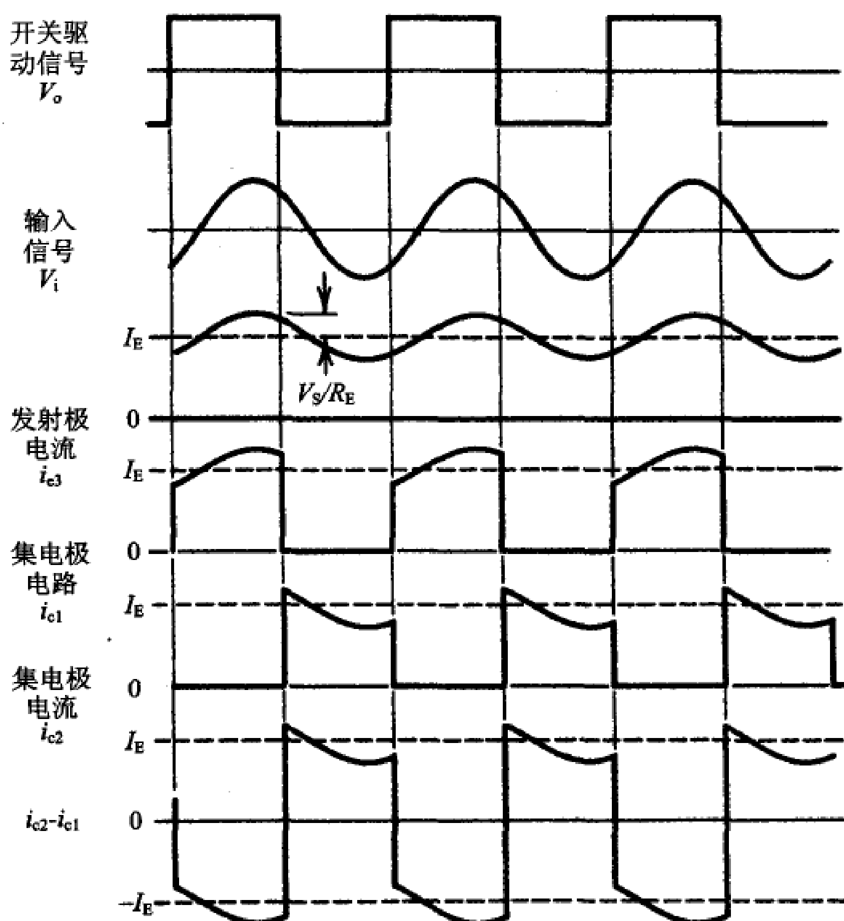


图 10-3 采用有源单平衡调制器的检相器的波形

在良好平衡的集成电路出现之前，有源检相器的使用受阻于 DC 失调的问题。图 10-2 中的电路如果使用分离元件的话，则是永远也不会成功的。IC 芯片上相应元件的极好匹配，是使用分离有源元件所无法想象的。即使如此，如果要使 DC 失调保持在很小的数值上，还必须特别注意使外部元件之间有极好的平衡，而且要保证输入驱动信号有很低的阻抗和很好的平衡。平衡调制器 PD 的输出是差分的和平衡的，并且有一个共模的 DC 失调。大多数环路滤波器电路都要求零失调的单边输入。图 10-2 表示了用另一个运算放大器完成差分向单边的转换，这是个常用的技术。

资深读者会对图 10-2 中具有相似标记的电阻需要密切匹配和 DC 放大器需要低失调电压和电流这两点提出异议。而且，平衡向不平衡的转换与电流镜电路相比似乎是过分复杂了。这些反对意见是对的。不过，有一个实验(未发表的)发现，使用双极 PNP 管子的电流镜所提供的平衡是非常差的，即使这些晶体管本身之间是密切匹配的。问题在于差分连接的两个电流镜管子的集电极电压相差甚大，使电流镜的电流增益远离理想值 1，从而破坏了所追求的精确平衡。因此，平衡调制器 PD 需要用运算放大器来完成差分向单边的转换，而不是使用 PNP 电流镜。我还没有研究过使用 MOS

管的电流镜的性能。

240~242

□ 二极管混频器

另一个常用的电路是图 10-4 中的二极管环。这些电路以双平衡混频器的名称低价地、大量地销售。这些二极管环有很宽的带宽，可以工作在非常宽的频率范围内（它们的工作频率远远超过晶体管 PD），对 PLL 设计者几乎不增加任何负担，而且能提供良好的性能。精确的分析是很复杂的。如果二极管假设是理想的，如果信号电压比开关电压小很多，那么它的工作几乎与任何全波开关 PD 是一样的[10.2,第2章]。这些条件经常不成立，所以现有的分析方法都是近似的。

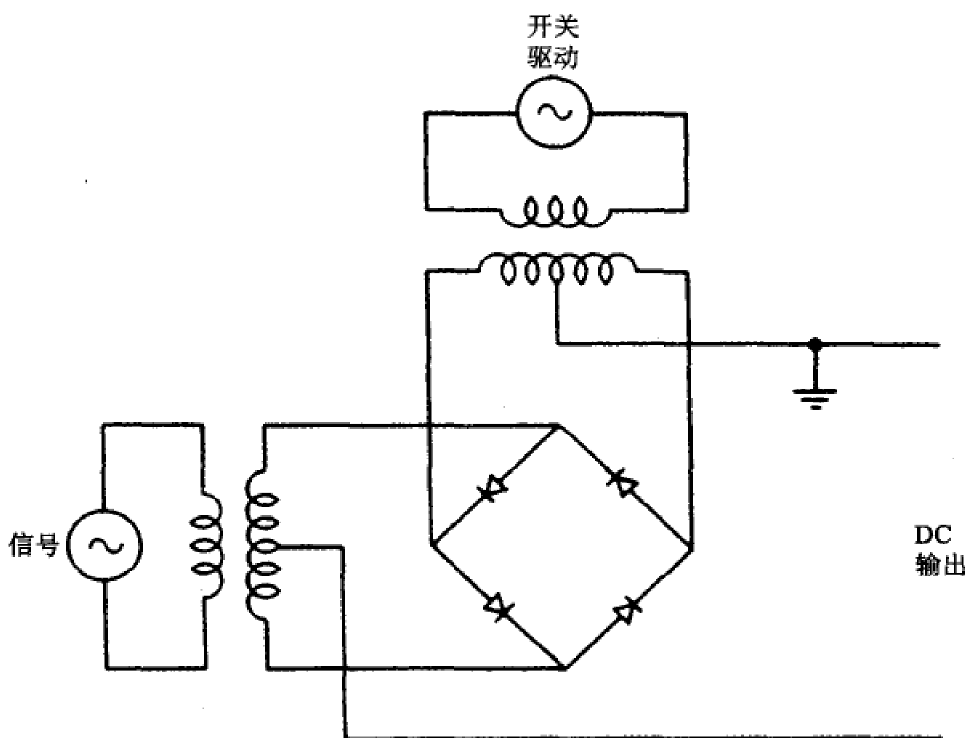


图 10-4 二极管环检相器

只要信号电压明显小于开关电压，那么 PD 的 s 曲线就取 $V_d = V_m \sin(\theta_i - \theta_o)$ 的形状，其中 V_m 正比于信号振幅。V_m 最大值通常为 0.3 V 到 0.4 V。DC 失调的典型值在 1 mV 的数量级。如果信号振幅和开关振幅接近相等，那么 PD 特性曲线从正弦形变为三角形（见 10.1.4 节）。

标准的二极管环的驱动信号通常规定为来自 50Ω 信号源的 5 mV 正弦波。由于二极管是一个非线性负载，还由于随时间而变化的平均负载一般是很难匹配的，所以这个规范是指可以提供的功率，而不是实际提供的功率。如果信号被埋入噪声中，那么要想避免限幅，信号与噪声的总和就必须明显小于开关驱动电平。环路的每个臂上串联有多个二极管的“高压”电路，可以承受更大的开关驱动，因而可以有更大的输入信号。最大可能的输出电压 V_m 正比于串联二极管的个数。

二极管环的特性不是非常适用于检相器。幸好二极管环允许很宽的工作范围。

2. 采样保持 PD

有时会遇到采样保持检相器[10.4]。采样器只是一个被窄脉冲驱动的开关。在脉冲 243 到来瞬间的信号被存储到一个电容上,并保持到下一次采样时刻。如果信号是正弦形,那么 PD 特性曲线也是正弦形,其最大 DC 输出等于信号的最大振幅。采样保持 PD 可以用来锁定到采样率的谐波上,以此抑制纹波,或用于短暂突发的信号。谐波的操作将在 14.2 节和 17.3.2 节中讨论。

如果不存在噪声,而且如果输入信号是未调制的,那么采样总是发生在输入波形每个周期的同一点上。DC 值(当平衡跟踪时接近零)就不会改变。除了由于开关的不完美可能引起采样时出现尖脉冲外,存储在电容上的电压将维持恒定。PD 的纹波被完全抑制,这是个非常有用的特性。用第 2 章拉普拉斯变换的方法来分析采样环路是达不到非常精确的;最好使用 z 变换。采样环路的响应和稳定性[10.5,10.6]是与第 2 章、第 3 章中连续时域特性不同的。

10.1.3 混合变压器 PD

曾经非常普遍使用的一种 PD 电路(曾经被认为是必然的检相器电路)表示在图 10-5 中。图中用一个混合变压器(Hybrid-Transformer)形成两个输入信号的矢量和与矢量差;这两个矢量被二极管整流器转换成 DC 信号。有用的输出信号是这两个整流电压之差。可以通过分析证明,这个输出信号正比于相位误差的正弦值,并且是两个输入振幅的函数[10.3]。如果 $V_o \gg V_S$,那么 V_d 正比于 V_S,几乎与 V_o 无关。这个对于比较大的输入电压的不敏感性,在许多不同的 PD 电路中都是存在的,包括上面说到的二极管环。由于峰值检测器中 RC 负载的非线性滤波作用,混合变压器 PD 的输出纹波从前面说到的 PD 的纹波值降了下来。

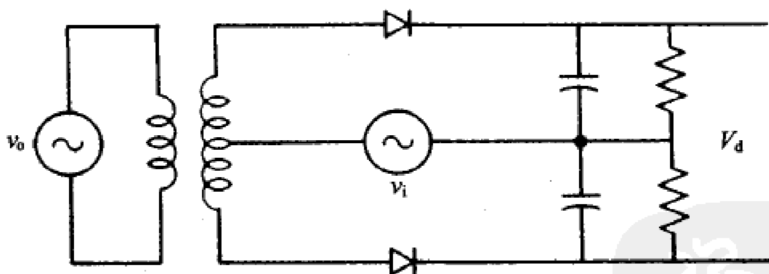


图 10-5 混合型检相器

这个电路的普遍使用率后来由于优良的 IC 和封装好的二极管环的出现而下降。因为电路的输出是两个大 DC 电压之间的一个很小的差值,所以为了消除 DC 失调,就必须注意平衡的调整。购买一个平衡得很好的集成电路或模块式的电路,要比用分离 244 元件搭建容易得多。但是,这个基本电路不应完全被抛弃。它有可能工作在从声频到可见光的频率范围。变压器可以用同轴混合接头或波导混合 T 接头代替,甚至可以用光器件代替。检测器不一定要用二极管整流器;也可以用热辐射测量仪、热电偶和光

二极管等。一个在频率上超过二极管环或任何晶体管的电路仍然是一个有用的电路。

10.1.4 非正弦 s 曲线

上面考察了几种十分不同的 PD 电路，但在每种电路中都有正弦形 s 曲线(指 DC 误差电压与相位误差的关系曲线)。有人会说，正弦形是这些电路的普遍性质。实际上，s 曲线的形状与所加的电压有关，并不是唯一取决于电路的。例如，在真正的乘法器或开关 PD 的两个输入端都加上矩形波，那么 s 曲线就变成三角形。同样这个电路，如果在两个输入端加上正弦波，就得到正弦形 s 曲线。

如果用矩形波，那就可以用数字逻辑门来代替模拟电路。与开关检相器等效的数字电路是异或门。平均 DC 输出是相位误差的一个三角形函数，而纹波的波形是矩形的，它的填充系数与相位误差有关。在零相位误差时，输出纹波是频率为信号频率两倍、填充系数为 50%的方波。应当注意，PD 的输出仍是一个模拟量，尽管使用了数字电路和数字输入波形。

采样 PD 的 s 曲线与被采样信号的波形完全一样。通过对被采样的波形做相应的整形，几乎可以得到任何想要的特性。例如，如果波形是矩形的，就出现矩形的 PD 特性。矩形的 PD 特性在零相位误差时的斜率为无穷大，这表示无穷大的环路增益。所以，这样的环路需要使用开关式(bang-bang)采样环路那样的非线性分析。非线性 PLL 是很有用的，尽管分析起来很复杂。锯齿形 s 曲线是对锯齿波采样得到的，但锯齿形可以更容易地从时序 PD 中得到，这将在 10.2 节中说明。

有的检相器电路甚至在正弦波输入时也产生非正弦 s 曲线。那些试图延伸 s 曲线线性区的实例电路在参考文献[10.7~10.10]中给出。这些电路很少使用。其中一个原因是它们的锯齿形特性(这些电路试图逼近锯齿形的特性)是用简单的时序电路就可以容易得到的，这将在 10.2 节、10.3 节中说明。另一个原因将在 10.4.3 中探讨，即噪声使任何延伸特性变坏。如果信号是埋入噪声中的，那么 PD 的 s 曲线便接近正弦形，并与信号本身的形状无关。

正弦形 s 曲线在 180°不稳定平衡点上的斜率是与 0°稳定平衡点上的斜率相同的(见图 8-1)。这对于三角形和矩形 s 曲线都是如此；对于任何关于输出峰值偶对称的 PD 也是如此。对于这类 PD，反馈的极性一般是无所谓的；因为环路会在 PD 特性的两个平衡点中自动选取能给出负反馈的那个平衡点。延伸了的 PD 特性(例如锯齿形)在两个平衡点上的斜率是不等的。为了保证能稳定地跟踪所需的平衡点，整个环路的极性必须正确。反向的反馈极性会使环路去跟踪错误的平衡点，从而导致环路不稳定。所以，务必保证反馈极性的正确形。 245

10.2 时序检相器

时序检相器是依靠输入波形和本地振荡器波形的翻转边沿工作的；波形中的任何

其他特点都一概忽略。为了电路的稳定工作,波形通常是被钳位成矩形的。检相器的平均输出正比于信号波形翻转和 VCO 波形翻转之间的时间间隔。电路必须有记忆才能测量出这个时间差。

触发器 PD

最简单的时序 PD 是一个普通的 RS 触发器[10.11]。一个输入端上的波形翻转(比如负边沿)把触发器置成真状态,在另一输入端上的波形翻转把触发器置成假状态。典型的波形示于图 10-6 中,它的锯齿形 s 曲线示于图 10-7 中。这类 PD 一直被用于实验室中的检相仪,也有用在通信网络的[10.11]。

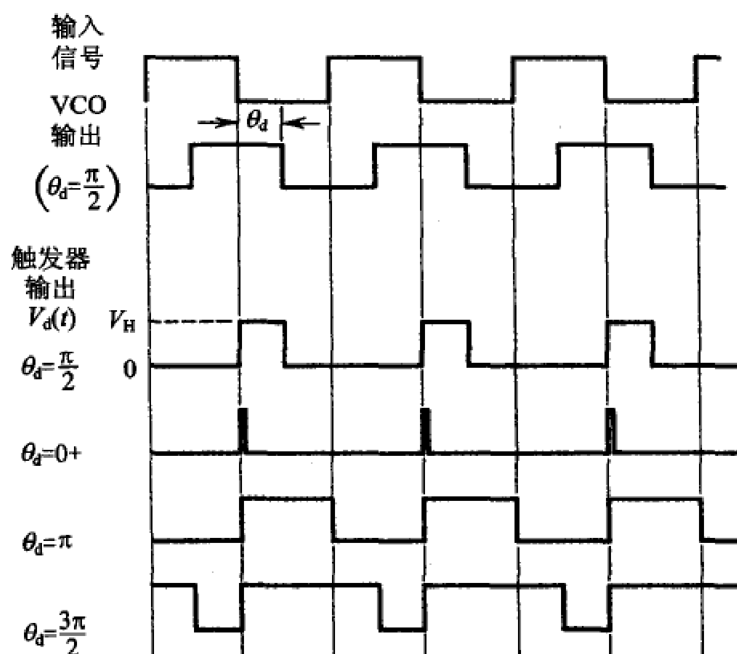


图 10-6　RS 触发器检相器的波形

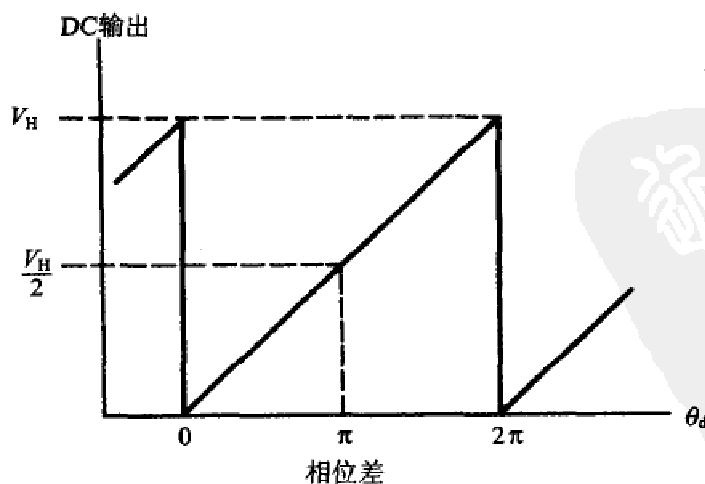


图 10-7　触发器检相器的 s 曲线

把输入信号与 VCO 输出之间的相位差表示为 θ_d。有用的输出是触发器一个输出端上的 DC 平均值 V_d。对于 $0<\theta_d<2\pi$,这个输出是

$$V_d=\frac{V_H\theta_d}{2\pi} \tag{10-5}$$

其中 V_H 的定义如图 10-6 所示。线性范围的中心位于 $\theta_d=180°$,而不是乘法器 PD 那样的 90°。检相器的增益为 $K_d=V_H/2\pi$。平衡跟踪一般是以 180°为中心的,所以 V_d 中的 DC 失调必须用一个合适的偏置电路来抵消。纹波是频率等于信号频率的矩形波,其占空比取决于相位误差。如果跟踪平衡在 $\theta_d=180°$,那么占空比为 50%。

数字 IC 在制造中没有考虑出现在每个器件高低电平上的小噪声电压。如果需要很低的噪声,我们推荐用数字电路来驱动低噪声的模拟门电路(即电荷泵),以产生实际的 DC 输出。第 12 章专门讲电荷泵 PLL。

触发器不需要一定工作在实际的输入频率上;可以用数字计数器对输入频率做 N 分频。此后,把 PD 线性区折合到输入信号上就变为 $2\pi N$ 弧度,这与正弦形乘法器 PD 能达到的小得多的范围成强烈的对比。

假设 RS 触发器的输入信号消失了。VCO 的下一个负跳变将使触发器回零,而且一直保持到信号重新回来。但环路却把这个持续的置零状态解释为一个很大的相位误差,并试图通过降低 VCO 的频率去校正这个误差。最终,环路滤波器或 VCO 被推向一个饱和区,并停留在这个饱和区状态下。由输入信号消失而导致的这个问题可以容易地用简单的触发器来解决:只要把这个电路设计成以 VCO 的边沿来回地拨动触发器,而不是把触发器置零[10.11]。这样,如果输入信号消失,触发器就在两个逻辑电平之间来回跳动,得到 50%的占空比,这时的环路会解释为零相位误差,所以环路就记住了现在的状态,并准备在信号回来时很快地跟踪上信号。

246~247

信号的消失反映出时序检相器的一个常见问题:电路是不允许对波形翻转次数多计或少计的。这个特性与乘法器不同,在乘法器检相器中,这样的情况不会产生什么影响;它的 DC 输出是由总的波形决定的。这种对翻转非常敏感的性质,对工作在噪声下的时序 PD 有很大的不利影响,这将在 10.4 节中讨论。

10.3 相频检测器

最重要的和最著名的时序 PD 是相频检测器(PFD)。因为受到广泛的讨论和使用,所以在这里自成一节。Brown[10.12]看来是报道 PFD 原理的第一人,在他的文章发表之后不久,就出现了商业化的产品[10.14,10.15]。

10.3.1 PFD 的结构

一个基本的 PFD 示于图 10-8 中;它由两个触发器(D 触发器)、一个与门和一个接在反馈回路中的延迟(图中表示为缓冲器)组成。D 触发器的数据端被永久地接成真。输入信号(标为 R,表示基准信号)的翻转和反馈信号(标为 V,表示 VCO)的翻转被加

到两个D触发器的时钟端。其中一个D触发器的输出被标为UP,另一个被标为DN(向下的意思)。正确极性的时钟沿把与它相连的D触发器置1。如果与门检测出UP和DN同时为真,那么通过反馈把两个D触发器同时置零。

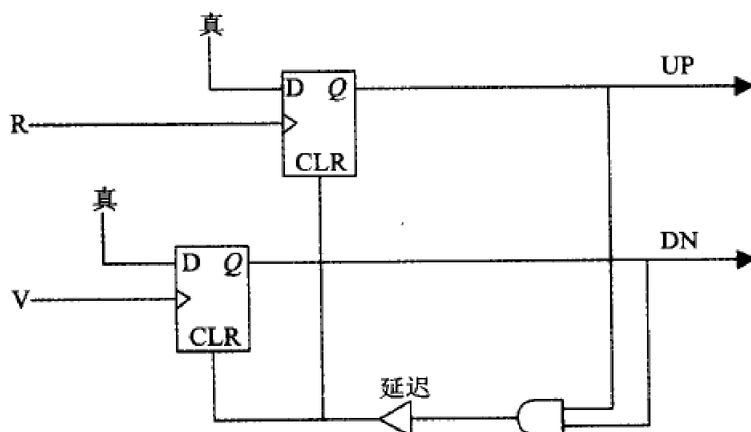


图 10-8　相频检测器(PFD)

图10-9中画出了PFD的理想化操作的波形。信号R和V表示为矩形脉冲;这些脉冲的正跳变激励D触发器。例子中的R脉冲是等间距的,而V脉冲的位置是变化的,以表示各种不同的工作情况。(我们觉得V脉冲的定时永远不会像图中那样不规则。)如果R超前V(如图中左边),那么UP的D触发器就先被打开,过了一会儿,V脉冲把DN的D触发器打开,这时两个触发器又立即被关闭。如果V超前R(如图中右边),情况就相反。

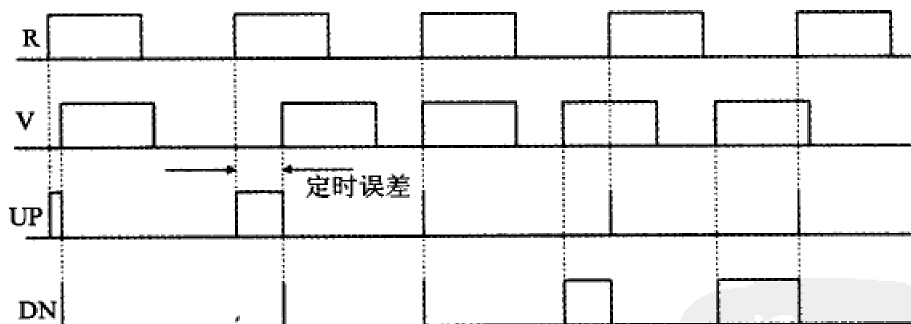


图 10-9　相频检测器的波形

UP的有效输出告诉PLL应该升高VCO的频率,因为VCO已经落后于输入信号了。DN的有效输出指出了相反的情况。因此,UP和DN的有效输出指出了相位误差的方向。而相位误差的大小则由UP和DN的脉冲宽度来指出。

我们可以引入净占空比(net duty ratio)的概念。UP或DN脉冲的占空比是指脉冲宽度与信号周期之比。把两个D触发器的占空比分别表示为d_{UP}和d_{DN};那么净占空比就是$d=d_{UP}-d_{DN}$。以周期为单位的相位误差可以完全用净占空比d来给出。如果R脉冲和V脉冲是严格对齐的,那么两个D触发器就同时快速地打开和关闭,如图

10-9 中间所示的那样。这种情况下的净输出只不过是因 UP 和 DN 之间(或者后面的电荷泵)的不平衡所引起的时间极短的毛刺。这种毛刺也就构成了当 PLL 处于平衡时的检相器的纹波波形。很清楚，纹波的能量非常小，它的频谱却分布很广，尤其当与前面介绍的大多数乘法器检相器相比时。PFD 纹波的这两个特点对于纹波抑制都是非常有利的。

248 ~ 249

许多作者把 PFD 说成为“数字”检相器，因为其中使用了数字逻辑电路。使用这样的术语是错误的；PFD 的输出信息是包含在 UP 和 DN 脉冲的宽度里面的，而脉冲宽度是连续变化的模拟量。所以，采用 PFD 的锁相环几乎总是模拟 PLL，而不是数字的。

10.3.2 PFD 中的延迟

反馈通路中必需有的延迟的作用可以从图 10-10 中看出。图中的上升沿有一定时间长度，而不是立即翻转的。一个 D 触发器要在 R 或 V 的激励边沿出现之后再经过某个时间才会完全打开，而 CLR(置零)脉冲要在 UP 和 DN 完全打开后再经过一个时间才完全打开。而且，CLR 脉冲必须打开足够长的时间，才能保证完全可靠地关闭两个 D 触发器。这个必需的 CLR 脉冲宽度是通过在 CLR 通路中插入延迟来确保的。反馈延迟是 PFD 的一个关键特性，虽然早期的文献从未提起此事。

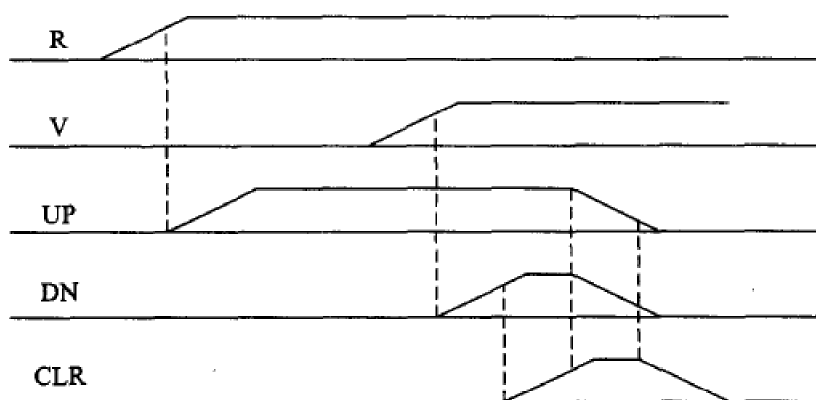


图 10-10　PFD 的波形；时间轴已被扩展，以显示传播延迟

实际上，这个延迟必须比 PFD 可靠开关所要求的时间长很多。在大多数情况下，PFD 是用来驱动电荷泵的；电荷泵是这样的一个电子开关：它在每个相位比较周期内，向环路滤波器配给正比于相位误差的电荷量。(电荷泵 PLL 是第 12 章的主要内容。)电荷泵中的这些开关与 PFD 中的 D 触发器一样需要一定时间的开关过程。如果 UP 和 DN 开启状态的时间太短(这个开启时间在相位误差很小时达到最小)，那么电荷泵开关将永远也不能打开。这就给 PFD 与电荷泵组合结构的 s 曲线插入了一个死区。

s 曲线有死区的反馈环路永远不能稳定到一个确定的平衡点上，而是毫无目标地在死区附近来回晃动。这种晃动表现为噪声，通常位于 PLL 带宽内的相当低的频率区，并引起 VCO 所不想要的、无法滤掉的相位噪声调制。而且，死区是非线性的，因而会引起 PFD 中可能存在的各噪声成分之间的交叉调制。交叉调制改变了噪声谱的形

状，把可以滤掉的高频噪声改变成不能滤掉的低频噪声。噪声的交叉调制将再次在第15章中讨论。

为了消除死区的最坏影响，通常采用的办法是在PFD中设计足够长的延迟，以使两个D触发器的打开时间足够长，因而使两个电荷泵开关在每个周期内都能保持同时开启。一般认为电荷泵被设计成使UP和DN的电流相等，因而当两个开关同时打开时，输送到环路滤波器的净电荷量为零。一个非零的相位误差将引起电荷泵的一个开关的开启时间大于另一个开关，甚至在相位误差很小时也如此，从而消除（至少改善）了死区。

图10-9中的波形是理想化的；即信号的延迟与信号周期相比是可以忽略的。延迟会干扰PFD的工作，尤其当相位误差很大的时候。满意的工作要求延迟比信号周期小很多。因此，这个反馈回路中必不可少的延迟也就确定了PFD工作频率的上限。这样的上限在所有开关电路中都是以某种关系存在的，不只是检相器的情况。

10.3.3 PFD的状态图

对PFD的理解可以用状态图来进一步加深[10.13,25页;10.16,10.17]。PFD中的两个D触发器，即两个记忆单元，每一个都可以有两个状态：开与关；所以对这两个单元存在四个不同的状态。两个D触发器都是关断的状态被称为零或空状态（这里表示为N状态），只有UP D触发器打开的状态被称为UP状态，只有DN D触发器打开的状态是DN状态。两个D触发器同时短暂打开的状态是一个瞬态，因为反馈信号立即把这两个D触发器关断；这个状态被称为CLR状态。

图10-11是一个表示这些状态（有标记的圆）的图，图中还有规定状态之间转移的指向弧。每条弧都标有引起相应状态转移的事件（R或V的时钟沿）。例如，从空状态开始，R时钟沿使转移到UP状态，接下来的V时钟沿使回到空状态，但先要经过短暂的CLR状态；如果第二个R时钟沿在下一个V时钟沿之前出现的话，PFD就停留在UP状态；其他的状态转移依此类推。

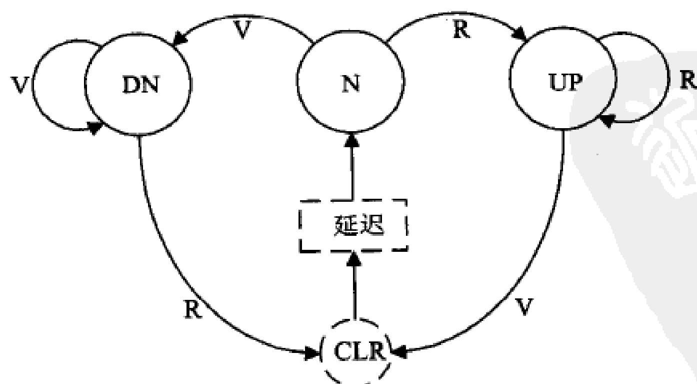


图10-11 PFD的状态图；虚线框表示瞬态

注解：瞬态CLR状态按惯例是应该从状态图中略去的。这里包含这个状态，是因

为下面要讲到一些怪异的问题，这会使解释更清晰。

10.3.4 PFD 的 s 曲线

我们现在来做一次思维实验，以推导出 PFD 的 s 曲线。试考虑图 10-12 中这个假想的测试结构。它由频率为 f_c 的时钟源、一个可变延迟 τ、一个 PFD 和两个对 PFD 的两个输出求平均值的滤波器组成。时钟发生器的输出被分裂为两条通路；一条通路直接连到 PFD 的 R 端，另一条通路经过可变延迟后连到 PFD 的 V 端。PFD 的两个平均输出，标为 d_{UP} 和 d_{DN}，将被解释为延迟 τ 的一个函数。为此，我们来考察图 10-13，图中为 d_{UP} 和 d_{DN} 与 τ 的关系曲线。假设 PFD 从它的空状态开始，开始时刻的可变延迟是 τ_0（即最初 V 的时钟沿滞后于 R 时钟沿的时间为 τ_0），而到达 PFD 的第一个时钟脉冲是从 R 通路过来的。这些初始状态在图 10-13 中用 A 点标出。因为 R 和 V 信号有相同的频率，所以每个 R 时钟沿的后面总是跟着一个 V 时钟沿，之后再有另一个 R 时钟沿。从图 10-11 的状态图中可以看出，只要 τ 保持不变，那么 PFD 的状态将会重复地从 N 到 UP 到 CLR 再到 N 做循环，永不进入 DN 状态。现在假设在 CLR 状态的停留时间与 $1/f_c$ 相比是可以忽略的。因此，占空比 d_{UP} 为 $\tau_0 f_c$，占空比 d_{DN} 为零。现在逐渐增加可变延迟，因而 V 滞后于 R 的时间也不断加长。当到达 $\tau f_c = 1$ 的 B 点之前，占空比为 $d_{UP} = \tau f_c$ 和 $d_{DN} = 0$；也就是，在 B 点上 R 和 V 的边沿互相重合，R 和 V 之间的相移为 360°，而以 360°为模时 360°=0°。在这个边界上，UP 和 DN 的占空比都下降到零。再继续增加 τ 使 $d_{DN} = 0$，而 d_{UP} 按图中的锯齿波从零开始线性增加。

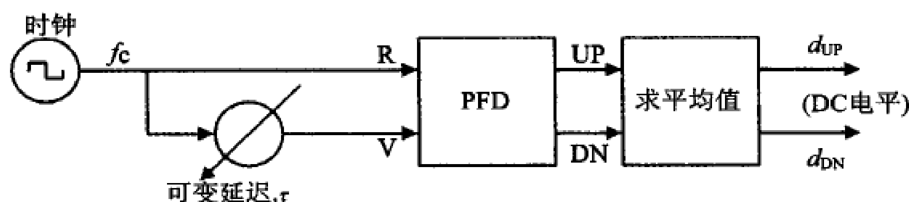


图 10-12　假想的测试结构，用以确定 PFD 的 s 曲线

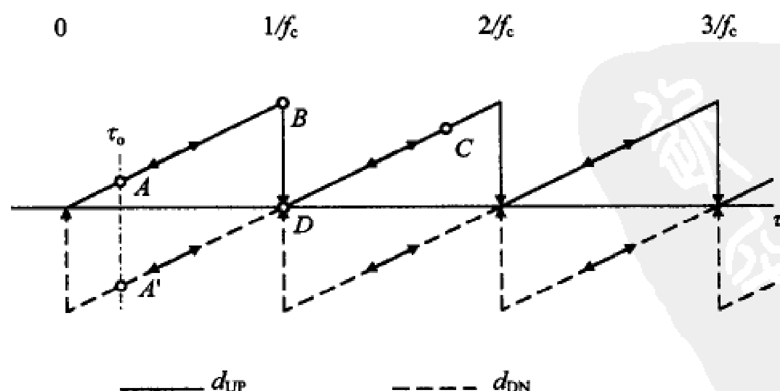


图 10-13　理想 PFD 的 s 曲线

现在让延迟 τ 继续增加并达到 C 点，然后改变延迟 τ 的变化方向，因而在这之后 τ 逐渐减小。起先 d_{DN} 保持等于零，d_{UP} 简单地沿着它刚才正向移动过来的锯齿形曲线做反向移动。但反向移动到达 D 点时即告结束。锯齿形的跳跃间断点如箭头所示是单向的。对于 D 点左侧，PFD 现在把时间关系解释为 V 的边沿超前 R 的边沿，所以 DN 状态将变为有效，而只要 τ 继续减小，PFD 将再也不会进入 UP 状态。随着 τ 的减小，PFD 的输出将沿着 d_{DN} 的虚线锯齿形走动。

现在我们可以看出这条 s 曲线了；思维实验揭示了存在两条互相咬合的 s 曲线。究竟哪一条有效，完全取决于开始时的机会：R 和 V 的边沿中哪一条首先到达，比如，例子中的 A 点或 A′点。一旦 PFD 选择了一条 s 曲线，它就依照这条曲线工作下去，除非在出现破坏性事件的时候，PFD 被迫跃迁到另一条曲线上。检相器的每一条 s 曲线都有一段范围等于 $\pm 2\pi$ 的线性区，而线性区的中心位于它的 $d=(d_{UP}-d_{DN})=0$ 处。占空比的变化范围从 -1 到 $+1$。斜率（与 PD 增益有关）是 $(d_{max}-d_{min})/4\pi = 1/2\pi\ \text{rad}^{-1}$。两条 s 曲线之间有 2π 的平移量。

10.3.5 PFD 的频率检测

把图 10-11 中的状态图和图 10-13 中的占空比轨迹合起来，就可以给出关于 PFD 频率检测能力的解释。假设 R 输入端的频率 f_R 略高于 V 输入端的频率 f_V，而且假设这两个频率都不变。那么 PFD 的状态将在 N、UP 和 CLR 之间循环，永不进入 DN。占空比轨迹将均匀地沿着图 10-13 中的上面（实线）部分移动，永不进入下面（虚线）部分。最大幅度为 1 的锯齿形轨迹的平均占空比为 0.5；就是这个加到环路滤波器上的平均值告诉 VCO 要增加它的频率。类似地，如果 f_R 略低于 f_V，PFD 的平均占空比将是 -0.5。

250～253

如果 f_R 远大于 f_V，那就会出现许多次这样的情况，即在一个 V 边沿之前出现连续的两个或两个以上的 R 边沿；UP 状态将会持续一个或几个完整的 f_R 周期。这样，平均占空比从两个频率差不多相等时的 0.5 开始增加。当比率 f_R/f_V 变得很大时，平均占空比趋于 1。同样，当比率 f_R/f_V 趋于 0 时，平均占空比趋于 -1。Goyuer 和 Meyer[10.18] 对这种理想化的频率检测指示做了一次分析，并得到

$$d=\begin{cases} 1-\dfrac{0.5f_V}{f_R}, & f_R>f_V \\ \dfrac{0.5f_R}{f_V}-1, & f_V>f_R \end{cases} \tag{10-6}$$

10.3.6 PFD 延迟的影响

前面关于检相器 s 曲线和频率检测器特性的描述，是基于 PFD 的 CLR 通路中的反馈延迟影响可以忽略而被简化了的情况。如果信号频率足够高，反馈延迟就不可略去；下面将探讨反馈延迟的几个影响。

图 10-13 中的锯齿形 s 曲线在相位误差为 $\pm 2\pi$ 处存在一个间断点。由于反馈延

迟，实际的 PFD 是达不到这种理想化的。我们可以想象，有一个 PFD 的相位误差在 $+2\pi$ 附近。也就是，V 边沿在 R 边沿之后几乎一个完整周期时才出现。占空比 d_{UP} 应当接近 $+1$，d_{DN} 应当是 0。但这两个占空比仅当所有边沿都被 PFD 恰当地对齐时才可得到。而这就是反馈延迟产生影响的地方。如果延迟足够长，使 CLR 状态的长度覆盖了下一个 R 脉冲(该 R 脉冲紧随启动 CLR 状态的 V 脉冲之后)，因而 R 脉冲就不起任何作用；也就是，这个 R 脉冲消失在了难于控制的 CLR 状态的时间内。下一个 V 脉冲是下一个能够触发 D 触发器的脉冲，这个脉冲将激励 DN 状态，而这个状态很快被紧随其后的 R 脉冲所结束。

上面这个过程丢失了一个 R 脉冲，因而使 PFD 从一条 s 曲线转移到另一条 s 曲线。PFD 现在指示出的是 R 稍微滞后于 V，而不是超前几乎一整个周期。根据 R 理应超前 V 那么长时间的理由，上面这个脉冲的丢失也许会引起周期滑步。在任何情况下，图 10-13 中完美的锯齿形 s 曲线都会在间断点附近以某种形式变坏，关于这种变坏形式的讨论，据我所知尚无报道。已经很清楚了，理想化的 $\pm 2\pi$ 的相位误差范围将因反馈延迟的存在而被减小。

频率检测也同样受到反馈延迟的影响。Goyuer 和 Meyer[10.18] 得出结论说，如果反馈延迟超过基准信号源的半个周期，那么频率检测就完全失败。较小的反馈延迟会降低用作频率误差指示的平均占空比的大小。一个有损害性的机理是，当 PFD 停留在 CLR 状态时，原本有效的 R 或 V 边沿会迷失在这个难以控制的 CLR 区间内。假设 $f_R > f_V$，那么一个没有反馈延迟的理想 PFD，如上面所说的那样，将在 N、UP 和 CLR 这几个状态下循环，永不进入 DN 状态。但在实际的电路中，有些 R 边沿将在 PFD 处于 CLR 状态时到达，因而被丢失。下一个 V 边沿把 PFD 送入 DN 状态，并在这个状态停留若干个基准信号周期。最终，PFD 得以恢复(进入 UP 状态的循环)，但只要继续存在 DN 状态的循环，频率误差就会被指示出错误的方向。式(10-6)关于频率检测的预测是一个在不小的反馈延迟下的乐观公式。关于延迟引起逆转(reversal)的问题可参阅参考文献[10.19]。

254

10.3.7 边沿的多出和丢失

有些信号或信号状态可以引起 R 输入端的翻转次数太多或太少。如果丢失或者多出一个信号边沿，那么 PFD 会把这个事件解释为失锁，并试图重新捕获锁定。由于 PFD 有自己的记忆，所以多出(丢失)边沿的效应会延续几个周期。如果环路以小误差跟踪，那么丢失一个边沿会至少引起在一个周期时间内很大的误差指示。因此，PFD 是不能容忍边沿的多出和丢失的。

作为一个例子，二进制数据信号绝大多数是用*不归零制*(NRZ)的形式传送的，所谓不归零制是指只有数据发生改变时才有信号的改变。对于随机二进制数据，数据翻转的概率是 50%。上面所说的那样一种 PFD 会把这样一种输入数据流看作一个频率比实际数据速率低很多的信号，并试图做不正确的锁定。已经有人设计出了专门适用

于 NRZ 位流的改进型 PFD,并在个人电脑的软盘驱动器中得到大量使用。其原理是,对图 10-8 中的 PFD 增加了两个单元:一个使能(EN)锁存器和一个延迟。R 输入被同时加到 EN 锁存器的时钟端和延迟单元上。当 EN 锁存器为假时,PFD 中的两个 D 触发器的 D 端即变为假,所以 PFD 的输出被钳位到空状态。数据的翻转(两个方向相反的翻转中的任意一个)使 EN 锁存器变为真,EN 锁存器的输出送到 UP 和 DN 触发器(即把触发器的 D 输入端置为真)。在延迟了典型值为半个数位周期之后,数据的翻转被作为时钟加到 UP 触发器,而 DN 触发器像一般 PFD 操作那样受到 V 信号的时钟打入。从 UP 和 DN 之间的与(AND)操作得到的反馈信号将 EN 锁存器清零,这进而把 UP 和 DN 触发器清零。

另一个例子是,大噪声可以引起信号波形过零点的多出和丢失;过零点的次数取决于噪声谱和信噪比[10.20]。如果每秒过零点次数与信号频率不相同,那么相频检测器就好像工作在失锁状态,因而 PLL 试图改变 VCO 的频率以把环路带回到"锁定"。错误的过零点次数至少会在 PD 输出中引起一个偏压;如果过零点次数错得太多,跟踪就将完全失败。只有当对电路特别注意和有特别值得的理由时,才可把时序 PFD 用于大噪声环境中。如果把噪声谱整形成使过零点率(取 D 触发器时钟有效边的方向)等于信号频率时,这个问题多少可以得到缓和。关于信号频率呈偶对称(arithmetic symmetry)的噪声谱具有这种希望的性质。

255

10.3.8　PFD 用作锁定指示器

8.4.1 节解释了与乘法器类型的主检相器成正交的辅助检相器被广泛用作相位锁定指示器。这个方法不能与 PFD 或 RS 触发器的检相器一起使用;因为相位关系是错误的。然而,PFD 本身却是一个有效和简单的方法,这将在下面说明。

一个两输入的或门把 PFD 的 UP 和 DN 输出作为它的输入。当 PLL 以小相位误差锁定时,UP 和 DN 都只在每个比较周期中的非常短的时间内才是真。当 PLL 失锁时,在许多周期内的平均情况是 UP 或 DN 有 50%或更长的时间为真。对锁定检测的基本做法是把或门的输出送入一个平滑滤波器,以提取在真状态下的平均停留时间,并把这个平均时间与一个恰当的阈值(比如,25%的真状态停留时间)作比较。如果平均真状态时间低于此阈值,PLL 想必是锁定的,而如果平均真状态时间高于此阈值,PLL 是在失锁状态。

锁定检测器(有各种类型,不只是 PFD)也经常包含一个定时器,这个定时器要求锁定指示持续一段规定的时间之后才宣布相位锁定。这个定时器在平均停留时间下降到低于阈值时启动计时,而在定时器达到规定时间之前,只要平均值一超过阈值就被回零。

10.4　检相器在噪声中的行为

锁相环有时被用于检相器输入信号的信噪比非常差的工作环境。设计正确的乘

法器类 PD 可以工作在信号深埋入噪声的情况，而时序 PD 则差很多。因此本节就只讨论乘法器类 PD。虽然这里给出的所有结果是对于模拟 PD 得出的，但也应当适用于相似的数字 PD。

10.4.1 带通限幅器

在考察噪声对检相器的影响之前，有必要简单地介绍一下限幅器。我们的注意力仅集中在理想的带通硬限幅器。之所以叫带通是因为在限幅器之前有一个中心频率位于信号频率的窄带滤波器。假设硬限幅器的输入电压为 v_i，那么它的输出电压 $v_L = V_L\ \mathrm{sgn}(v_i)$ 是一个矩形波，而且保留了滤波器输出的过零点位置。在限幅器的后面可以用（也可以不用）带通滤波器（zonal filter），以滤除所有的谐波而只让基频通过。限幅器的作用已经用正弦信号和高斯白噪声组成的输入做过了分析[10.21~10.23]。这个分析揭示了各种有趣的性质，下文将为此做一小结。

256

限幅器的输出功率是恒定的，并与输入信噪比无关。因为输出波形是幅度恒定的方波，所以这个结果并不奇怪；噪声的唯一影响是引起方波过零点的抖动。而且，在每个频率区域内的输出功率（即每个谐波频带，包括基频、三次谐波、五次谐波等）也是恒定的并与输入 SNR 无关的。对称的限幅器不产生偶次谐波。在没有噪声的情况下，限幅器矩形波输出中的基频分量是振幅为 $4V_L/\pi$ 的正弦波。当噪声加到输入信号上之后，输出中的信号分量必然减小，因为输出信号与噪声的总量是保持恒定的；也就是，噪声抑制了限幅器中的信号。现在把这个信号抑制用符号 α 表示，它是输入滤波器通带内测得的输入信号与噪声功率之比 ρ_i 的函数。把 α 解释为在输入 SNR 为 ρ_i 条件下的基频信号的振幅与不存在噪声下得到的振幅 $4V_L/\pi$ 的比率。因而，可以给出下面关于信号抑制的公式：

$$\alpha = \sqrt{\frac{\pi\rho_i}{4}}\left[I_0\left(\frac{\rho_i}{2}\right)+I_1\left(\frac{\rho_i}{2}\right)\right]e^{-\rho_i/2} \approx \sqrt{\frac{\rho_i}{\rho_i+4/\pi}} \tag{10-7}$$

其中 I_0 和 I_1 是修正的贝塞尔函数。比率 α 被画在图 10-14 中。这个近似公式对于工程计算足够精确。

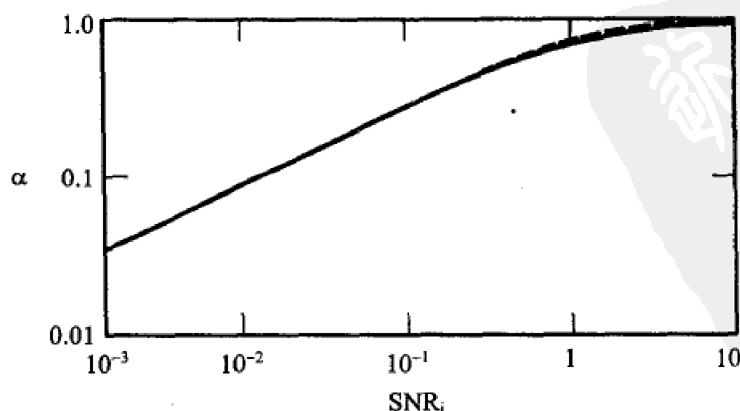


图 10-14 限幅器的信号抑制因子 α。实线是近似值；虚线是准确值

乘法器类检相器的增益 K_d 是正比于所加的信号电压的。如果信号电压被抑制了 α 因子，那么 PD 的增益也就被缩小了 α 因子。因此，如果在检相器之前加有限幅器，那么环路增益、阻尼和带宽都将是输入信噪比的函数。信号抑制是限幅器的主要影响，而且必须在环路计算中加以考虑。在基频区域内的输出信噪比 SNR_o 也是很有趣的[10.21]。分析表明，当输入 SNR 值很低（$\rho_i \ll 1$）时，输出 SNR_o 的下降不会超过 1.05 dB，而在输入 SNR 值非常大时，会有 3 dB 的改善。

257

这些 SNR_o 的结果都是正确的，但不能不加鉴别地使用于 PLL 的分析，这与前面的想法不同。这个 3 dB 的改善是第一个被认为没有什么帮助的特点。即使在大 ρ_i 的情况下，限幅器确实对 SNR_o 改善了 3 dB，但这个改善并没有引起 PLL 相位抖动的任何减小。在大 SNR 的改善反映了噪声中 AM 成分被抑制；限幅器不会对 PM 成分产生任何影响。由于 PLL 的抖动取决于相位，而不是振幅，所以 AM 噪声的抑制并不会改善跟踪性能，当然也不是 3 dB 的好处。

另外，在小 SNR（$\rho_i \ll 1$）下抖动的变坏还没有坏到 1.05 dB。限幅器把输入噪声谱[10.23]扩展得使基频区的输出谱在两侧有相对增加的谱密度、在谱中心有减小的谱密度。窄带 PLL 主要通过谱的中心部分，所以噪声的变坏小于 1.05 dB。真正的变坏取决于输入滤波器的形状、后滤波器和 PD 的结构[10.22]。10.4.4 节中有进一步的讨论。

10.4.2　检相器的噪声阈值

噪声对检相器的工作有许多不利的影响。其中一个就是无法避免的环路 DC 失调，尤其是 PD 自身的 DC 失调。失调的出现来自未补偿的偏置、不平衡的电路、整流噪声、偶然的频率敏感度以及许多极其奥秘的噪声源。失调通常与温度、信号频率、SNR 和时间有关。

如果使用了限幅器，那么当输入端 SNR 很低时，PD 的信号振幅就受到抑制。如果不使用限幅，那么信号振幅就必须很小，才可使信号加上最坏情况下的噪声不会使 PD 过载。对于上面的任何一种情况，相对(相对于信号)的、由噪声引起的失调将随着 SNR 的变坏而增加，其中的一个原因是噪声会影响失调，另一个原因是为了不使 PD 过载而必须把信号限制在一个很低的幅度上。如果 PD 的有用输出太小，因而不足以克服失调，那么跟踪就失败，环路就失锁。出现这样的现象被叫做检相器阈值，它是由不可避免的电路缺陷引起的，而不是 PLL 本身的问题。然而，任何实际的检相器电路都会有这些缺陷，在设计时必须予以考虑。

一个平衡很差的检相器，也许在大约在 −20 dB 至 −15 dB 或较高的输入 SNR 时出现 PD 阈值，而设计良好的电路也许可以容忍到 −30 dB。这里要求艰苦的设计投入，以得到低于 −25 dB 的满意阈值。输入 SNR 是由检相器前面的抑制噪声的带通滤波器所控制的。

258

10.4.3　噪声中的 s 曲线形状

存在很大输入噪声的另一个影响是 PD 的 s 曲线的形状变坏。Pouzet[10.24]已经指

出，当输入 SNR 变小时，任何周期性 s 曲线都会失去无噪声时的形状，而趋于正弦形。图 10-15 示出了一个矩形 s 曲线的例子，但对任何其他的常见形状都会有类似的变化[10.2,第7章;10.24~10.26]。在任意 SNR 下的 s 曲线的形状可以按照 Pouzet 的分析来计算。信号与噪声的合成相位是围绕只有信号而无噪声时的平均相位做随机波动的，当理解了这一点的时候，我们就取得了实质性的理解。有用的 DC 输出可以认为是有波动的输入相位在无噪声 s 曲线上的平均值，但这条无噪声 s 曲线先要相应地乘以相位波动的概率密度。

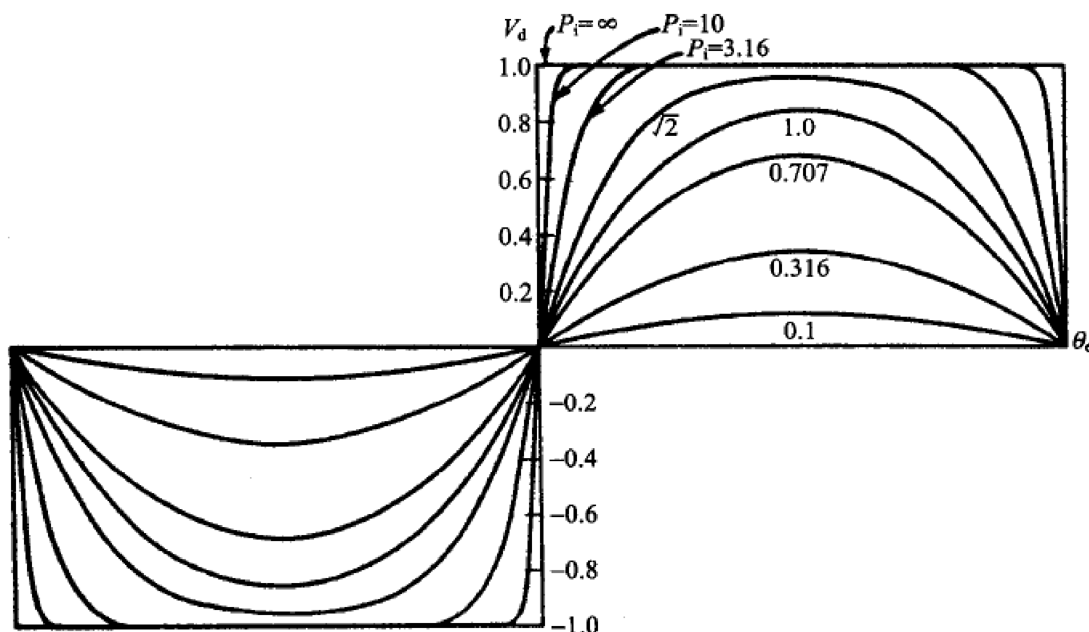


图 10-15 矩形 s 曲线在噪声下的退化

我们用 θ_e 表示平均相位误差，用 $g(\theta_e)$ 表示无噪声时的 PD 特性。由噪声引起的相位波动表示为 θ_n，它的概率密度表示为 $p(\theta_n)$，是与 ρ_i 有关的。信号加噪声的合成相位是 $(\theta_e-\theta_n)$。因而，检相器的平均 DC 输出为

$$V_d(\theta_e,\rho_i)=\int_{-\pi}^{\pi}g(\theta_e-\theta_n)p(\theta_n)\mathrm{d}\theta_n \tag{10-8}$$

其中 θ_n 以 2π 为模。这样表示后，DC 输出 V_d 可以被看成无噪声特性 $g(\theta_e)$ 与输入相位概率密度 $p(\theta_n)$ 的卷积。在无噪声的情况下，相位密度是一个单位冲击函数 $\delta(\theta_n)$，因而 DC 输出简化为 $V_d(\theta_e,\infty)$。当有噪声存在时，卷积使 DC 输出变得模糊和缩小了。如果输入为高斯噪声 $p(\theta_n)=p(-\theta_n)$、$g(-\theta_e)=-g(\theta_e)$，那么在 $\theta_e=0$ 处的平衡点将不会随输入 SNR 变化而移动。如果 $g(\theta_e)$ 不是奇对称的，那么这个平衡点就会移动，这是一个极不令人满意的情况。

259

噪声不仅可以引起 PD 特性向正弦形退化，而且还可以减小平衡点处的斜率；这就是信号抑制的原因，已在 10.4.2 节中关于正弦 PD 前面有限幅器的讨论中提过。为了找出其他 s 曲线的信号抑制，我们把式(10-8)积分中的被积函数对于 θ_e 求微分，并计

算出微分后的积分在 $\theta_e=0$ 点的值。从 Pouzet 的文章中，我们可以有如下推理：在任何常用 PD 中的信号抑制不会太大地偏离正弦形 PD 的信号抑制。

分段线性的 s 曲线要求在检相器之前有一个限幅器。如果方波限幅器的输出未经滤波就用来驱动开关检相器，那就得到三角形的 s 曲线。如果对未经滤波的限幅器输出进行采样，那就得到矩形的 s 曲线。如果 PD 的两个输入信号之一为正弦波，那么 s 曲线是正弦形的。这种正弦形 s 曲线可以在下面这些情况下得到：输入带通信号未被限幅，或者限幅器输出未被滤除谐波，或者 VCO 用来驱动 PD 的是正弦波。所有这三个情况得出完全相同的 s 曲线形状。

10.4.4 抖动与 s 曲线形状的关系

位于 PLL 前面的限幅器在小 ρ_i 下引起的相位抖动要比没有限幅器时的相位抖动大。这个增加与无噪声下 s 曲线的形状和输入带通滤波器有关。Pouzet 已经计算了各种情况下的抖动增加；他的计算结果见表 10-1。表中的数据表示了在非常低 SNR 下抖动会逐渐增加，并趋于渐近线的方向，其中限幅器前面的带通滤波器有两个完全不同的形状。

表 10-1 PLL 的相位抖动(dB)因限幅器($\rho_i \ll 1$)而增加

PD 的 s 曲线	单调谐带通滤波器	矩形带通滤波器
正弦形		
无限幅器	0	0
有限幅器	0.25	0.65
三角形	0.3	0.7
矩形	0.36	0.97
锯齿形	2.9	2.9

正弦形或者甚至三角形和矩形只引起非常小的损失，特别是在输入滤波器是单调谐的情形下。但锯齿形特性却存在严重的损失。由于实际的特性无论怎样都会退化到正弦形，所以如果输入信号被埋入噪声中，就很难说使用锯齿形 PD 是否恰当。对于任何其他的延伸 PD 特性，应当期望有类似的结果。

10.5 两相(复数)检相器

260

由于要求滤除检相器的纹波，所以环路带宽必须小于相位比较频率。本节要描述一个抵消纹波的方法，因而可以使用一个相对较大的环路带宽。这样的抵消在数字 PLL 中完成得最好，但也有在模拟 PLL 中用得很成功的(虽然这样的情况很少)。这个抵消技术示于图 10-16 中。输入信号被分裂为两个正交分量，分别加到各自的检相器上。VCO 的输出也有两个正交分量，也各自加到对应检相器的另一个输入端上。假设

这两个检相器都是理想乘法器，而且每一对正交信号有完全对称的振幅和完全正交的相位。

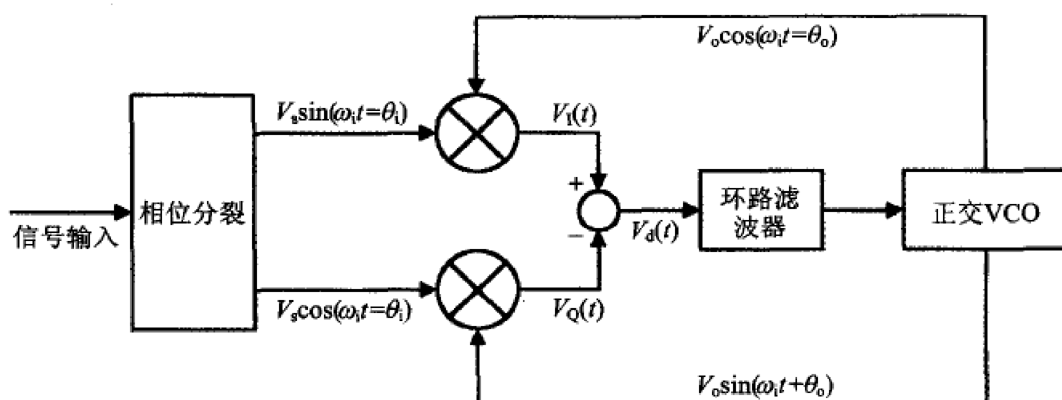


图 10-16 复数(两相)检相器

两个独立的检相器分别产生 $v_I(t)$ 和 $v_Q(t)$。就像 6.1.1 节中那样，每个独立 PD 的输出包含一个正比于相位误差的 DC 项，加上一个倍频纹波分量。但从一个 PD 输出中减去另一个 PD 输出后，使 DC 项加倍而使纹波抵消，所以

$$v_d(t)=K_m V_S V_o \sin(\theta_i-\theta_o) \tag{10-9}$$

其中，(与 6.1.1 节相同) K_m 表示乘法器的比例因子，V_s 表示每个 PD 输入信号的振幅，V_o 表示每个 VCO 信号的振幅，θ_i 表示输入相位，θ_o 表示 VCO 相位。

在完全平衡的时候，纹波被完全抑制。根本性的完全平衡在数字 PLL 中是可行的。对于模拟 PLL 可以期望得到仅 30 dB 左右的纹波抑制，原因是很难在互相正交的两条独立通路之间达到非常接近的平衡。纹波的抵消只是在正弦波输入和理想乘法器 PD 的情况下才是(理想情况下)完全的。例如，如果 PD 是全波开关型，抵消就失败，如图 10-1 和图 10-2b 所示。在这种情况下，v_d(由两个 PD 合成所得)的纹波波形中有一个四倍于比较频率的基频分量(多少减轻了对纹波的滤波负担)，但它的峰-峰值与图 10-1 中的没有差别。

图 10-16 的结构可以看作一个单边带解调器，其中较低的边带(在零频处)是所选择的，而较高的边带是被剔除的。关于相位分裂技术，可以在大量的单边带文献中找到；关于正交 VCO，可参阅 9.7 节。由基本的两相 PD 导出的一些变化结构，可参阅参考文献[10.27]和[10.28]。 261

另一个有用的表示法是复指数形式，其中

$$z_s(t)=V_S e^{j(\omega_i t+\theta_i)}, \qquad z_o(t)=V_o e^{j(\omega_i t+\theta_o)} \tag{10-10}$$

所以由图 10-16 的结构可得

$$v_d(t)=K_m \mathrm{Im}[z_s z_o^*]=K_m V_S V_o \sin(\theta_i-\theta_o) \tag{10-11}$$

其中 $\mathrm{Im}[x]$ 表示 x 的虚部，星号 * 表示共轭复数。

附录 10A 由检相器纹波引起的相位调制

检相器纹波是检相器正常工作中产生的一种扰动。纹波将被环路滤波器所处理，并作为控制电压的一部分加到 VCO 上。控制电压中的纹波产生了 VCO 输出中的相位调制。这种调制效应是不希望的，应当尽量减小。本附录将描述由几种常用检相器所产生的纹波的特性，并说明如何计算纹波的振幅。关于纹波的其他内容可以在第 11 章和第 12 章中找到。

10A.1 纹波的模型

首先把检相器中的比较频率表示为 f_c。本附录中的所有例子都假设纹波的周期是 $1/f_c$。因此，由周期性的纹波产生的相位调制也是以 $1/f_c$ 为周期的。如果未调制的振荡器频率 f_o 等于 f_c（或只是 f_c 的一个较低次的谐波），那么纹波将引起 VCO 波形的每个周期内与 f_c 同步的失真；这样的失真产生了 f_o 整数倍的谐波。对这个问题的研究涉及关于 PLL 的非线性微分方程组[10.29,10.30]，将不在这里讨论。但我们可以假设 $f_o \gg f_c$，这可能是因为在 VCO 和 PD 之间的反馈通路中有一个分频器（第 15 章），也可能是因为在反馈通路中存在频率转换（比如在锁相接收器中）。由纹波引起的相位调制产生一些频率位于 $(f_o \pm nf_c)$ 处的边带，其中 n 取正整数。边带的振幅取决于纹波的振幅和波形。

由于纹波是周期性的，所以可展开为傅里叶级数，级数中每一项的调制度可以用线性计算来确定。每一个边带的振幅和相位可以使用著名的、用于正弦相位调制的贝塞尔函数来分别计算。总的振幅和总的相位是傅里叶级数中每个谐波项所产生的边带的贡献的矢量和。在许多情况下，级数中的最低频率项将对调制占主导地位。

262

本附录导出了傅里叶级数项：第 n 个相位偏离项的峰值振幅 $\Delta\theta_n$。每一个这样的项在相位噪声谱 $W_\phi(f)$（关于谱的定义，见 7.2 节）中的频率 nf_c 上产生一条面积为 $\Delta\theta_n^2/2\ \mathrm{rad}^2$ 的冲击函数谱线。这里给出的结果是关于没有另加高频滤波的二阶 2 类 PLL（2.2 节）的纹波。但这是不实际的；因为对纹波的恰当的抑制几乎总是需要另加滤波的。这些结果（即相位偏离的幅度）加上对分离元件所允许的性能要求，指出纹波必须另外衰减，其方法是增加滤波功能或减小环路带宽。我们总是假设 PLL 是线性操作的。但对 $\Delta\theta_n$ 解释中给出的警告说，太大的纹波可以把 PLL 驱入非线性工作区，但又没有指明这种过载的后果。在第 11 章中将对非线性过载做进一步说明。

10A.2 分析的基础

我们把 PD 输出的纹波成分表示为 $v_{dr}(t)$，这个纹波成分是叠加到 PD 的输出 v_d 上的。为了分析的缘故，假设 PLL 以无静态相位误差跟踪。下面考虑的纹波波形是基于 PD 零静态相位误差的。然而应当知道，如果 PLL 工作在非零相位误差，大多数波形将

会改变，而且还应当知道，这里给出的傅里叶分量的数值也将有变化。

纹波通过环路滤波器后就作为控制信号而加到 VCO 上。把控制信号中的纹波分量表示为 $v_{cr}(t)$。假设纹波频率足够高，以至于通过环路滤波器的比例通路的纹波远远超过通过环路滤波器的积分通路的纹波，因而后面这部分纹波可以忽略。因此，纹波对控制电压的贡献可近似为 $v_{cr}(t)\approx v_{dr}(t)\tau_2/\tau_1$，其中 τ_2 和 τ_1 如第 2 章定义的那样。由纹波施加于 VCO 的频率调制为 $\omega_{or}(t)=K_o v_{cr}(t)$ rad/s，而相应的纹波相位调制为

$$\theta_{or}(t)=\frac{K_o\tau_2}{\tau_1}\int v_{dr}(t)\mathrm{d}t \tag{10A-1}$$

把这个等式施加于纹波波形 $v_{dr}(t)$ 的傅里叶级数展开式的每一项，从而找出由每一项引起的相位偏离。

10A.3 纹波举例

图 10A-1 示出了大家熟悉的检相器所产生的几种纹波波形。它们都是以 $1/f_c$ 为周期的；波形只画出一个 $1/f_c$ 周期。画出的波形都是奇对称的，所以它们的傅里叶展开只有形式为 $V_r a_n \sin(2\pi n f_c t)$ 的正弦项，其中 V_r 是纹波的峰值，a_n 是单位振幅纹波的傅里叶级数展开式的第 n 项系数。

263

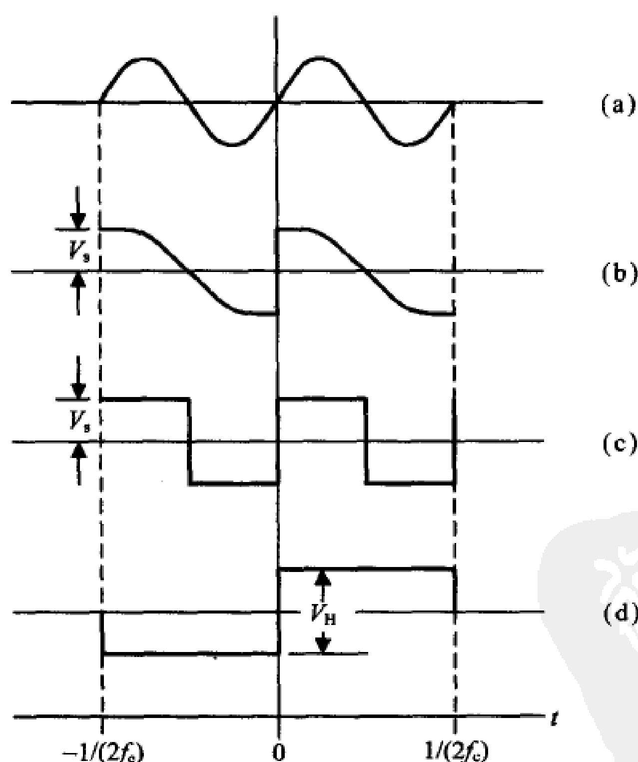


图 10A-1 检相器的纹波波形举例

在每个举例检相器中，PD 的增益 K_d 正比于 V_r。因此，任意实际 PD 的纹波振幅可以写为 $K_d=cV_r$，其中 c 是与实际 PD 有关的常数。根据式(2-18)，环路增益被定义为 $K=K_dK_o\tau_2/\tau_1$ rad/s。结合前面的那些表达式，第 n 项的相位调制的峰值振幅可以

写为

$$\Delta\theta_n=\frac{a_n K}{2\pi c n f_c} \tag{10A-2}$$

这些纹波波形的例子只是由于 c 和 a_n 的不同，而 c 和 a_n 是由它们的 VCO 相位调制产生的。表 10A-1 总结了图 10A-1 中每个例子的纹波特性。

10A.4 纹波滤波器

为抑制纹波所需要的滤波操作几乎对所有 PLL 都是必不可少的。最简单的滤波器是转角频率为 $f=f_p$ 的单极点低通网络。如果 $nf_c \gg f_p$，那么在 $f=nf_c$ 处的纹波成分的衰减量接近 $20\log(f_p/nf_c)$ dB。甚至在环路中经常采用几个低通滤波器的级联，以得到比单极点更大的衰减。多插入几个极点一方面涉及抑制纹波，另一方面涉及环路稳定性与相位裕度之间的权衡考虑。可以参阅第 2 章和第 3 章中关于稳定性和相位裕度的讨论。

264

表 10A-1 举例检相器的纹波性质

PD 名称	波形	s 曲线	环路增益	公式[a]	电压[b]	偏离 $\Delta\theta_n$	有效的 n[c]
乘法器	图 10A-1a	正弦形	$K_d=V_r$	(6.4)，(6.5)	—	$\frac{K}{2\pi n f_c}$	$n=2$
全波开关							
正弦波输入	图 10A-1b	正弦形	$K_d=2V_r/\pi$	(10-3)	$V_r=V_S$	$\frac{K}{\pi(n^2-1)f_c}$	$n=$偶数 >0
方波输入	图 10A-1c	三角形	$K_d=2V_r/\pi$	—	$V_r=V_S$	$\frac{2K}{\pi n^2 f_c}$	$n/2=$奇数>0
RS 触发器	图 10A-1d	锯齿形	$K_d=V_r/4\pi$	(10-5)	$V_r=V_H/2$	$\frac{8K}{\pi n^2 f_c}$	$n=$奇数>0

a K_d 的定义式。

b K_d 公式中的信号峰值电压与峰值纹波电压 V_r 之间的关系。

c 适用于前一列中 $\Delta\theta_n$ 的 n 值；否则，对所有的 n，$\Delta\theta_n=0$。

如果纹波中有一个谱分量占主导（通常是傅里叶级数中的最低频率分量），而且比较频率被限制在很窄的范围内，那么双 T 网络[10.31]那样的点阻网络（notch network）可以用来有效地抑制纹波。有源点阻滤波器也是很有效的，但文献中没有提供在 PLL 中使用的例子。

参考文献

10.1 B. Gilbert, "A Precise Four-Quadrant Multiplier with Subnanosecond Response," *IEEE J. Solid-State Circuits* **SC-3**, 365–373, Dec. 1968.

10.2 A. Blanchard, *Phase-Locked Loops*, Wiley, New York, 1976.

10.3 W. J. Gruen, "Theory of AFC Synchronization," *Proc. IRE* ***41***, 1043–1048, Aug. 1953.

10.4 C.-S. Yen, "Phase-Locked Sampling Instruments," *IEEE Trans. Instrum. Meas.* ***IM-14***, 64–68, Mar.–June 1965.

10.5 B. R. Eisenberg, "Gated Phase-Locked Loop Study," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-7***, 469–477, May 1971.

10.6 S. Barab and A. L. McBride, "Uniform Sampling Analysis of a Hybrid Phase-Locked Loop with a Sample-and-Hold Phase Detector," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-11***, 210–216, Mar. 1975.

10.7 L. M. Robinson, "TANLOCK: A Phase-Lock Loop of Extended Tracking Capability," *Proc. IRE Conv. Mil. Electron.*, Los Angeles, Feb. 1962, pp. 396–421.

10.8 M. Balodis, "Laboratory Comparision of TANLOCK and Phaselock Receivers," Paper 5-4, *Conf. Rec. Natl. Telem. Conf.*, 1964.

10.9 A. Acampora and A. Newton, "Use of Phase Subtraction to Extend the Range of a Phase-Locked Demodulator," *RCA Rev.* ***27***, 577–599, Dec. 1966.

10.10 J. Klapper and J. T. Frankle, *Phase-Locked and Frequency Feedback Systems*, Academic Press, New York; 1972, Chap. 8.

265

10.11 C. J. Byrne, "Properties and Design of the Phase-Controlled Oscillator with a Sawtooth Comparator," *Bell Syst. Tech. J.* ***41***, 559–602, Mar. 1962.

10.12 J. I. Brown, "A Digital Phase and Frequency-Sensitive Detector," *Proc. IEEE* ***59***, 717–718, Apr. 1971. Reprinted in [10.13].

10.13 B. Razavi, ed., *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, Reprint Volume, IEEE Press, New York, 1996.

10.14 D. K. Morgan and G. Steudel, *The RCA COS/MOS Phase-Locked-Loop*, Appl. Note ICAN-6101, RCA, Somerville, NJ, Oct. 1972.

10.15 *Phase-Locked Loop Data Book*, 2nd ed., Motorola, Schaumburg, IL, Aug. 1973.

10.16 C. A. Sharpe, "A 3-State Phase Detector Can Improve Your Next PLL Design," *EDN*, Sept. 20, 1976. Reprinted in [10.13].

10.17 J. Tal and R. K. Whitaker, "Eliminating False Lock in Phase-Locked Loops," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-15***, 275–281, Mar. 1979.

10.18 M. Soyuer and R. G. Meyer, "Frequency Limitations of a Conventional Phase-Frequency Detector," *IEEE J. Solid-State Circuits* ***25***, 1019–1022, Aug. 1990.

10.19 A. M. Fahim and M. I. Elmasry, "A Fast Lock Digital Phase-Locked Loop Architecture for Wireless Applications," *IEEE Trans. Circuits Syst. II* ***50***, 63–72, Feb. 2003, Fig. 8.

10.20 S. O. Rice, "Mathematical Analysis of Random Noise," *Bell Syst. Tech. J.* ***23***, 282–332, 1944; ***24***, 46–156, 1945.

10.21 W. B. Davenport, Jr., "Signal-to-Noise Ratios in Band-Pass Limiters," *J. Appl. Phys.* ***24***, 720–727, June 1953.

10.22 J. C. Springett and M. K. Simon, "An Analysis of the Phase Coherent–Incoherent Output of the Bandpass Limiter," *IEEE Trans. Commun.* ***COM-19***, 42–49, Feb. 1971.

10.23 J. H. van Vleck and D. Middleton, "The Spectrum of Clipped Noise," *Proc. IEEE* ***54***, 2–19, Jan. 1966.

10.24 A. H. Pouzet, "Characteristics of Phase Detectors in Presence of Noise," *Proc. Int. Telem. Conf.* ***8***, Los Angeles, 1972, pp. 818–828.

10.25 B. N. Biswas, S. K. Ray, A. K. Bhattacharya, B. C. Sarkar, and P. Banerjee, "Phase Detector Response to Noise and Noisy Fading Signals," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-16***, 150–158, Mar. 1980.

10.26 E. H. Sheftelman, "The Transfer Function Characteristic of a Linear Phase Detector When Its Input Signal–Noise Ratio Is Small," *Proc. IEEE* ***55***, 694, May 1967.

10.27 G. L. Baldwin and W. G. Howard, "A Wideband Phaselocked Loop Using Harmonic Cancellation," *Proc. IEEE* ***57***, 1464, Aug. 1969.

10.28 R. E. Scott and C. A. Halijak, "The SCEM-Phase-Lock Loop and Ideal FM Discrimination," *IEEE Trans. Commun.* ***COM-25***, 390–392, Mar. 1977.

10.29 J. L. Stensby, "On the PLL Spectral Purity Problem," *IEEE Trans. Circuits Syst.* ***CAS-30***, 248–251, April 1983.

10.30 J. L. Stensby, *Phase-Locked Loops*, CRC Press, New York, 1997.

10.31 V. F. Kroupa, *Phase Lock Loops and Frequency Synthesis*, Wiley, Chichester, West Sussex, England, 2003, Sec. 3.1.4.

266

第 11 章　环路滤波器

常用的环路滤波器有两种：直接与检相器连接使用的和通过电荷泵使用的。本章讨论直接与检相器连接使用的环路滤波器；与电荷泵一起使用的环路滤波器将在第 12 章中讨论。环路滤波器是一个相对简单的电路，我们已在第 2 章至第 4 章中对它做了详细的线性分析。本章将讨论有源环路滤波器的一些其他特性，这些特性在电路分析中是不会讲到的，但却具有相当实际的重要性。第 5 章中讲到了 2 类 PLL 的一些优点，并且在第 2 章至第 4 章中讨论了适用于 2 类 PLL 的环路滤波器的实现方法。下面的讨论假设 2 类是优选的 PLL 设计，虽然 2 类 PLL 也存在不足之处。

11.1　有源与无源环路滤波器

早期 PLL 的 DC 放大器有很大的、易于漂移的偏移电压，而且一般不稳定。为了避免使用 DC 放大器，那些锁相环都是用无源环路滤波器构成的。早期关于 PLL 的文献集中在无源滤波器，甚至到了这样的程度，即只要构建 PLL 就理所当然地使用无源滤波器。用无源滤波器只能实现 1 类 PLL，但 1 类 PLL 的性能受静态相位误差影响（第 5 章）。此外，为了实现窄带 PLL，就必须在无源环路滤波器中使用体积巨大的电容。

注解：电荷泵往往与无源滤波器一起使用，但滤波器的工作与不用电荷泵时是不同的。2 类环路的操作可以用一个理想的电荷泵驱动一个无源环路滤波器来实现；见第 12 章。

随着性能优良的低成本运算放大器（运放）的出现，早期使用无源环路滤波器的理由便不再成立。本章的下面部分将主要讨论由有源环路滤波器中的运放带来的一些问题。

11.2　DC 偏移

环路滤波器中运放的任何折合到输入端的 DC 偏移，都将通过 PLL 的反馈而被检相器相反的输出偏移所抵消。PD 的这个偏移是由稳态相位误差产生的，但这种稳态相位误差一般是不希望出现的。应当尽量小心地降低运放和其他包括 PD 在内的 DC 电路的 DC 偏移。在运算放大器的文献中大量反复地报道了降低偏移的技术。当不存

在输入信号和环路失锁时，环路滤波器仅有的输入就是 DC 偏移和随机噪声。在运放的增益非常大时(一般在无 DC 反馈时运放的增益都很大)，DC 偏移就会积累在环路滤波器的积分器上。最终，运放的积分输出被驱动到一个饱和状态。饱和了的运放在信号出现时会拒绝相位捕获。

如果在 PLL 中使用频率扫描或频率检测的辅助捕获方法，就可以消除由 DC 偏移引起的捕获问题。避免停留在饱和区附近的扫描方式可以在信号出现后立即捕获锁定。频率检测器并不能避免饱和，但只要设计得正确，就可以在信号出现时消除任何很小的偏移电压，并且把积分器拉出饱和区而走向正确的锁定频率。

在有些不寻常的情况下也许不可以使用辅助捕获。例如，如果在无线通信联络中的频率搜索是设在发送器中而不是在接收器中。在这种情况下也必须避免饱和。更严格的情况是，VCO 的待机频率(无输入信号时)常常必须保持在限制区内，以保证在信号出现时可以立即捕获。其中的一种实现方法是，在输入信号消失时把 PLL 锁定在本地的基准信号上，而当检测到信号时立即切换到输入信号上。例如，用于恢复磁盘定时信号的 PLL，在闲置时可以锁定在写时钟上，而当从磁盘读数据时，就切换到已恢复的数据流上。对于施加到 PLL 的两种不同的输入信号，可以使用两种不同的检相器；PLL 根据命令在两个 PD 之间切换工作。

另一种方法是对环路滤波器的运放施加局部 DC 负反馈(用一个电阻连在输出端和相加点之间)，以降低积分器的能力。应当使用足够大的反馈，以保证放大后的最大偏移不会把运放驱动到饱和区，或更严格地说，以保证放大后的最大偏移仍处于很窄的范围内，因而也限制了 VCO 的待机频率的范围。这个技术把 PLL 降低到了 1 类工作，因而出现了不可消除的静态相位误差。不过，仔细的工程设计仍可以非常优于无源滤波器的性能。

268

在 PLL 有源滤波器的电路图中，经常有一个 DC 反馈电阻加在运放上。有人认为这样的反馈是多少必需的，但对于这个说法的基本道理却只有上一段落中所说的。如果为了对抗饱和而采用了合适的捕获方法，那么这样的 DC 反馈也就不需要了。

11.3 瞬时过载

线性理论是不适用于过载情况的。PLL 中的所有单元都必须防止饱和。过载情况下的单元行为也许是难于预测的，但单元的过载一般总要损害 PLL 的工作。运放因其很大的增益而特别容易饱和。本节将指出两个可能的饱和来源，以期引起读者的注意。

11.3.1 PD 纹波引起的过载

从第 10 章给出的例子中可以看出，检相器输出的纹波电压幅度大、变化快。这就必须要用纹波滤波器来降低 VCO 输出中的纹波边带，这同时也就防止了环路滤波器的过

载,也还有可能防止 VCO 的过载。本节集中讨论运放的过载,一方面是因为运放通常是一个比较容易过载的单元,另一方面是因为有效地保护了运放一般也就保护了 VCO。

保护运放有两个方面;一是被放大的纹波不应大到超过运放输出电压的线性区。这也是捕获时的一个问题,将在下一节中讨论。另一个比较难以捉摸的问题是纹波的高频特性。我们可以特别地考虑这样一个 PD,即它的纹波不仅幅度大而且翻转速度快。运放通常是不允许在输入端有阶跃变化的;如果有阶跃信号加到输入端,运放则进入一个由摆速限制的过程,对 PLL 有不可预测的影响。阶跃变化或高频成分必须不能进入运放。必须在运放之前有充分的纹波滤波,以保证运放的线性工作;纹波的后滤波不能防止运放进入瞬态过载。

在抑制纹波的恰当频率上增加一个极点,通常是用一个电容从运放输出端向前连接到加法点来实现的。这样就避免了运放输出端的阶跃电压(即运放不能输出阶跃电压),但仍不能防止运放因阶跃输入而进入过载,因为这时运放给不出反馈电容所需的阶跃电流输出。切记不要把运放置于阶跃输入或很大的高频输入之中。

11.3.2 捕获中的过载

在捕获过程中,检相器给出一个输入信号与 VCO 之间频率差的拍音。拍音的波形是 PDs 曲线的重复,其峰值等于 s 曲线的峰值。除非仔细地观察这个现象,否则,设计出来的 PLL 环路滤波器的运放会很容易地被拍音过载。在 PD 和有源环路滤波器之间连接一个低通滤波器也许可以帮助应对这个问题。但是,当这个频率差接近锁定频率(在第 8 章中约为 K rad/s)时,可能出现过载的最坏情况,但在这样低的频率上的充分滤波会导致已锁定环路的不稳定(见第 2 章和第 3 章)。 269

另一个方法是把 PD 的峰值电压与环路滤波器增益之乘积保持在运放输出的线性区内。这是一个期待的目标,但在出现下面任何一个要求或所有要求时,也许就难于实现:需要很大的环路增益 K(因而需要很大的检相器增益或环路增益);需要很宽的 VCO 调谐范围或很低的 VCO 增益(需要很宽的控制电压范围)。

再一个方法是承认在捕获阶段内过载的不可避免性这个事实,同时对可预测的过载行为提供快速的恢复能力。这可以通过谨慎选择运放或通过外部限幅电路来实现。运放的过载行为在手册中往往没有完整的描述;也许需要用实验来确定。特别要注意这样一些事情,比如,过载时增益极性的反转,或者从过载中恢复所需的时间要比从线性放大器带宽预计的慢得多。

运放可以在拍音下进入摆速限制工作区。最好的解决办法是用一个足够快的运放,使在任何预期的频率和振幅的拍音下都不会进入摆速限制区。如果不可避免地要进入摆速限制区,那么在两个方向上的摆速的速率应当相等,以此避免整流现象,也就是在畸变的输出中不会有 DC 分量(这个 DC 分量不利于捕获)。数以千百万计的完好工作着的 PLL,有力地证明了过载的陷阱是可以克服的。提出这些警示的目的,是为了使读者在早期设计阶段就开始注意这些问题,不要等到后来才因这些问题而大惊小怪。 270

第 12 章　电荷泵锁相环

PLL 中的电荷泵是一种在检相器控制下、把电荷分配给环路滤波器的电子开关。电荷泵的优点是可以与任何一种输出两电平波形的、相位误差信息包含在波形占空比中的检相器一起使用。虽然电荷泵有比较广泛的应用，但仍然主要是与 10.3 节中的相频检测器(PFD)一起使用。所以，本章假设使用了 PFD 检相器。但这里讨论的电荷泵的各种性质也适用于与其他类型检相器一起使用的电荷泵。

许多早期的 PFD 是不用电荷泵的。PFD 的两个输出端叫做差分对(这个叫法不太准确)。这样的一对波形被转变成单边驱动信号后再送给环路滤波器。这些 PLL 虽然可以完成跟踪和锁定，但却没有电荷泵所提供的优点，这些优点要在本章中说明。

12.1　电荷泵的模型

典型的电荷泵是由两个标为 UP 和 DN、并被 PFD 的 UP 和 DN 两个输出端控制的电流开关组成。当 PFD 的 UP 端有效时，UP 开关向环路滤波器提供泵电流 I_p，而当 PFD 的 DN 端有效时，DN 开关从环路滤波器吸收泵电流 I_p。电流开关在 OFF 状态时是理想的开路状态。两个开关都断开的 PFD 第三(浮空)状态给了电荷泵的一个极其重要的、在通常 PLL 中所没有的性质。

271

注解：除了电流开关外，也有使用电压开关的。但最好选用电流开关，其理由将在 12.5 节中讨论。除非另有说明，这里只考虑电流开关。

假设 PLL 已锁定，并把 PD 的比较频率表示为 ω_c。令相位误差为 $\theta_i-\theta_o=\theta_e$。对于输入信号的每个周期 $2\pi/\omega_c$，UP 或 DN 的(导通者适用)导通时间为

$$t_p=\frac{|\theta_e|}{\omega_c} \tag{12-1}$$

(下标 p 指“电荷泵”)。从本节中讨论的内容来看，这两个特点，即三态特性和式(12-1)，完整地描述了 PFD 的特性。

环路滤波器可以是无源或有源的。无源环路滤波器用它的两端阻抗 $Z_F(s)$ 来表示；有源环路滤波器的特性用它的传递阻抗来表示(输入为电流、输出为电压)。这里的讨论主要集中在无源滤波器，一方面是因为分析因此而简化，但另一方面是因为这种结构的优良的实用性和广泛的应用性。

因为开关工作的原因，电荷泵 PLL 是一个时变网络；准确的分析必须考虑到电路结构的时变因素，而这要比时不变网络复杂得多。尤其是，简单传递函数的分析方法

不能立即使用于时变网络。然而在许多应用中，在每个输入信号周期内的 PLL 状态只有非常小的变化；环路带宽比信号频率要小。在这些情况下，我们不关心一个周期内的详细特性，而只关心在许多周期内的平均特性。在采用了平均分析的方法后，我们可以绕过时变操作，而使用时不变传递函数的强大分析工具。本节的余下部分将讨论如何导出平均操作的传递函数。然而应该知道，即使在带宽十分窄的情况下，每个周期内的行为也是很重要的，这一点将在后面说明。

电荷泵在每个周期的一段时间 t_p 内向滤波器阻抗 Z_F 提供一个泵电流 $I_p\,\mathrm{sgn}(\theta_e)$。每个周期的时间是 $2\pi/\omega_c$，所以使用式(12-1)后，在一个周期内的误差电流平均值为

$$i_d=\frac{I_p\theta_e}{2\pi} \tag{12-2}$$

等式(12-2)也同样是误差电流在许多周期内的平均值，只要两个输入信号都是周期性的，也就是没有发生输入周期的丢失。因此，检相器增益为

$$K_d=\frac{I_p}{2\pi} \tag{12-3}$$

272

振荡器的控制电压为

$$V_c(s)=I_d(s)Z_F(s)=\frac{I_pZ_F(s)\theta_e(s)}{2\pi} \tag{12-4}$$

其中 $I_d(s)$ 为 $i_d(t)$ 的拉普拉斯变换式，其他符号也一样。VCO 的相位为

$$\theta_o(s)=\frac{K_oV_c(s)}{s} \tag{12-5}$$

其中 K_o 为 VCO 的增益，以 rad/s · V 为单位。由上面这些表达式可以得出环路的传递函数

$$\begin{aligned}G(s)&=\frac{\theta_o(s)}{\theta_e(s)}=\frac{K_oI_pZ_F(s)}{2\pi s}\\H(s)&=\frac{\theta_o(s)}{\theta_i(s)}=\frac{K_oI_pZ_F(s)}{2\pi s+K_oI_pZ_F(s)}\\E(s)&=\frac{\theta_e(s)}{\theta_i(s)}=1-H(s)=\frac{2\pi s}{2\pi s+K_oI_pZ_F(s)}\end{aligned} \tag{12-6}$$

12.2 环路滤波器

与电荷泵一起使用的典型环路滤波器见图 12-1；图中使用的标记是与前面第 2 章、第 3 章中的标记一致的。在定义 $b=1+C/C_3$ 和 $\tau_2=R_2C$ 之后，可以得到滤波器阻抗的表达式

$$Z_F(s)=\frac{b-1}{b}\frac{s\tau_2+1}{sC\left(\frac{s\tau_2}{b}+1\right)} \tag{12-7}$$

接下来，可以确定环路增益为

$$K=\frac{b-1}{b}\frac{K_oI_pR_2}{2\pi} \tag{12-8}$$

把式(12-7)和式(12-8)代入式(12-6)后，得到了前面对三阶 2 类 PLL 得出的传递函数式(2-38)至式(2-41)。从传递函数反映出的电荷泵 PLL 的平均动态特性，是与第 2 章、第 3 章得出的一般 PLL 传递函数的特性一样的。

注解：式(12-8)中的因子$(b-1)/b$曾被错误地从参考文献[12.1]的K的定义中略去了。这个错误已在后面的段落中做了纠正。

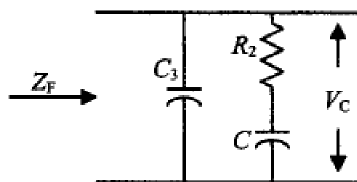


图 12-1 用于电荷泵 PLL 的无源环路滤波器

(摘自参考文献[12.1]；© 1980 IEEE)

电容C_3有时从环路滤波器中略去，形成一个二阶 2 类 PLL(它的动态特性已在 2.2 节中说明)。略去C_3的做法一般来说是不明智的；这个电容对几乎所有实际的电荷泵 PLL 提供了必需的纹波滤波。在没有C_3的情况下，在环路滤波器阻抗上形成的纹波电压I_pR_2多半会使 VCO 和自己的有源电流开关过载。实际上，许多电荷泵 PLL 会再增加一个或几个低通极点，以增强对纹波的滤除能力，这样就构成了一个四阶 2 类环路。关于电荷泵 PLL 中的纹波将在 12.6 节中进一步讨论。

12.3 静态相位误差

电荷泵 PLL 的静态相位误差(见 5.1.1 节)为

$$\theta_v=\frac{2\pi\Delta\omega}{K_o I_p Z_F(0)} \tag{12-9}$$

从式(12-7)可以看出，对图 12-1 中环路滤波器有$Z_F(0)=\infty$，所以式(12-9)的静态相位误差为零。这个所希望的特性是用无源滤波器得到的。在常规 PLL 中实现零静态相位误差，就要求有源滤波器的 DC 增益为无穷大。因此，不需要 DC 放大就可以实现零静态相位误差(2 类环路的响应)是电荷泵的一个非常有用的性质。这个现象的出现是因为当 PFD 在空状态(浮空)时开关都是断开的，并且与具体的电流开关无关；对于电压开关，情况是一样的。

实际的电路也许对无源滤波器阻抗会加上一个并联负载。现在把这个负载表示为一个电阻R_s。这样，从式(12-9)得出的静态相位误差为

$$\theta_v=\frac{2\pi\Delta\omega}{K_o I_p R_s}=\frac{\Delta\omega R_2}{KR_s}\frac{b-1}{b} \tag{12-10}$$

并联负载最可能的来源是 VCO 控制端的输入阻抗或是电荷泵开关本身。这两种阻抗都可以做得非常大。VCO 可以是用变容管调谐的，这表示电阻几乎是无限大，而这个开关一般是反向偏置的双极晶体管或 MOS 管。如果必须对低阻抗输入源隔离的话，

那就应该对 VCO 使用一个高阻抗的缓冲器。

273 ~ 274

如果 R_s 很大，那么漏电流也许是组成相位误差的比较重要的来源。由偏置电流 I_b 不断地注入到滤波器结点而产生的相位误差 θ_v 为

$$\theta_v=\frac{I_b}{K_d}=\frac{2\pi I_b}{I_p} \tag{12-11}$$

12.4 稳定性问题

对于常规的三阶 2 类 PLL 的稳定性和稳定性裕度，已经在第 2 章和第 3 章中做过详细的讨论。同样的判据也适用于电荷泵 PLL。但是，所有前面章节的讨论是以环路的平均响应、连续时域和恒定单元操作为前提的。由于实际操作中的不连续性而出现的其他一些重要问题也需引起注意。基于时间平均操作的设计工作，应当推迟到对不连续操作已确实有了合适的稳定性裕度之后进行。

从某种意义上说，电荷泵 PLL 是以采样为基础而工作的，这一点与简单的连续时域电路不同。离散时域稳定性的近似分析曾在参考文献[12.1]中讨论过。虽然电荷泵的开关使 PLL 变为时变系统，但在每个开关间隔内的操作可以看作是时不变的，因而可以很好地用线性近似。PLL 的状态变量，即电容上的电压和输入信号与 VCO 之间的相位误差，还有开关拨动的时刻，都可以在每个开关间隔内用标准的线性电路分析方法来计算。一个开关间隔内的最终状态用作下一个开关间隔的起始状态。Gardner[12.1]给出了二阶 2 类电荷泵 PLL 的详细说明。

一个三阶 PLL 在电荷泵开启时刻的状态可以用代数函数和超越函数的差分方程来描述。这些方程可以合并成一个在这些时间点上关于相位误差的差分方程。在假设小相位误差的前提下，超越函数项可以近似为代数项，然后用 z 变换把代数差分方程变为 z 的有理式传递函数。PLL 在 z 平面上的极点是这个有理式传递函数的分母的三个根。

此后，K 增加时的稳定性边界，就相应于与单位圆在 $z=-1$ 处相交的那个极点，其中 ω_c、τ_2 和 b 都是正数。这个归一化的增益边界值为

$$K\tau_2=\frac{(\omega_c\tau_2)^2}{\pi^2\left(1+\frac{\omega_c\tau_2}{\pi}\,\frac{1-a}{1+a}\,\frac{b-1}{b}\right)} \tag{12-12}$$

其中 $a=\exp(-2\pi b/\omega_c\tau_2)$。

作为对稳定性极限的一个近似，把式(12-12)以几个不同的 b 值画成图 12-2 中的曲线。如果归一化增益值 $K\tau_2$ 位于相应 b 值曲线的下方，则 PLL 是稳定的，如果在曲线的上方，PLL 就是不稳定的。起初一看，还觉得小的 b 值允许大的环路增益。这个感觉是正确的，但你会发现较小的 b 和较大的稳定增益的那些区域，在大多数情况下是那对复数极点呈现阻尼太小的区域(见图 3-3 和图 3-4)。这些区域是应当避免的。这种稳定性边界确实是关键性的数据，但不是评价性能好坏的唯一判据。

275

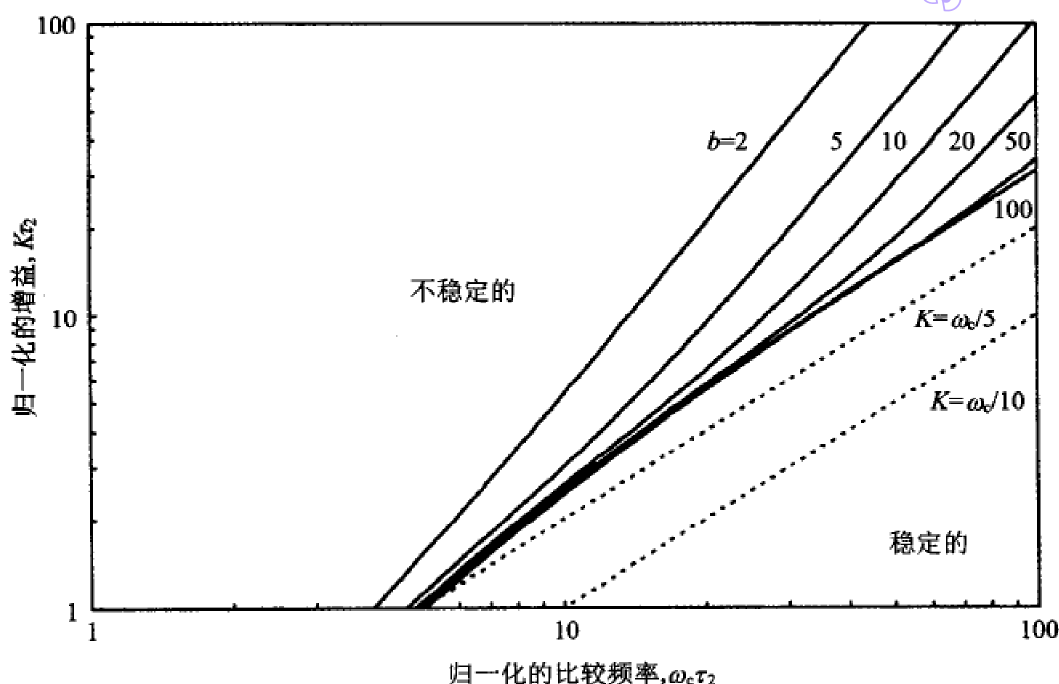


图 12-2　一个三阶电荷泵 PLL 的稳定性边界

良好的设计要求有防止不稳定的裕度，也就是增益应选择为小于不稳定边界处的增益值。图 12-2 中的虚线表示了所选取的两个相对于比较频率的增益在稳定区域内的位置。其中一个选择为 $K=\omega_c/10$，给出了大约 10 dB 的增益裕度，而选择 $K=\omega_c/5$ 时的增益裕度要小 6 dB。经验指出，只要稳定性裕度（比如，$K\leqslant\omega_c/10$）选取的合适，那么使用传递函数(12-6)的连续时域分析方法和使用第 2 章、第 3 章中的工具，对电荷泵 PLL 的行为都能给出良好的近似。

本节考察了因电荷泵 PLL 的采样特性而引起的不稳定性。其他许多模拟 PLL 也有采样的特点，因而也会有相应的不稳定性问题，除非它们的环路增益（环路带宽）一般地选择为远小于比较频率。电荷泵 PLL 也许会走到离散时域不稳定性的极限点上，因为这些电路要经常设计成很大的环路增益，以更好地跟踪和去除 VCO 很大的相位噪声。这个论题将在第 15 章中进一步讨论。

由采样而导致的不稳定性是本节中唯一讨论的问题。一旦采样稳定性得以保证，我们仍然还要对第 2 章、第 3 章中描述的连续时域的不稳定性、稳定性裕度和阻尼等问题进行考虑，这时就要使用伯德图、根轨迹图或尼科尔斯图中的恰当的、便利的方法。

12.5　非线性

死区是 PFD 非线性的一个例子。10.3.2 节告诉我们，在 PFD 的复位反馈通路中的延迟是如何帮助消除这个死区的。虽然延迟是有用的、必需的，但仅有延迟还是不

够的；有些残余信号的交越失真还是存在，这将在下面的段落中和第15章中说明。 276

即使PFD和电荷泵是理想的，而且也不存在死区，但也还存在一种比较难以捉摸的非线性现象。对于这种非线性的影响，用图12-3中的例子来说明是最好的，图中画出了PFD与电荷泵PLL对频率阶跃$\Delta\omega = \pm 2K$ rad/s的瞬态相位误差响应的仿真结果。例子中的环路参数是$K\tau_2 = 2$、$K = \omega_c/10$、$b = \infty$（$\zeta = 0.707$的二阶PLL）。带宽K相对于比较频率是很宽的，也许是尽可能的、但也是谨慎的宽。图中的光滑曲线表示了工作在连续时域上的常规检相器的误差响应。可以观察到正负曲线互为镜像，这是由线性系统可以预期的。标有数据点的曲线是对PFD电荷泵PLL的仿真结果。每个数据点表示PFD的一个新周期开始时刻的相位误差。为了显示清晰，用直线顺着时间顺序把数据点连了起来，但在数据点之间的相位误差的轨迹并不一定沿直线走动。

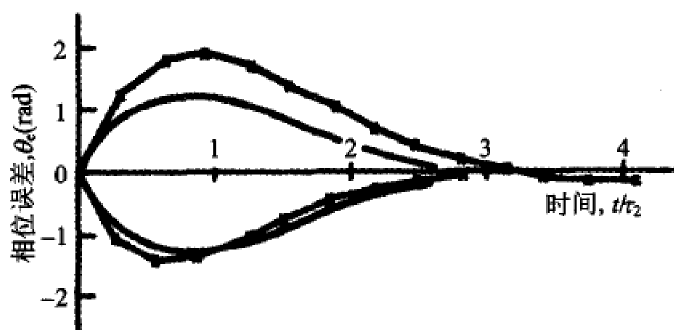


图12-3 二阶PLL对频率阶跃$\Delta\omega = \pm 2K$的响应。其中的光滑曲线为连续时域PLL的响应；有点的曲线为电荷泵PLL在$K\tau_2 = 2$和$K = \omega_c/10$时的离散时域响应（摘自参考文献[12.1]；© 1980 IEEE）

图12-3中的一个明显特点是，PFD电荷泵PLL的正负误差响应不是互为镜像的。负响应非常接近连续时域PLL的理论响应，但正响应明显变大，而且趋于平衡也慢。线性系统对正和负的激励应当有相同的响应（不计符号）。存在与符号有关的响应差异，说明PFD电荷泵系统是非线性的，尽管系统单元是完美的。这个非线性行为是PFD所固有的。

可以参阅10.3.1节和关于PFD操作的图10-9来帮助理解下面对非线性的解释。如果V脉冲超前R脉冲（即相位误差θ_e为负），那么在任何一个周期内的泵的工作区间t_p，提前在V脉冲的时刻就由相位误差确定了。但如果R脉冲超前V脉冲，那么在电荷泵开启的时候VCO在加速，所以泵的工作区间t_p就要比没有反馈时缩短。所以，在正相位误差时转移到环路滤波器的电荷量，就要比在大小相等的负相位误差时从环路滤波器转移出来的电荷量小。因此，正相位误差的响应比负相位误差响应要慢，这在图12-3中清晰可见。这种非线性效应在大多数情况下是无关紧要的，但在一些特殊情况下会招致麻烦。 277

另一种非线性出现在UP和DN电荷泵之间不匹配的时候。我们一直假定两个泵电流是相等的，并且电流源的开关时刻是对准的。实际的电流开关是永远不会完全匹

配的。由于不匹配而产生的非线性表现为电荷泵 UP 和电荷泵 DN 的增益不等。

此外，由于在静态下提供给环路滤波器的净电荷必须为零，所以电流比较小的那个电流开关的开通时间必须比电流比较大的开关更长。这种不匹配的工作时间只能由相应的静态相位误差产生。所以我们需要对泵电流和开关速度做仔细的匹配，以尽量减少相位误差和非线性。

还存在另一个非线性，最突出的是在使用电压开关电荷泵时。我们假设一对被开关的电压$\pm V_p$是完全匹配的，而且假设开关是完美的，以及两个开关都是通过电阻R_1来驱动环路滤波器的。如果环路滤波器的电压为零，那么对于两个不同极性的相位误差都是同一个泵电流$\pm V_p/R_1$。但是，如果环路滤波器的电容上存储有电压V_F，那么流出的泵电流将为$(V_p-V_F)/R_1$，而流进的泵电流将为$-(V_p+V_F)/R_1$。这里又是一个非线性，它表现为一个相位误差极性下的增益不同于相反的相位误差极性下的增益。而且，这个非线性的严重程度取决于环路滤波器上存储的电压V_F。

电流开关也会引起类似的、但不那么严重的非线性。实际的电流源是有界的诺顿(Norton)并联电导，而不是无界的。因此，实际给出的电流取决于负载上的电压。即使一对电流源上施加相等的电压，因而这对电流源是完全匹配的，但一个非零的负载电压可以引起这两个电流源上的电压不相等，使这对电流源仍然不匹配。

由负载电压引起的不匹配而导致的非线性，可以用运放有源滤波器来减轻；由于运放的加法点总是处于同一电位上，所以这时电荷开关的负载电压就不同于无源滤波器时的电压。

12.6 纹波抑制

假设$C_3=0$，所以 PLL 是二阶的。在每个周期中都会产生一个幅度为I_pR_2的电压跳变，这时总是有其中一个电荷开关(但不会两个同时)通导。这个电压跳变可以超过电荷开关或 VCO 控制端的电压预留区。这样就出现不可接受的过载，因而 PLL 呈现不能令人满意的行为。由于这个原因，设计者很少略去C_3；因为必需要抑制这种电压跳变。作为一个供大家参考的想法，我们暂时假设C_3被略去了，并假设净的 UP(或 DN)操作时间为t_p。电压跳变I_pR_2引起相应的频率跳变$K_oI_pR_2$，这个频率跳变在时间区间t_p内积分后，就产生一个峰-峰值为$|\Delta\theta_o|_2=K_oI_pR_2t_p$弧度的相位斜坡。 [278]

现在考虑一个三阶 PLL，它的电荷泵驱动电容为C_3。图 12-4 中示出了由此而产生的波形。为了使分析简化，我们采用下面的近似方法：我们假设电纳ω_cC_3大大超过环路滤波器其余部分的导纳$\omega_cC/(\omega_cCR_2+1)$。如果这个近似是合法的，那么振幅为$I_p$、持续时间为$t_p$的矩形电流脉冲便产生一个峰-峰值为$\Delta v_c=I_pt_p/C_3$的斜坡控制电压。试将这个电压波形与二阶 PLL 的电压跳变I_pR_2做比较。电压振幅之比是$t_p/R_2C_3=(b-1)t_p/\tau_2$。在$t_p$很小(当 PLL 锁定和具有良好跟踪时存在的一个状态)时，电压波动大大减小，但在t_p较大时，比如在捕获期间，改善就比较小。如果在捕获

期间出现问题，那就应当查看过载是否由控制电压的摆动所引起。

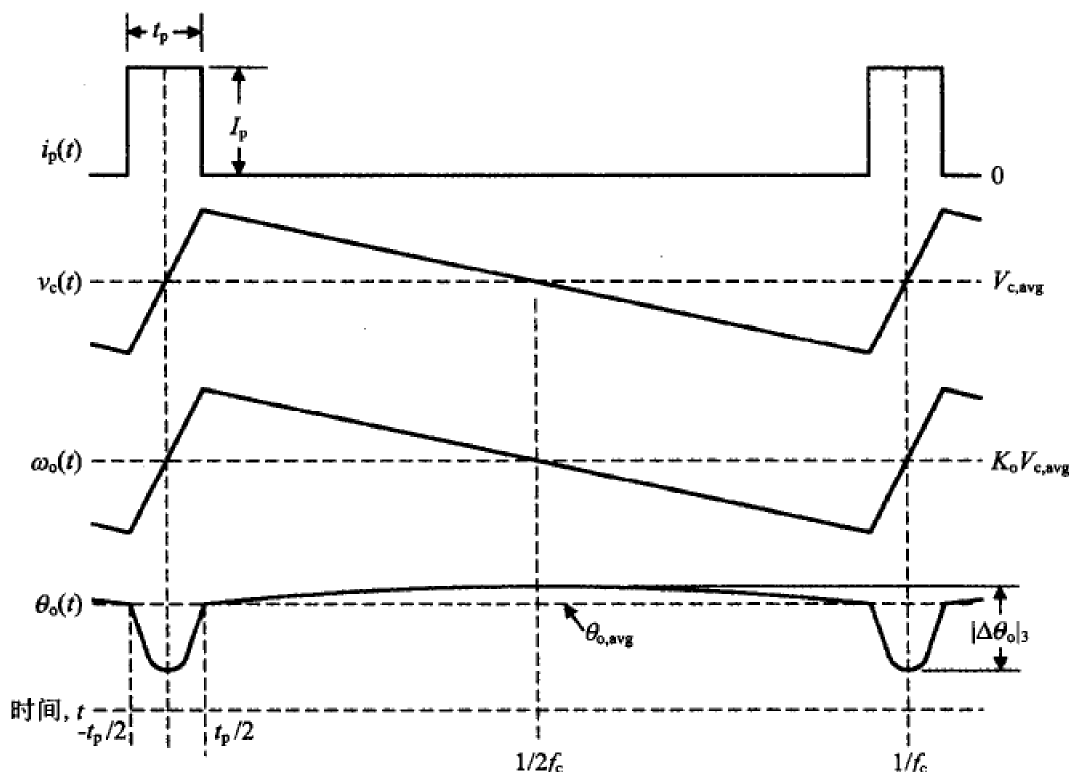


图 12-4 三阶电荷泵 PLL 的纹波波形

实际上，元件 C 和 R_2 为电荷开关提供了另一个导纳通路，所以电压摆幅并没有上面说的那样大。而且，波形呈指数形，而不是真正的线性斜坡波形。由于这些原因，由简化分析得出的结果略微悲观了一些。作为进一步的近似，可以假设控制电压是从摆幅最高点做线性斜降的。这个斜降波形出现的时间区间为$(1/f_c-t_p)$，并准确地回到斜升时的起始电平。

279

注解：(1)$f_c=\omega_c/2\pi$ 是 PFD 的比较频率。(2)如果 PLL 处于稳态锁定状态，那么所有纹波波形都应当是以 $1/f_c$ 为周期的严格重复。(3)稳态下的 t_p 非零值是前面几节中未曾谈到过的一个静态相位误差源所引起的。这里不讨论这个相位误差的来源。

VCO 频率 $\omega_o(t)=K_o v_c(t)$ rad/s 是用波形 $v_c(t)$复制出来的，所不同的是加上了 VCO 的增益 K_o。控制电压和 VCO 频率的平均值在图 12-4 中用标为 $V_{c,avg}$ 和 $K_oV_{c,avg}$ 的虚线表示。斜坡波形是关于这个平均值的零均值摆动。相位的变化，即频率斜坡的积分，是抛物线的形状。负向抛物线的峰值为 $K_oI_pt_p^2/8C_3$，而正向抛物线为 $K_oI_pt_p(1-t_pf_c)/8f_cC_3$。它们的和是

$$|\Delta\theta_o|_3=\frac{K_oI_pt_p}{8f_cC_3}\quad 峰\text{-}峰值 \tag{12-13}$$

三阶与二阶 PLL 之间相位摆动峰-峰值之比为

$$\frac{|\Delta\theta|_3}{|\Delta\theta|_2}=\frac{1}{8f_cR_2C_3}=\frac{\pi(b-1)}{4\omega_c\tau_2} \tag{12-14}$$

作为一个数值例子，令 $\omega_c\tau_2=10$、$b=10$，得出比率为 $9\pi/40=0.7$（-3 dB）。还可以举另一个例子，令 $\omega_c\tau_2=100$、$b=51$，得出比率为 $50\pi/400=0.39$（-8 dB）。这些相位摆动的改进不是很大；而 C_3 的主要好处看来是降低了小 t_p 下的电压摆幅。

12.7 近期进展

在本书手稿完成之后，出现了两篇关于电荷泵 PLL 的好文章（参考文献[12.4]和[12.5]）。这两篇文章都包含了本章前面几页所没有包含的有价值内容。在考虑了 PFD 采样性质之后，参考文献[12.4]以与我大体相似的做法，推导出了 2 类三阶电荷泵 PLL 的 z 变换传递函数，但没有包括在本书和参考文献[12.1]中。可以参见参考文献[12.4]中的详细推导过程。尤其是，我们找到了相同的闭环传递函数的特征多项式，就是其中的公式(40)的分母。

注意：我们的标记法有所不同。最特别的是，他们的 K 与本书的 K 不同。不过，一旦不同的标记法统一之后，我们的结果也就一致了。

几位工作者已经观察到，在某个增益 K 时达到这个 PLL 的 z 域稳定性极限，这时一个实极点穿越单位圆的 $z=-1$ 点。与这个极限值相连的增益可以用 $z=-1$ 代入特征方程后对 K 求解而找出；结果为式(12-12)，并画在图 12-2 中。

280

这篇文章还提供了良好相位裕度的设计信息。根据仿真的结果，Hanumolu 等人[12.4]指出稳定性边界可以用 $\omega_{gc}\approx\omega_c/3.5$ 的单位增益穿越频率的约束条件来很好近似。使用 $K\approx\omega_{gc}$ 的近似式并把 $K\approx\omega_c/3.5$ 画入图 12-2 中（图中尚没有这条曲线）就可以看出，后一个近似式对环路参数的某些选择是合理的。

Levantino 等人[12.5]探讨了包含 PFD 和电荷泵的 PLL。该文章的目的是通过使环路带宽最大化和在 z 域中对闭环极点的明智的布局来实现快速频率捕获。文章作者推荐把起稳定作用的零点设置为 $z=0.5$，把所有三个闭环极点设置为接近 $z=0$。从理论上讲，这是不可实现地，这样的环路只需 PD 比较频率的三个周期也许就可以稳定下来。（一阶数字 PLL 的一个类似的行为曾在 4.2.6 节中描述过。）文章报道了被仿真的 PLL 只需 7 个周期就稳定了下来，比通常的设计快很多。

关于实现快速稳定的设计，必须对稳定性裕度、瞬态过程和频率响应的参数容差的影响做仔细核查。这样，一个 PLL 的闭环系统的响应 $|H(f)|$ 对输入扰动几乎没有提供任何滤波。这种宽带 PLL 最有利的应用方面也许是大噪声锁相振荡器的稳定，如频率合成器（见第 15 章）。

参考文献

12.1 F. M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. Commun.* ***COM-28***, 1849–1858, Nov. 1980. Reprinted in [12.2] and [12.3].

12.2 W. C. Lindsey and C. M. Chie, *Phase-Locked Loops*, Reprint Volume, IEEE Press,

New York, 1986.

12.3 B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, Reprint Volume, IEEE Press, New York, 1996.

12.4 P. K. Hanumolu, M. Brownlee, K. Mayaram, and U.-K. Moon, "Analysis of Charge-Pump Phase-Locked Loops," *IEEE Trans. Circuits Syst. I 51*, 1665–1674, Sept. 2004.

12.5 S. Levantino, M. Milani, C. Samori, and A. L. Lacaita, "Fast-Switching Analog PLL with Finite-Impulse Response," *IEEE Trans. Circuits Syst. I 51*, 1697–1701, Sept. 2004.

281



第 13 章　数字(采样)锁相环

许多一直被叫做"数字"PLL 的,实际上是模拟与数字的混合电路;这一点读者很快会意识到。真正的数字 PLL 只处理离散的数字序列。混合 PLL 兼有模拟与数字的混合操作。本章中将给出这两类锁相环的例子。这里用*采样 PLL* 这个术语来包括这两种类型。采样(离散时域)锁相环可以有若干种分类方法。为了下面的讨论,我们把它分为两类:准线性的和必然非线性的。所有 PLL,无论是数字的还是模拟的,都包含非线性,这在前面章节中总是反复提到的。在准线性采样 PLL 中的非线性可以被忽略,因而可以使用基于 z 域传递函数的有用分析技术,这在第 4 章中已有讨论。有两种不同类型的非线性是可以被忽略的:数字检相器和 VCO 所固有的非线性,这些非线性与模拟 PLL 是基本相同的(或许没有模拟 PLL 那么突出);由数字量化引起的非线性。量化非线性是数字运算所特有的。采样 PLL 的其他一些特性具有强烈的非线性,因而完全排除了任何线性近似方法的使用。在一个严重非线性的网络中,像传递函数、频率响应、增益和带宽等这样有力的分析工具再也没有任何确定的含意。非线性 PLL 的行为比线性 PLL 的复杂得多。

本章分为 3 个小节:准线性 PLL、量化和非线性 PLL。采用数字电路的采样 PLL 的研发工作始于 20 世纪 60 年代。Lindsey 和 Chie[13.1] 发表了一篇综述性文章,文章对早期的工作进行了中肯的评论,并附有许多参考文献。他们根据检相器的工作对采样 PLL 进行了分类,这些类别就是本章的各小节。他们也把许多混合 PLL 归入数字 PLL,这是大家都在用的词,但本书中不这样用。

大多数包含采样 PLL 的系统都接受模拟信号作为输入,即使 PLL 本身是纯数字的。模拟输入信号在系统中被采样和数字化。对于所有后面的章节,我们都假设因使用了合适的前置滤波器而抑制了有害的频谱折叠。

13.1　准线性 PLL

所有准线性(quasilinear)PLL 在相位锁定时的操作都可以用传递函数来近似描述,这与第 4 章中的方法是相似的。本节主要讨论完整的 PLL 中各组成单元的实现和各种不同的结构。我们将忽略包括量化非线性在内的所有非线性。

13.1.1　数控振荡器

数控振荡器(Number-Controlled Oscillator,NCO)曾在第 4 章和第 9 章中讨论过,

第 9 章中曾提到过一个递归的数字正弦波振荡器(RDSO)。数控振荡器(Digital-Controlled Osallator DCO)这个通用术语一直被用来表示任何一个频率被数字量控制的振荡器。本节将考察 2 个有用的 DCO。

1. 周期 DCO

图 13-1 表示了在早期采样 PLL[13.3,13.4] 中被广泛使用的一种结构。它由一个频率为 f_{ck} 的固定振荡器和后面的一个可选分频系数 Q 的分频器组成。分频器的输出频率 $f_o=f_{ck}/Q$ 是与分频系数成反比的。这样,我们就可以避免使用非线性的反比例关系,而把分析简化为只考察输出周期 $T_o=1/f_o=Q/f_{ck}$。现在 T_o 与 Q 成正比,因而可以容易地包含到差分方程和相应的传递函数之中。

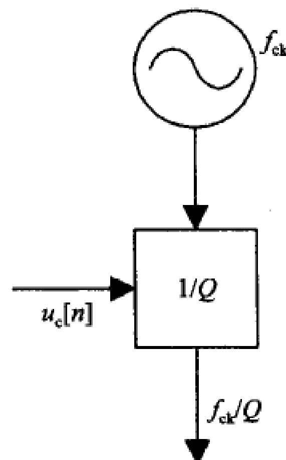


图 13-1 基于分频器的周期 DCO

为了推导周期 DCO 的差分方程,我们把分频器输出的第 n 个前沿出现的时刻表示为 $t[n]$。这个出现时刻可确定为

$$t[n]=t[n-1]+Q[n-1]t_{ck}=t[n-1]+u_c[n-1]t_{ck} \tag{13-1}$$

其中用控制数 $u_c[n]$来代替 Q,而且 $t_{ck}=1/f_{ck}$。即,在每次输出之后,分频器的模 Q 将根据控制字 $u_c[n]$的值而改变。把控制字看成一个以单位步长的整数倍进行增减的整数。对式(13-1)取 z 变换后得到

$$T(z)=\frac{z^{-1}}{1-z^{-1}}t_{ck}U_c(z) \tag{13-2}$$

等式(13-2)表示了一个形式上与式(4-9)中 NCO 相同的数字积分器。这个表达式可以用第 4 章中那样的方法包含到 DPLL 的线性表达式之中,而且可以得到相同形式的 DPLL 传递函数;这里不再需要推导传递函数。包含周期振荡器的采样 PLL 的其他分析内容,可以在参考文献[13.4]和[13.5]中找到。

从式(13-1)中可以看出,前沿的出现时刻只能以 t_{ck} 为步长来调节。所以为了实现更细步长的调节,就要求固定振荡器有一个很高的频率 f_{ck} 和快速的分频器电路。这个分频粒度(granularity)的出现是因为周期 DCO 不是全数字的,而是一个数模混合电路。它的输出不是数字量,而是一个有用信息保存在前沿时间上的模拟信号。这些前沿通常被用来激励一个采样开关,再由采样开关对输入模拟信号进行采样。

第 4 章中的 NCO 并没有受到这个定时粒度的影响。那个 NCO 的输出是一个表示相位(这个相位是与时间密切相关的,见 2.1.4 节的说明)的离散数字序列。相位的粒度仅取决于数字量的字长,其长度一般远大于分频器的模数 Q,尤其当周期 DCO 以高频输出时。NCO 的输出可做进一步的处理,以产生相位角的正弦或余弦样点。第 9 章中的 RDSO 是直接输出正弦和余弦样点的,不需要其他任何处理。相位关系是包含在正弦和余弦样点中的;相位分辨率主要取决于字长。

2. 相位选择器 DCO

图 13-2 表示了另外一种似乎用得很广的技术，但看来还没有一个被很好接受的名称。我能找到的仅有文献报道是[13.42]及其中的参考文献。与图 13-1 中的周期 284 DCO 类似，相位选择器 DCO 实际上也是一种输出模拟量的混合电路，因而也同样有粒度的问题。但这种 DCO 改善了粒度的问题，同时又不像周期 DCO 那样要求不合理高频的 f_{ck}。相位选择器 DCO 的基本原理是，从带有 Q 个抽头的延迟线上选取一个离散值的相位。为了避免开环延迟线出现的相位伸展(unwrapping)问题，把延迟线闭合成一个环形，因而形成了一个环形振荡器。另外，为了使环振有一个精确的振荡频率，我们把振荡器锁相到一个频率为 f_{ref} 的稳定的固定振荡器的一个谐波频率上。

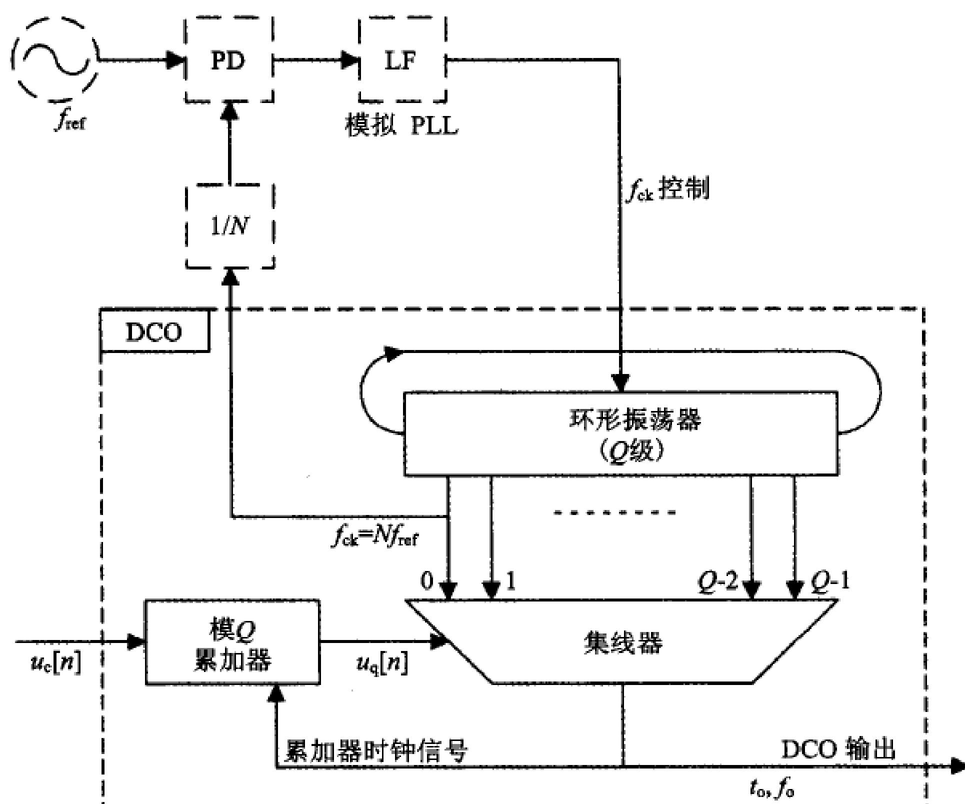


图 13-2　基于锁相环振和集线器的相位选择 DCO

沿着环振的振荡频率是 $f_{ck}=1/t_{ck}=Nf_{ref}$。因为环上的 Q 个抽头是等距离的，所以相邻两个抽头之间的时间增量为 $\delta t=t_{ck}/Q$。与周期 DCO 中所依靠的高时钟频率和快速分频器不同，在这个方法中只需要环形振荡器中每个延迟单元很小的延迟就可得到很小的时间增量。

每个抽头上的波形都是方波，都在同一个频率 f_{ck} 上，但互相的时间差为 δt。其中的相位选择器是 PLL 的一部分，它产生控制信号 $u_c[n]$，再通过累加器和集线器选择延迟线的某个抽头作为 DCO 的输出。通过 PLL 的反馈作用使被选择抽头的相位与输入信号的相位保持一致。

累加器的工作可表示为

$$u_q[n]=\{u_q[n-1]+u_c[n-1]\} \quad \text{mod-}Q \tag{13-3}$$

其中 $u_q \in \{0,1,\cdots,Q-1\}$ 选择出环形振荡器上的一个有效抽头。对于 DCO 的每个输出周期都可以选择一个新的抽头(但一般不是这样)。控制信号 u_c 对于 DCO 来说,只是起到一个整数加减的作用;也就是,在每个输出周期时,这个整数规定了抽头位置的变化。这个变化的限制范围是 285

$$-\frac{Q}{2}\leqslant u_c<\frac{Q}{2} \tag{13-4}$$

(沿着圆周某个方向上的增量超过半周后,与另一个方向上较小的互补增量是一样的。超过限制范围的 u_c 值将被折叠到范围以内的值。)

根据式(13-3),第 n 个输出周期的时间长度为

$$t_o[n]=t_{ck}\left(1+\frac{u_c[n-1]}{Q}\right) \tag{13-5}$$

并且 $f_o=1/t_o$。依据(13.4)对 u_c 的限制,周期的两个限制边界为 $t_{ck}/2<t_o<3t_{ck}/2$,所以 $2f_{ck}/3<f_o<2f_{ck}$。等式(13-3)与式(13-1)的形式相同;差别只是系数 $u_c[n]$ 的不同和 Q 含义的不同。它们的 z 变换式的形式也相同。因此,相位选择 DCO 确实也是一种周期 DCO,只是采用了一个更好的实现方式。

虽然环形振荡器任一抽头上的波形在名义上都是 50%占空比的方波,但从集线器输出的 DCO 波形的占空比可以是从几乎 100%(u_c 几乎等于 $Q/2$)到大约 33%(u_c 大约等于 $3Q/2$)范围内的任何值。所需的定时信息包含在集线器输出的上升沿的时间点上,而不在波形本身。在设计集线器时必须十分注意,以避免因开关出错而使波形边沿多计或少计。当 δt 非常小时,这个设计问题会特别难。

DCO 可以有利地工作在远高于 DPLL 输入信号的频率上;只要把一个分频器放在反馈通路内的 DCO 输出端,就可以重新生成输入频率。这样,既保持了分频器的定时分辨率 δt,又减小了相对于输入信号的相位粒度。

13.1.2 混合检相器

检相器可以有几种分类方法:真正数字的还是混合的,乘法器的还是时序的,对信号采样的还是对 DCO 采样的。真正数字检相器的两个输入信号由离散时域的数字序列组成,而 PD 的输出是对输入样点进行计算得出的另一个离散时域的数字序列。混合检相器的其中一个或全部两个输入信号是模拟信号;它的输出是一个数字序列。混合检相器中包含了形式可能有点怪异的模数转换器(ADC)。本节要讨论的是混合 PD。 286

1. 乘法器与时序电路

大多数混合的和全部数字的 PD 都属于乘法器(组合逻辑)类型。从第 10 章可以知道,时序 PD 对两个输入信号的指定边沿之间的时间差进行测量。但对采样序列使用时间差是没有意义的,所以全数字 PD 不可能是时序电路。实现混合时序 PD 的一

个方法是,用输入信号的一个边沿来启动高速计数器,然后用 DCO 反馈信号的一个边沿来停止计数器。所得到的计数值就是相位(或定时)误差的指示,这样的计数器就好比是一个 ADC。为了累积起恰当的计数值,这样的 PD 只能工作在频率足够低的情况,但随着信号频率的增加,就变得越来越不令人满意。因为这个原因,大多数混合 PD 都属于乘法器类型。

2. 对信号的采样

较严格地说,许多混合 PD 和所有数字 PD 都是严格的采样检相器。所有的输出都是数字样点(否则输出就不是数字的;因而 PD 就不是混合的,而是模拟的)。许多混合 PD 是对它们的输入信号进行采样的。图 13-3 示出了这样的一个常用结构。根据 DCO 确定的时间点(非等间隔的)对模拟输入信号 $r(t)$ 进行采样和保持。模拟电压的样点 $r[n]$ 被加到 ADC 而转变成数字样点 $u_d[n]$。这个 PD 的 s 曲线,即 u_d 的平均值与相位误差 θ_e 的关系曲线,具有同 $r(t)$ 相同的形状。如果 $r(t)$ 是正弦波,那么 u_d 与 θ_e 的关系曲线也呈正弦形。不同形状的 $r(t)$ 产生相应不同的 s 曲线形状。s 曲线为输入信号的重复,是采样 PD 的一般特性,至少在没有输入加性噪声的情况下是这样的。

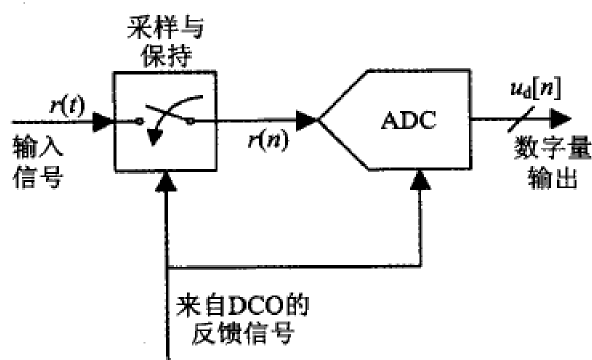


图 13-3　由采样器和模数转换器组成的混合检相器

3. 对 DCO 的采样

图 13-4 把通常的采样 PD 变换了一下工作方式:使用输入信号 $r(t)$ 的触发边沿对 [287] 反馈信息进行采样。在图 13-4 中,假设 DCO 或 VCO 的频率远高于输入信号的频率。DCO 或 VCO 的输出被向下计数到 $r(t)$ 的频率。计数器的某一个状态被确定为零状态。如果 PLL 已被锁定在输入频率上,那么在输入信号的每个触发边沿的时刻,计数器(在没有静态相位误差和没有相位抖动的情况下)应当在零状态。图中示出了一个向下计数的结构,而如果用触发边沿对 NCO 的相位寄存器进行采样的话,则原理上是相同的。模数转换器是由计数器或 NCO(两者中取适合者)提供的,因而就不像通常对输入信号采样的 PD 那样需要有一个常规的 ADC。如果向下计数的速率为 Q,那么 s 曲线就在振荡器信号的一个周期内被量化为 Q 个相等的步长。如不计量化的影响,那么 s 曲线在一个周期内是一个线性的锯齿形。

讨论到现在为止,零状态下的 s 曲线总有一个 $1/Q$ 周期的死区。但 s 曲线的死区应当尽可能地避免。一个简单的办法是对每一个 $u_d[n]$ 加上一个 1/2 LSB。这样就不存在 PD 输出为零的状态;因而最小的 u_d 样点的值是 $\pm 1/2Q$,而不是零。在平衡状态,PLL 在这两个最小相位误差之间跳来跳去,永不停留在零。这种快速跳动比起在死区内的缓慢游动要好得多。

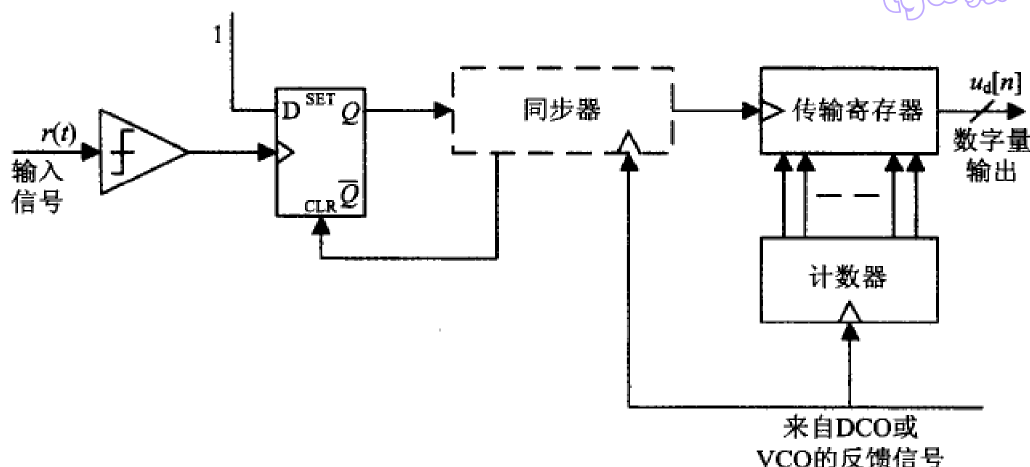


图 13-4 以信号边沿对 DCO 进行采样，用做检相

$r(t)$的触发边沿是与反馈边沿不同步的。下面将讨论图 13-4 中的必不可少的同步器的操作。在采样 PLL 中的几个不同位置上都可能出现异步接口；也就是，在 PLL 中有时确实需要把异步操作变成同步操作。如果传输寄存器是在无法控制的时间点上被激励的，那么数据的传输可能在计数器正在改变状态时进行。由于出现状态的时间不确定性，送入传输寄存器的计数值会包含不可接受的随机误差。同步器的操作是由输入信号的触发边沿触发的，然后在计数器已稳定下来的时刻再去进行数据传输。

输入信号的触发边沿与下一个反馈边沿之间的时间是变化的，所以在反馈采样 PD 中的同步操作会构成一个相位抖动源，而这样的相位抖动源在连续时域的输入信号被离散时域反馈信号采样时是不存在的。如果这样增加的抖动是可以容忍的，那就非常倾向于使用对反馈信号的采样，因为这样就不再使用对输入信号采样时所需要的 ADC 了。 288

4. 采样 PD 的性质

如果采样信号流的频率是被采样信号频率的次谐波的一个整倍数，那么上面两种采样 PD 的结构（一个是对输入信号采样；另一个是对反馈信号采样）都能产生有用的相位误差序列。这个性质是有利的（这是下采样的基础），但也可以是有危害性的（如果粗心地选中了错误的次谐波，PLL 就可能锁定在错误的频率上）。s 曲线总是以采样频率为重复频率的周期函数，而且与被采样信号有相同的波形。

采样 PD 的另一个有用的性质是：如果当 PLL 被锁定时采样信号和被采样信号是互相同步的，而且如果在被采样信号的每个周期中的采样样点数不超过 1 个，那么 PD 输出中就不存在纹波。

13.1.3 复信号数字检相器

真正的数字 PLL 今天最广泛使用的场合，也许是数据信号接收器中的信号同步（载波和时钟的恢复）。许多数据信号都是以二维（复数）方式产生和发送的。大多数

的数据信号无线电接收器也是设计成复数形式的,即使信号本身是一维的(比如 BPSK 信号)。本节将指出数字 PD 用于复数信号时的显著特性。

把采样后的复数输入信号表示为 $v_i[n]=A\exp[j(2\pi f_i t_s+\theta_i)]$,把已锁定 DCO 的复数(两相)输出表示为 $v_o[n]=\exp[-j(2\pi f_i t_s+\theta_o)]$,其中 A 为输入信号的振幅,f_i 为它的频率,t_s 为均匀的采样间隔。在 f_i 和 t_s 之间并不存在某种一定的关系。真正的数字检相器的操作可以基于复数乘积 $v_i v_o=A\exp[j(\theta_i-\theta_o)]=A\exp[j\theta_e]$。更具体地说,检相器的算法

$$u_d[n]=\mathrm{Im}[v_i v_o]=A\sin\theta_e[n] \tag{13-6}$$

表示了复数信号处理的可能性。($\mathrm{Im}[x]$表示 x 的虚部。)可以看出,式(13-6)没有包含任何纹波分量,且与 f_i 或 t_s 无关。采样频率 $1/t_s$ 不必与信号频率 f_i 同步。采样频率可以远小于载波频率;如果所需的混叠信号的位置是已知的,而且能与其他混叠恰当地分离,那么载波的混叠是允许的。这一点是下采样的基础。

289

看一下 PD 的内部操作可以得到有用的信息。大家还记得 $\exp(jx)=\cos(x)+j\sin(x)$,所以复数乘积 $v_i v_o$ 需要四次实数乘法和两次加减法。乘积的虚部(唯一需要计算的部分)为

$$\begin{aligned}
&\mathrm{Im}\{A[\cos(2\pi f_i t_s+\theta_i)+j\sin(2\pi f_i t_s+\theta_i)]\times[\cos(2\pi f_i t_s+\theta_o)-j\sin(2\pi f_i t_s+\theta_o)]\}\\
&\quad=A\{-[\cos(2\pi f_i t_s+\theta_i)\sin(2\pi f_i t_s+\theta_o)]+[\cos(2\pi f_i t_s+\theta_o)\sin(2\pi f_i t_s+\theta_i)]\}\\
&\quad=\frac{A}{2}\{[\sin(\theta_i-\theta_o)-\sin(4\pi f_i t_s+\theta_i+\theta_o)]+[\sin(\theta_i-\theta_o)+\sin(4\pi f_i t_s+\theta_i+\theta_o)]\}\\
&\quad=A\sin(\theta_i-\theta_o)
\end{aligned} \tag{13-7}$$

计算式(13-6)只需两次实数乘法[式(13-7)中第 3、4 行的方括弧中]和一次减法。每次乘法的乘积包含两倍频的纹波成分(还有所需的差频分量),但这些纹波分量在减法时会相互抵消。数字的方法可以使乘积达到本质上完美的平衡,因而纹波是几乎完全抵消的。其中的不平衡,因而不可抵消的纹波部分,仅来自有限字长的效应。可以看出,$\mathrm{Re}[v_i v_o]=A\cos(\theta_i-\theta_o)$,并与 f_i 和 t_s 之间的任何关系无关。这个性质与 8.4.1 节中的模拟辅助检相器是等效的。

13.1.4 数字数据接收器中的 DPLL

图 13-5 至图 13-7 中的 DPLL 例子表示了用于数据接收器中载波恢复的几个技术。图中的所有单元和所有连接都是数字的。其中的双线连接表示复数信号(在通带信号的数字处理中几乎不变地会产生复数信号),而单线连接表示实数信号。为了清楚起见,这些图是被大大简化了的;实际接收器的结构更为复杂。

1. 基本 DPLL 结构

图 13-5 是进一步讨论的基础。图中仅表示了一个嵌入于数字接收器中的载波恢复 DPLL。检相器(PD)、环路滤波器和 NCO 都是在第 4 章介绍过的数字单元。图中还有两个新单元:一个正弦余弦处理器和一个相位旋转器(phase rotator)。正弦余弦处理器接受实数的 NCO 相位样点 $\epsilon_o[n]$(以分数周期为单位)作为输入,并输出这些相

位的正弦和余弦样点，以产生本地振荡器的复数信号 $\exp(-j\theta_o[n])$，其中 $\theta_o[n]=2\pi\varepsilon_o[n]$。在正弦余弦处理中已经默认地加上了 2π 的比例因子；如果信号相位以弧度为单位，而 NCO 的相位以周期为单位，那么在推导传递函数时，环路增益中必须包含这个因子。相位旋转器完成输入复数数据信号 $s_i[n]\exp(j\theta_i[n])$ 和本地振荡器信号之间的复数乘法，并产生复数的、无纹波的差频信号 $s_i[n]\exp[j(\theta_i-\theta_o)]$。

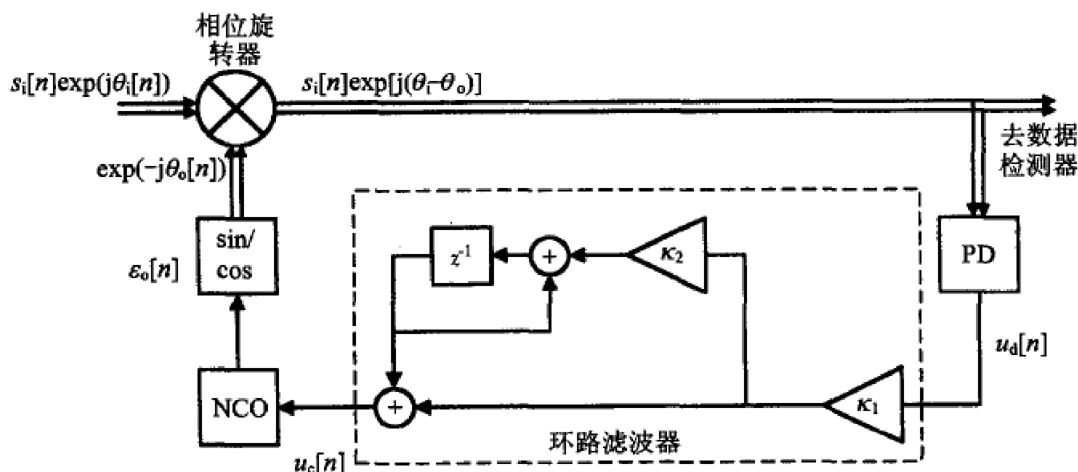


图 13-5 用于载波恢复的数字 PLL（双线为复信号；单线为实信号）

一般来说，数据信号与本地振荡器信号都是非零频的，而这两个频率是被包含到线性变化的 θ_i 和 θ_o 之中的。当 PLL 锁定时，包含在 θ_i 和 θ_o 中的两个平均频率是相等的，所以这两个线性变化的成分在差值 $\theta_e=\theta_i-\theta_o$ 中互相抵消。序号为 n 的样点是以相应于数据符号间隔 T 的均匀时间间隔上取得的。我们假设样点的定时已经同步于接收到的数据速率上；关于定时恢复的题目将不再在本节讨论，这个题目有非常丰富的内容。

检相器在每个符号时间间隔内都要给出一个相位误差的指示。（每个符号间隔输出一个样点是数字检相器的最优设计。）一个经常被用于正交振幅调制（QAM）信号的 PD 算法是 $u_d[n]=\mathrm{Im}\{c*[n]s_i[n]\exp[j(\theta_i-\theta_o)]\}$，其中 $c[n]$ 是第 n 个符号的数据的估算，* 表示共轭复数。但无论使用何种 PD 算法，在准线性下操作时，都可得出这样的近似表达式 $u_d[n]\approx\kappa_d(\theta_i[n]-\theta_o[n])$。

在模拟 PLL 中，检相器有两个作用：提供相位误差的指示，同时也提供了从通带到基带的频率搬移。图 13-5 中的数字 PLL 以复数信号接收器的典型方式把这两个作用分开：用相位旋转器完成从通带向基带的频率搬移，再使用 PD 从复数基带信号中提取相位误差信息。尽管使用这些新颖的方法，但图 13-5 中的结构仍然是用第 4 章中导出的差分方程和传递函数来描述的。

2. 多速率采样

图 13-6 介绍了多速率处理[13.6,13.7]。数字接收器的前端部分通常需要一个比符号速率 $1/T$ 更高的 M/T 采样速率。一般使用的 M 值在 2 与 4 之间。（采样比率 M 不必

为整数，甚至可以不是有理数；见参考文献[13.8～13.11]。)数据恢复和相位检测是在符号速率上进行的，所以较高的速率必须下采样到 $1/T$。接收器中从符号速率部分向较高采样率部分的任何反馈，都应当上采样到较高的采样率上。

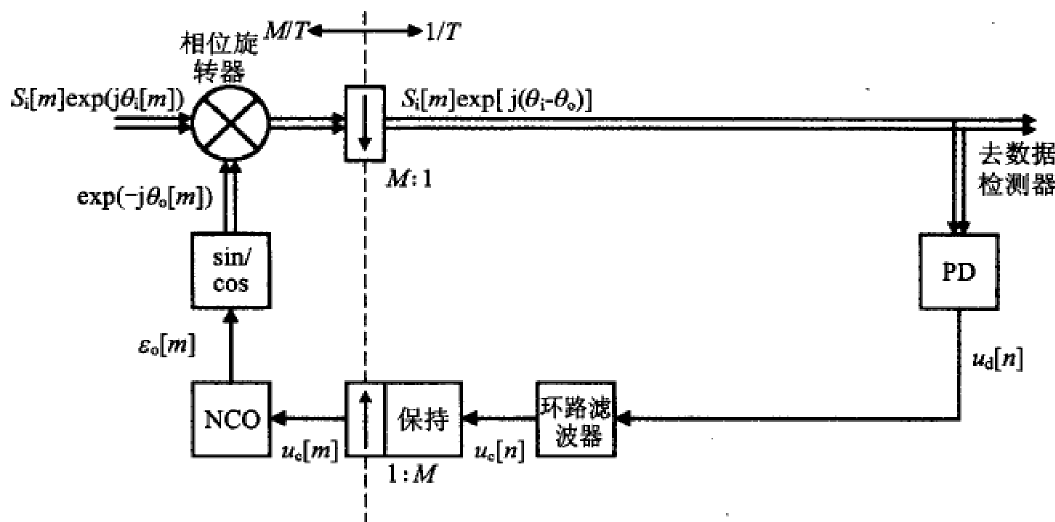


图 13-6　运行于 M/T 和 $1/T$ 两个采样率上的数字 PLL

为了图示的缘故，图 13-6 中 $M:1$ 比率的下采样被放在相位旋转器之后，这个位置对图中的简单结构似乎不大可能，但在较复杂的结构中是很实际的。与这个必不可少的下采样对应的是，必须在后面的 PD 和本地振荡器之前的某个地方做一次上采样。上采样的确切位置是在环路滤波器与 NCO 之间。

290～292

☐ 保持过程

上采样往往是用一个零阶保持器完成的，这个保持器以 $1/T$ 的速率从环路滤波器接收每个样点 $u_c[n]$，并以 M/T 的速率给出 M 个完全一样的样点 $u_c[m]=u_c[n]$。如果 u_c 被看作每个采样间隔内的 NCO 相位增量(以分数周期为单位)，那么在时间区间 T 内，NCO 的相位就前进 $Mu_c[n]$ 个分数周期。也就是说，这个保持功能对环路方程插入了一个无量纲的增益因子 M。

为什么相位增量要用时间间隔 T 来表征，而不用时间间隔 T/M 呢？由于 PD 是用 $1/T$ 采样的，所以 PD 只能处理时间间隔 T 内的变化。在多速率 PLL 中的一个通常做法是，把所有的相位和时间都与生成环路误差的 PD 关联起来。

☐ 累加转储过程(Accumulate & Dump Process)

数据接收器中的同步器 PLL 的环路带宽通常要远小于符号速率 $1/T$。实际带宽的上限大约为符号速率的 3%～5%，最小低到符号速率的 0.1%，甚至更低。认识到这样窄的环路带宽之后，许多研究人员就这样问自己，对环路做如此频繁的更新真有如此必要吗？为什么不在 PD 之后作下采样，再以较低的速率作更新，以此减少计算量？在后文有几个反对这个做法的很好的观点，但上面这个技术已经用到了某些实例中；下面几个段落将介绍这个技术的一些原理。

图 13-7 的数字 PLL 中又增加了一个累加转储单元。累加转储操作是最简单的下采样技术之一。它把 $1/T$ 采样率的 L 个连续输入信号相加起来,然后把它们的总和输出为一个样点。因此,这个过程包括了一个滤波器(累加)和一个下采样器(转储为一个样点)。在累加转储操作之后的环路滤波器工作在 $1/LT$ 的速率下。环路滤波器后面的保持过程必须做 $1:LM$ 的上采样,才可达到 M/T 的采样率。

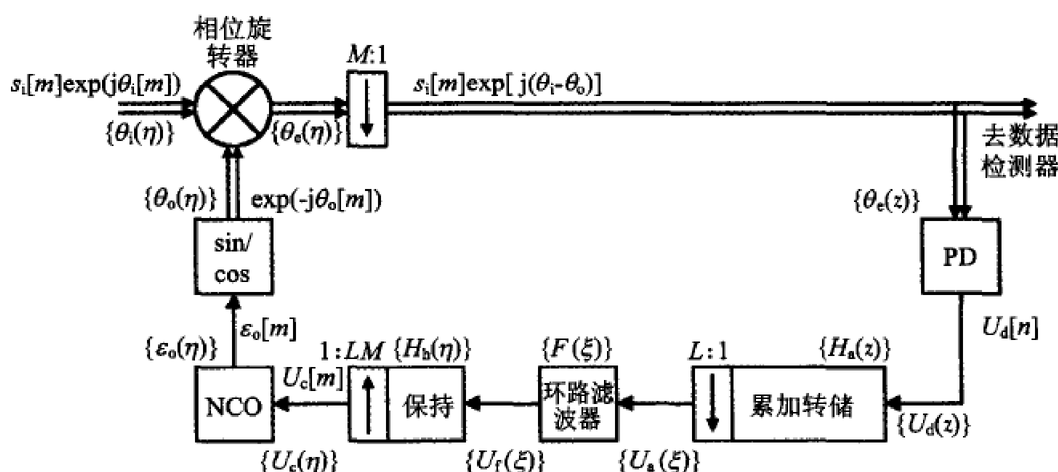


图 13-7 运行于三个采样率上的数字 PLL,环路包含一个保持单元和一个累加转储单元

插入累加转储单元后会对环路增益有怎样的影响呢?为了比较起见,请参阅图 13-5 的单采样率结构。通过使 $\kappa_1=1$ 和 $\kappa_2=0$,就把环路滤波器用一条直线代替,等价于环路滤波器传递函数 $F(z)=1$。作为对来自 PD 的 L 个等值 u_d 的连续输出样点的响应,VCO 的相位将前进 Lu_d 个分数周期。

现在来看图 13-7,图中有实现 $L:1$ 下采样的累加转储单元和实现 $1:LM$ 上采样的零阶保持器。(先不考虑图中括号{·}内的标记,这将在附录 13A 中说明。)再一次假设环路滤波器已用增益等于 1 的直线来代替。对于 L 个连续的、等值的输入信号 u_d,累加转储单元只输出一个幅度为 Lu_d 的样点。保持过程中的上采样产生 LM 个幅度为 Lu_d 的样点,所以 NCO 的相位就前进 L^2Mu_d 个分数周期,即比图 13-5 结构中的 L 个相等的 PD 样点的相位前进增大了 LM 倍。由于保持电路已经提供一个 M 的增益因子,所以累加转储单元对环路增益的净贡献是 L 倍。

累加转储和保持过程的这两个增益因子只适用于恒定输入的情况,即信号为零频。非零频的信号将受到滤波的影响。在对反馈环路进行设计时,就需要理解这个滤波器的特性。参考文献[13.6]的 2.3 节给出了多速率系统的再采样原理。附录 13A 把这些原理用于图 13-7 中的 DPLL 传递函数的推导。

293

注释:下采样会引起输入信号的混叠。如果 PD 输出中存在的高频成分(比如噪声与干扰)超过了 $1/2LT$,那么这些频率成分就将混叠到 0 至 $1/2LT$ 的范围内,这就更加难以用 PLL 中的滤波操作去除了。如果这种扰动幅度相当大,就不应该使用累加转储与下采样。

13.1.5 环路稳定性

从准线性数字和混合 PLL 的线性化分析可以得到这样一个简单的稳定性判据：只有系统传递函数的所有极点都位于单位圆内时，环路才稳定。但即使先不考虑量化效应，所有的 PLL 也都是非线性的；所以线性化分析并不能揭示关于稳定性的所有因素。几位作者[13.12~13.15]已经研究了混合 PLL 中的非线性效应(不包括量化效应)对稳定性和捕获锁定的影响。他们所发现的环路行为是不能根据模拟 PLL 的经验而推断出来的。一个谨慎的设计者应该熟悉这些分析，以避免出现在这些分析中已被确认的那些错误；同时对采样 PLL 给予舒适的稳定性裕度，以避免出现意外的错误。

13.2 量化

因为量化的原因，数字量必然是有限精度的。本节将探讨量化对 PLL 相位抖动的影响。下面将会看到，仍有许多尚未解决的问题有待进一步研究。

13.2.1 来自相关研究的经验

在数字信号处理[13.16~13.19]、delta-sigma($\Delta\Sigma$)转换器[13.20~13.21]和关于量化本身的文献[13.22~13.28]中，量化效应都受到了密切的关注。几个众所周知的结果可以直接用于 PLL，这将在下面几段中说明。

1. 看作加性噪声的量化

量化效应的常用模型是对原来的线性系统呈现加性的、具有等概率密度的白噪声。大多数这样的处理方法都警示性地强调，这个模型仅在下面的必要条件下才有效：信号或者外加的加性白噪声足够大，以使量化误差与信号不相关。这个条件对 PLL 一般是不满足的，因为在所有实用的 PLL 中，加性噪声常常很小或不存在，当环路锁定后，相位噪声也很小，NCO 的控制信号基本上是静态的。仿真结果(Gardner，未发表)已经表明，当 PLL 只有小噪声输入的情况下，量化误差的加性噪声模型使用效果是非常差的。

294

2. 加性噪声的影响

大量的研究已经指出，加性噪声使量化器的阶梯特性“线性化”。也就是，在许多样点间隔内的信号和零均值噪声的平均值趋于无噪声下的真正信号值，尽管每个样点都是量化的。如果加性噪声充分大，那么量化误差就可以看成具有均匀概率密度的加性白噪声。让人惊奇的是，当一个加性噪声的标准偏差与量化步长为同一数量级的时候，这个加性噪声就已经是充分大了。这个情况也适用于数字 PLL，这将在下文说明。

3. 极限环

数字反馈网络容易出现极限环。所谓极限环是由量化而产生的不希望的周期性振荡，并且是无法用线性分析方法预测的。极限环出现在递归数字滤波器和 $\Delta\Sigma$ 转换

器中。极限环也出现在数字 PLL 中，极限环的性质是本节主要的讨论内容。严格地说，真正的极限环是严格周期性的，即在每个周期中反复出现完全相同的样点序列。这只有在输入信号频率正好为采样频率的一个有理数比率时才能出现。如果像通常遇见的那样，输入信号和采样时钟是从相互独立的振荡器上得到的，那么频率之比将是个无理数；这样的两个频率是不可约的。在这种情况下，将永远不会重复出现完全相同的样点（尤其是相位误差）序列，这样的振荡不是周期性的。对于这种情况，研究非线性动态的专家则使用准周期轨道(quasiperiodic orbit)这个名称。除了要求周期性以外，极限环被认为是在它附近唯一仅有的轨道；但在将要讨论的 PLL 中，根据不同的初始条件可以出现许多相似的、但细节不同的"极限环"。极限环这个术语当使用于量化 PLL 时是不恰当的。尽管是不恰当的，但我们在这里仍然使用这个词语，因为在工程界中是大家所熟知的。

13.2.2　混合 PLL 中的量化

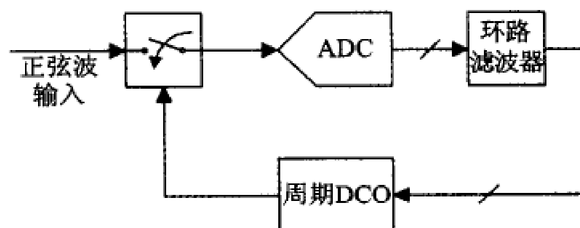


图 13-8　混合 PLL

许多早期关于混合 PLL 的文章完全略去了量化；那些对当时还是很新的一些概念进行讨论的文章中，却没有涉及较复杂的量化；而其他文章讨论的是非常粗糙的量化。前面提到的后一类系统在这里被看作是固有非线性的，而不是准线性的，关于它的讨论将在 13.3 节进行。对早期文献的搜索只找到两篇关于多值量化的混合 PLL 的文章[13.29,13.30]。两篇文章都使用了类似于图13-8中的模型，都以模拟正弦信号和噪声作为输入信号，还包括一个用作检相器的采样器、一个完成量化的模数转换器、一个环路滤波器和一个周期 NCO。D'Andrea 和 Russo 的文章[13.29]仅讨论了一阶环路；Pomalaza-Raez 和 McGillem 的文章[13.30]还另外讨论了一个二阶 2 类环路。参考文献[13.29]中所有的量化都是在 ADC 中完成的；参考文献[13.30]还在 DCO 中备有独立量化的功能。参考文献[13.29]中的量化是对相位误差进行的均匀量化，而不是对输入信号幅度的量化；这类 s 曲线也许最容易用图 13-4 中的结构来实现。两篇文章中的两个量化器都有中间上跳的特性，意思是在零相位误差附近有一个死区。两篇文章都假设小至中等的信噪比，而且主要考虑一些模拟 PLL 在噪声中工作时的经典问题，例如稳态相位误差的概率、失锁时间（由于噪声）和捕获速度等。两篇文章都使用了马尔可夫链做性能分析。

13.2.3　频率(NCO)量化的影响

参考文献[13.29]和[13.30]所报告的结果，对评估混合或数字 PLL 在存在外部噪声时的性能是有价值的，但对无噪声和量化效应占主导下的环路行为却只提供了很少的信息。对无噪声下 PLL 的分析需要另外的方法。首先必须对 DPLL 中的每个独立单元进行量化考察，然后把所有单元连在一起后进行量化分析。本节集中在 NCO 的

频率量化。所得到的结果可以容易地推广到任何数字或混合 PLL 中的任何数控振荡器的频率量化。

作者已经研究了频率的量化[13.31]，并做了仿真，由此推理到一般化的情况；Teplinsky、Feely 和 Rogers[13.32]、Teplinsky 和 Feely[13.33]也都研究过频率量化的问题，他们进行了仔细的非线性分析，并证实了参考文献[13.33]中的一些可应用的部分。在写本书的时候，对于环路中其他单元量化的文章还少见发表，但有下面这一篇：Da Dalt[13.43]研究了带有两级量化(一开一关的方式)检相器的数字 PLL。

1. 分析用的模型

295～296

图 13-9 是参考文献[13.31～13.33]中讨论的 DPLL 的一个简化模型。标记法已稍有修改，以与附录 13A 保持一致。该模型非常相似于图 13-7 中的结构，仅有少许不同，即图 13-7 中 M：1 信号通路的下采样不见了(等效于 M=1)，以及环路滤波器中的积分器已无延迟了。它的准线性传递函数与附录 13A 中推导出的几乎一样；可以将参考文献[13.31]中的等式(13A-19)与式(13A-20)和式(13A-21)做比较。

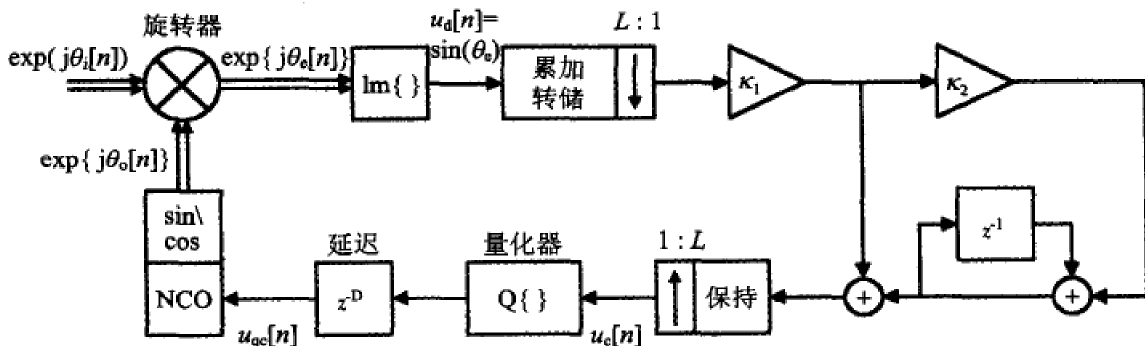


图 13-9 频率量化研究时使用的数字 PLL 仿真模型

☐ 输入信号

输入信号被模型化为单位振幅、未调制的复指数 $\exp\{j\theta_i[n]\}$，其中的输入相位指定为

$$\theta_i[n]=2\pi nf_it_s+\theta_i[0] \tag{13-8}$$

其中 t_s 为样点的时间间隔，f_i 为被采样信号的频率。把 f_it_s 定义为归一化频率，以周期/样点时间间隔为单位。分析中假设 $|f_it_s|<0.5$，意思是 θ_i 从一个样点到下一个样点的改变量不能超过 π。复信号中的负频率与正频率一样是合法的。在某些仿真试验中，曾把复数的、零均值的、高斯白噪声加到信号上，下面有它的报道。噪声的同相分量和正交分量的方差都是 σ_v^2。

☐ 检相器

图 13-9 中的相位旋转器和标记为 Im{·}的方框(表示虚部)构成了一个正弦形 s 曲线、增益为 $\kappa_d=1\ \text{rad}^{-1}$的检相器。如 13.1.3 节中解释的那样，复信号的检相器在输出信号中是无纹波的。

□ 环路滤波器与延迟

累加转储单元、比例通路的系数 κ_1、由系数 κ_2 和积分器组成的积分通路以及保持电路基本上与图 13-7 相同。环路中的所有延迟已被集中到一个延迟 $D \geqslant 1$ 的框内。

□ 量化器

量化器是以 2^b 个均匀步长建模的，其中 b 为正整数，并服从下面的量化规则

$$Q(u_c) = u_{qc} = \text{IP}[2^b u_c], \quad |u_c| \leqslant 0.5 \tag{13-9}$$

其中 u_c 为保持电路的输出。量化范围的两个端点与本讨论无关，因为仿真信号 u_c 完全不会接近这两个端点。

297

这些规定确定了一个在 $u_c=0$ 处有上跳和在 $u_c \in [0, 2^{-b}]$ 区间内输出为零的量化器。现在回想起来，当时应该选择没有零值区域的量化器，不过，由零值区域而引起的仿真上的困难可以通过明智地选择信号频率 $f_i t_s$ 来绕开。因为这个零值区域是在 NCO 调谐特性中的，并不是在 PD 的 s 曲线中的，所以它的存在对下面要讨论的极限环的性质没有本质上的影响；它不会在相位误差检测器中引成一个死区。我们可以很方便地把信号频率相对于量化步长做进一步的归一化，其归一化公式为

$$\mu_i = 2^b f_i t_s \tag{13-10}$$

□ NCO 和正弦余弦处理

这两个单元的操作与前面所说的是一样的，仅有的不同点是提供给 NCO 的频率控制字 u_{qc} 已经做了量化，因而 NCO 只可取 2^b 个离散频率点。仿真中的所有其他变量是粒度远小于 2^{-b} 的浮点数。使用式(13-10)这个相同的归一化频率尺度之后，NCO 可以工作在从 -2^{b-1} 到 $(2^{b-1}-1)$ 范围内的任何一个整数频率 μ_o 上。与之不同的是，μ_i 取值范围是 $(-0.5, 0.5)$ 这个连续区间。已被量化的 NCO 的频率步长是 $\delta f_o = (2^b t_s)-1$；这个关系式在评估这样一些 PLL 的性能时是很有用的，即这些 PLL 的频率量化是由 NCO 以外的一个振荡器实现的。

2. 无噪声极限环

除非归一化的信号频率 μ_i 是一个整数（如果接收到的信号与 PLL 时钟是由两个独立的振荡器分别产生的，那么这个事件的概率为零。），否则 NCO 频率 μ_o 永远不会与 μ_i 一样。因此，NCO 就不能稳定在一个单一的频率上而仍可维持锁定。仿真试验已经证实，相位误差 θ_e、环路滤波器输出 u_c、量化器输出 u_{qc} 和 NCO 频率 μ_o 都存在极限环（更准确地说，是准周期轨道）。

极限环波形的两个实例曲线（从仿真试验的数百个波形中选出）见图 13-10 和图 13-11。横坐标表示样点数。在把 2 类 PLL 环路滤波器的积分器输出表示为 $u_I[n]$ 之后，图中的量 $X2$ 定义为 $X2 = 2^b u_I[n]$。在所有波形中，应当注意仿真程序在相邻样点之间用直线连接起来，以便对这些密集在一起的样点清晰地分开查看，但所有的样点确实都是分离的。边缘不整齐的连线是计算机屏幕进行像素扫描时产生的，并不是极限环的特点。

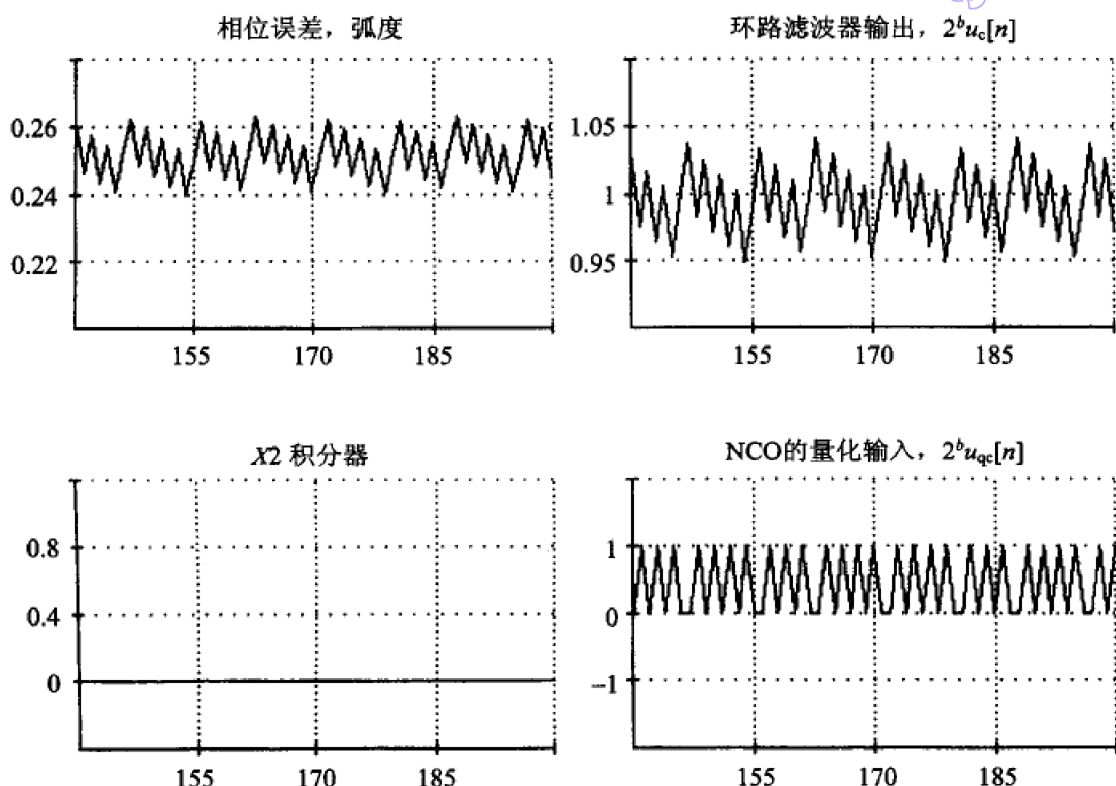


图 13-10 极限环波形：一阶 DPLL，$\mu_i=0.44$、$b=8$、$D=1$、$L=1$

量化 PLL 的极限环呈现一些在非量化 PLL 的操作中所没有的奇异特点。在不存在加性噪声的情况下，稳态极限环有以下特点。

- 波形强烈地依赖于 FP[μ_i]，FP[μ_i]表示归一化信号频率的分数部分。
- 对于 2 类 PLL(具有零静态相位误差)，所有具有相同 FP[μ_i]的频率都有相同的极限环波形，且与 IP[μ_i]无关。
- 如果 FP[μ_i]等于 p/q(p 与 q 是互质的整数)，那么极限环是以 q 为周期的，而且严格地以同一样点序列进行循环。例如，在图 13-10 和图 13-11 中，$\mu_i=0.44=11/25$，可以看出周期为 25。
- 如果 FP[μ_i]是无理数，那么极限环不可能是周期性的；极限环从不准确地循环。
- 如果极限环是周期性的，那么它的谱不能是白的。谱必然由离散的、频率等于极限环基频的谐波分量组成。这个事实否定了常用的量化噪声为平坦水平谱的假设。
- 对实际使用中的环路参数[阻尼合适(意思是 κ_2 足够小)并且稳定性裕度适中]和 $\mu_i\neq$整数，NCO 的量化频率仅在 IP[μ_i]和(1+IP[μ_i])这两个频率之间跳动。PLL 的反馈作用对这两个 NCO 频率上的相对停留时间进行调节，虽然 NCO 不能运行在一个 $\mu_i\neq$整数的频率上，但平均的 NCO 频率准确地等于 μ_i，因而可以实现锁相。

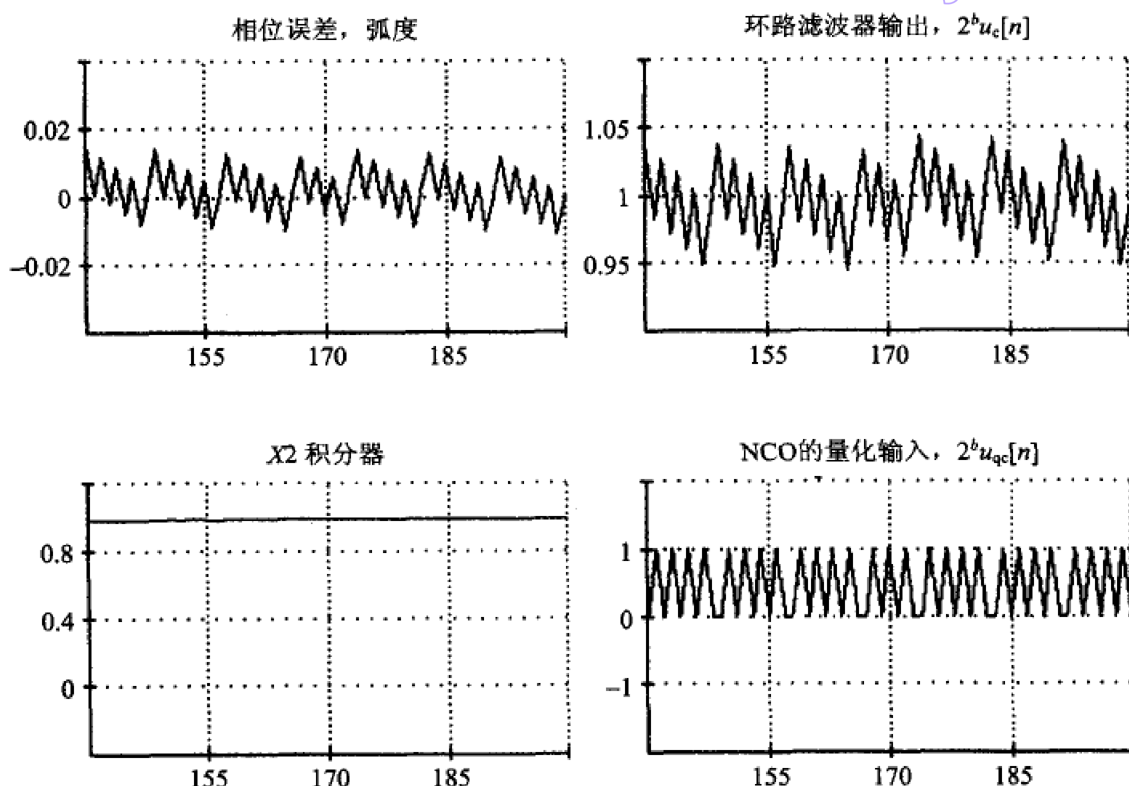


图 13-11 极限环波形：2 类 DPLL，$\mu_i=0.44$、$b=8$、$D=1$、$L=1$

□ 在图 13-10 和图 13-11 中，环路滤波器的输出在整个平衡极限环周期内都保持在 $2^b u_c=1+\mathrm{IP}[0.44]=1$ 的附近。这个输出值可以由 PD 非零输出的静态相位误差(在例子中约为 0.25 rad)经过图 13-10 中的 1 类 PLL 的比例通路来提供，也可以由图 13-11 中 2 类 PLL 的环路滤波器中的积分器提供。在没有量化的情况下，滤波器的平均输出将准确地为 0.44，而非约为 1。

□ 图 13-10 和图 13-11 中的相位误差极限环具有相同的波形，只是图 13-10 中一阶 PLL 的静态相位误差引起了一个偏离。而且，改变 κ_1 和 b 并不影响极限环的波形(除了影响波形的振幅和引起一阶 PLL 静态相位误差的改变)，即使当量化粗糙到 $b=1$ 也如此。改变 κ_2 也没有什么影响，只要 κ_2 足够小。

□ 如果积分通路的 κ_2 足够小，那么积分器通路的响应速度就会慢得跟不上比例通路中的极限环。如果只考虑稳态极限环，那么只要从外部对量化器加入一个正确的偏移值，2 类 PLL 就几乎与 1 类 PLL 不可区分了。

□ 在大多数的实际情况下，曾认为相位误差的峰-峰值近似为

$$\frac{2\pi(D+L-1)}{2^b} \tag{13-11}$$

□ 可以注意到式(13-11)略去了增益系数 κ_1 和 κ_2；由 NCO 量化而引起的相位振幅是与环路增益无关的。在仿真中已经验证了 κ_1 和足够小 κ_2 的这种无关性。大值的 κ_2 会产生不利的影响，这将在下文中讨论。

- 考察相位误差极限环,可以看出波形是由锯齿形组成的(比如在图 13-10 和图 13-11 中看到的),这告诉我们相位误差的幅度是均匀分布的。如果在式(13-11)的两个端点之内的分布确实是均匀的,那么由 NCO 的量化而产生的相位误差的方差就是

$$\sigma_{\theta e}^2 = \frac{1}{12}\left[\frac{2\pi(D+L-1)}{2^b}\right]^2 \tag{13-12}$$

- 通过许多次的试验计算,我们发现在 $D=1$ 和 $L=1$ 的条件下仿真值 $\sigma_{\theta e}^2$ 与式(13-12)符合得很好,但当 D 与 L 更大时,与式(13-12)在两个方向上的差异就增大到2∶1,甚至更大。下文将提出一个可以证明式(13-11)的直观论点。
- 由于采样率的不恰当,由实验计算出的相位振幅从统计特性上看是不清晰的。Teplinsky 和 Feely[13.33]通过非线性数学开发出了更讲究的分析方法(但只是 $L=1$ 和 $D=1$ 的情况),并做结论说相位误差振幅的峰-峰值从不超过 $4\pi/2^b$ 弧度,这只在整数 μ_i 条件下的情况。他们进一步说,式(13-11)对于所有无理数的 μ_i 都是正确的,而且只要 κ_2 足够小,那么当 $\mu_i=p/q$ 时就接近 $2\pi(1+1/q)/2^b$ 弧度。
- 如果 μ_i 为有理数(且无噪声),那么一阶 PLL 的稳态极限环的样点值在每个周期内是准确重复的。因此,极限环的性质,比如相位振幅和静态相位误差,就取决于初始状态;不同的初始状态产生不同的极限环。
- 如果 μ_i 为无理数,那么平衡状态下的极限环永远不会准确地重复,而且极限环的性质与初始状态无关。

3. 整数频率

μ_i 为整数时的极限环(如果存在的话)与上面描述的那些极限环是十分不同的。仿真已经指出,整数频率时的 PLL 行为是非典型的和退化的。下面的评论针对无噪声的情况。在一阶 PLL 中,如果 μ_i 为整数而且在环路的锁定范围内,那么相位误差最终将固定在一个使 $\mu_o=\mu_i$ 的数值上,而且不会再有什么改变,即不出现极限环。可以看到,由于量化的原因,存在一个很大的相位误差范围可以使 $\mu_o=\mu_i$;只要相位误差一进入这个范围,环路就立即进入不变状态。

在 2 类 PLL 中,相位误差不会凝固在一个非零值上,因为环路滤波器的积分器只能对零输入才可保持一个恒定的输出。图 13-12 示出了一个 2 类 PLL 当 $\mu_i=0$ 时的极限环波形。图示波形对任何整数的 μ_i 都有指导意义。如果 PLL 是以 $\theta_e[0]=0$ 和 $0\leqslant 2^b u_I[0]=X2<1$ 的初始条件启动的,那么环路就将简单地固定在这个初始状态上,不出现任何极限环。但如果用一个非零的初始相位误差启动,PLL 就进入一个活跃的工作状态,如图 13-12 所示。极限环中的相位误差只取两个不同值,且是非零的不同值(例外情况:如果 $\theta_e[0]$为一个准确的 $2\pi/2^b$ 的整倍数,那么相位误差会首先经历一次有限时间的瞬态过程,然后稳定到零。)因为相位误差永远不为零,所以积分器输出必然总是摆动的,永远不会静止。不同的初始条件引起不同的极限环波形。

298~301

尽管积分器工作异常活跃,但除了一些短暂时刻之外,NCO 频率 $\mu_o=0=\mu_i$。在这些短暂的时刻,环路滤波器的输出越过量化器的相应边界,与此同时,NCO 频率跳至

+1或−1。当整数 $\mu_i \neq 0$ 时，这些跳动是跳到 $\mu_o = \mu_i \pm 1$ 的，所以 μ_o 是在围绕整数 μ_i 的三个频率之间跳动的，这与非整数 μ_i 极限环的情况是不同的，因为当 μ_i 为非整数时，μ_o 只在 $IP(\mu_i)$ 和 $(1+IP(\mu_i))$ 这两个频率之间跳动。图 13-12 中被仿真的 PLL 与图 13-11 中的 PLL 完全相同；只是信号频率已经改变。

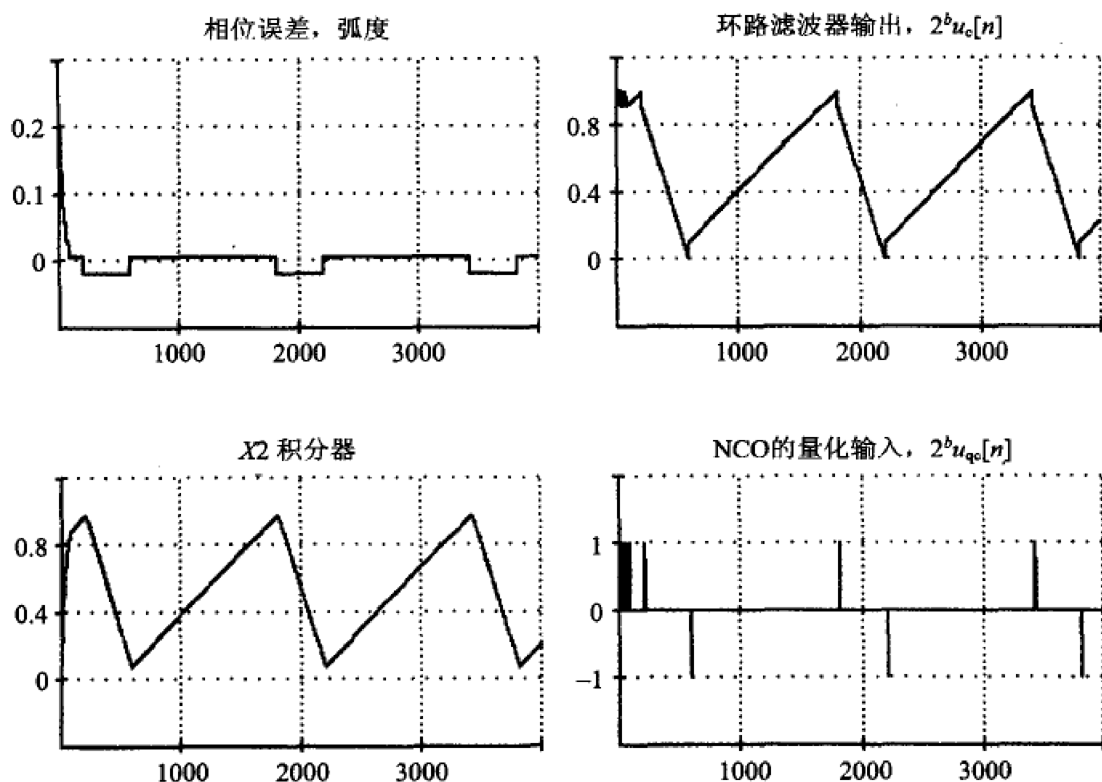


图 13-12　极限环波形：2 类 DPLL，$\mu_i=0, b=8, D=1, L=1$

图 13-10 和图 13-11 中的极限环主要是通过 PLL 的比例通路来维持的，而图13-12中的极限环主要是由积分通路维持的。我们可以把一个 2 类 PLL 看作两个交织在一起的环路，其中的每一个都因为量化而容易出现极限环。交织环路的概念将在后面探讨。

4. 累加与延迟的影响

前面所讲的只适用于 $L=1$（没有累加和下采样）和 $D=1$（环路中无多余延迟）的情况。参考文献[13.31]报告了 $L>1$ 和 $D>1$ 的仿真结果；参考文献[13.32]和[13.33]中的分析被限制在 $L=1$ 和 $D=1$ 的情况。本节将对表示在图 13-13 和图 13-14 中的一些仿真结果做一说明。这两个图中的结果是针对一阶 PLL 的，但前提是 1 类与 2 类 PLL 具有相似的极限环，这不包括整数输入频率的情况。仿真使用了负频率 $\mu_i=-0.56=-1+0.44=-14/25$，以避免仿真中静态相位误差的问题。当不计静态相位误差时，$\mu_i=-0.56$ 等价于 $\mu_i=+0.44$，如图 13-10 中使用的，所以应当把图 13-10 与图 13-13 和图 13-14 做比较。 302

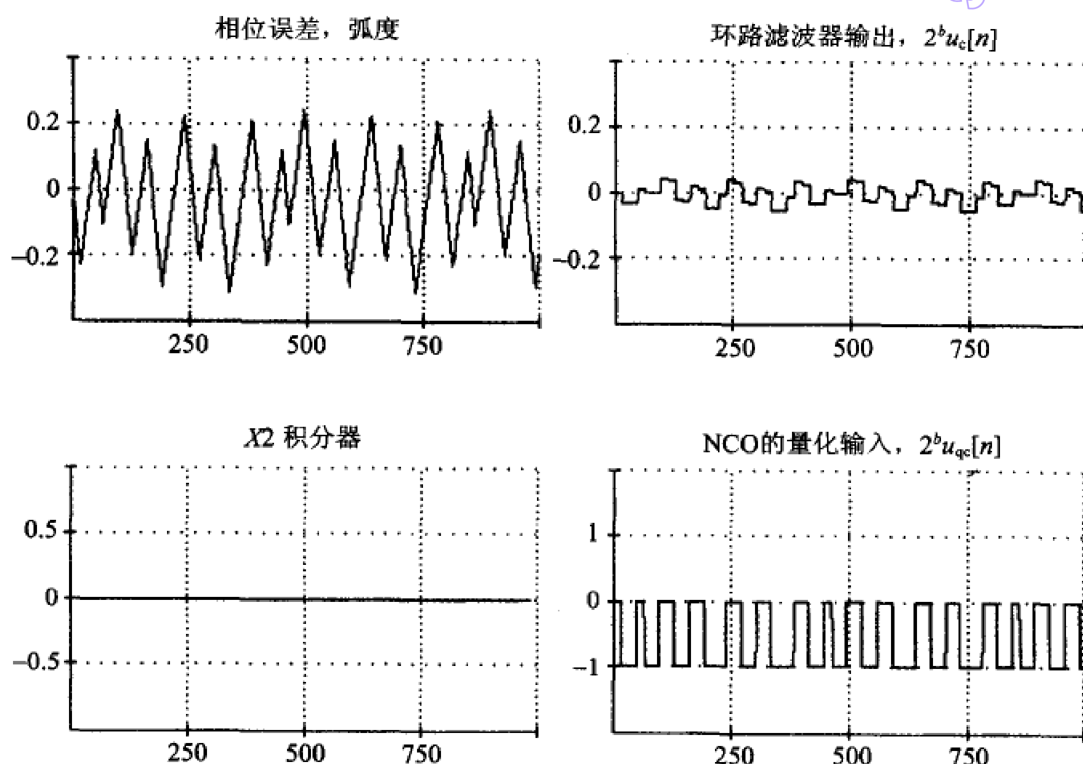


图 13-13 极限环波形：一阶 DPLL，$\mu_i=-0.56$，$b=8$，$D=1$，$L=16$

□ 图 13-13，$L>1$

由于累加比率 L 是环路增益 κ 的一个因子[见式(13A-18)]，而且由于环路的更新速率为 $1/Lt_s$，所以比例通路中仿真用的增益 κ_1 的设定值与图 13-10 中值比较，被缩少到了 $1/L^2$。这个方法首先对环路增益中的 L 因子进行补偿，然后再把环路带宽缩小一个 $1/L$ 因子，与更新速率的降低相适应。这样还使两个环路保持相同的稳定性裕度(约为 26dB)。这个例子中的延迟 $D=1$。

图 13-13 中 $L=16$ 的波形，表现出相位误差振幅有很大的增加，与之相比的图 13-10中的静态相位误差则小得多(由于所选择的信号频率的原因)，并且所有的波形都发生了根本性的变化。仔细观察可发现，相位误差极限环的周期已经增加到了 $25\times16=400$ 样点，其峰-峰值也已经增加了大约 16 倍。NCO 的归一化频率现在跳动在 0 和 -1 之间，这是由于选择了一个负输入频率而产生的必然结果，但这种跳动仍然在两个量化等级之间进行，尽管 L 已经增加了很多。由于存在保持操作的下采样和紧随其后的上采样，NCO 的频率的 16 个样点保持在同一稳态值上。因此，每个相位误差振幅必然是 16 倍于 $L=1$ 的情况。同理，极限环的周期也增大了 16 倍。

□ 图 13-14，$D>1$

因为延迟 D 并不进入环路增益和环路更新速率，所以对图 13-14 中的仿真 PPL 选择了与图 13-10 中 PLL 所使用的相同的比例通路增益 κ_1。当 $D=8$ 时，延迟使稳定性裕度(从 26 dB)减少到 6.6 dB，也许比所要求的小了很多。本例子的累加比率被设为

$L=1$。从图 13-10 中的波形来看，图 13-14 中的波形发生了极大改变，相位误差变化的峰-峰值大了大约 8 倍，而 NCO 的频率仍然跳动于 0 与 -1 这两个量化等级之间，并约束于图 13-14 的条件下。

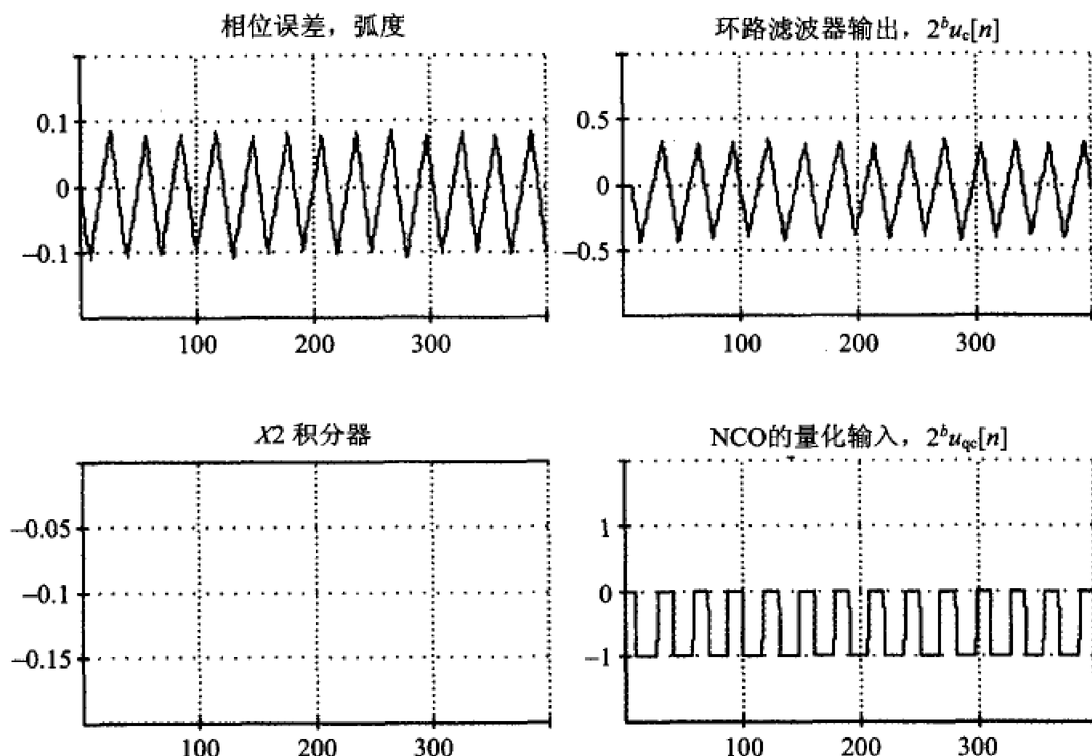


图 13-14 极限环波形：一阶 DPLL，$\mu_i=-0.56$，$b=8$，$D=8$，$L=1$

5. 相位振幅的推导

试考虑一个 $D=1$ 和 $L=1$ 的一阶 PLL。假设相位误差的阈值 Θ_E 由下面的性质来确定：

$$2^b u_{qc} = \begin{cases} \mathrm{IP}(\mu_i), & \theta_e < \Theta_E \\ 1+\mathrm{IP}(\mu_i), & \theta_e > \Theta_E \end{cases} \tag{13-13}$$

如果 $2^b u_{qc}=\mathrm{IP}(\mu_i)$，那么相位误差将在下一个样点间隔内前进 $\Delta\theta_+=2\pi\mathrm{FP}(\mu_i)/2^b$ 弧度，而如果 $2^b u_{qc}=1+\mathrm{IP}(\mu_i)$，那么相位误差将倒退 $\Delta\theta_-=2\pi[\mathrm{FP}(\mu_i)-1]/2^b$ 弧度。从 $\theta_e=\Theta_E-\varepsilon(\varepsilon\to 0)$ 开始的最大可能的正向变化是 $(\Theta_E+\Delta\theta_+)$，因为如果 $\theta_e>\Theta_E$，那就只能有负向的变化。同样，从 $(\Theta_E+\varepsilon)$ 开始的最大可能的负向变化为 $(\Theta_E+\Delta\theta_-)$。因此，最大可能的 θ_e 峰-峰值为

303～304

$$\Delta\theta_e \leqslant (\Theta_E+\Delta\theta_+)-(\Theta_E+\Delta\theta_-)=\Delta\theta_+-\Delta\theta_-=\frac{2\pi}{2^b} \tag{13-14}$$

且与 Θ_E 无关。

从参考文献[13.32]和[13.33]的分析中可以看出，式(13-14)不是对一切信号频率的相位变化峰-峰值的真正上限。虽然也许存在缺陷，但这个峰-峰值的推导仍然描

述出了构成相位振幅的实际过程。现在结合使用 $L>1$ 和 $D>1$ 的仿真结果。图13-13 和图13-14 中的例子展示了与 L 和 D 成正比的相位误差变化的峰-峰值。作为一个粗略的设想,我们假设对环路插入一个延迟,其方法是使用延迟电路或者使用累加器与其后的保持器。所插入的延迟是前面这两个方法的总和。一个 D 延迟可以对环路贡献了 D 样点间隔的延迟,但累加器与保持器却只贡献 $L-1$ 个时间间隔,因为当 $L=1$ 时是无延迟的,也就是没有任何累加与保持操作。当 NCO 的相位越过 Θ_E 边界之后,仍然在$(D+L-1)$个样点间隔内以 $2\pi/2^b$ 弧度增加(减小),因而使相位误差的变化也增加这么多。把这个直观推理应用于式(13-14)就得到式(13-11)。

6. 增益系数 κ_1 和 κ_2 的影响

Teplinsky 等人在参考文献[13.32]和[13.33]中说,相位误差极限环的峰-峰值是与 κ_1 无关的(只要环路是稳定的),但确实取决于 κ_2。从参考文献[13.31]中的仿真发现了相同的特性;仿真研究中的例子提供了对极限环的一些深刻理解。图13-15 和图13-16 表示了两个2类 PLL 的极限环,这两个 PLL 除了积分通路增益系数 κ_2 不同外,其他完全一样。仿真实验是以 $L=16$ 进行的,但选择 $L=16$ 完全是巧合和无关紧要的。选用这些参数是因为这些参数在所有的仿真试验中都能非常清晰地显示出 κ_2 的影响。其他的 $L=1$ 仿真也表示这种影响,但没有这么好的说服力。

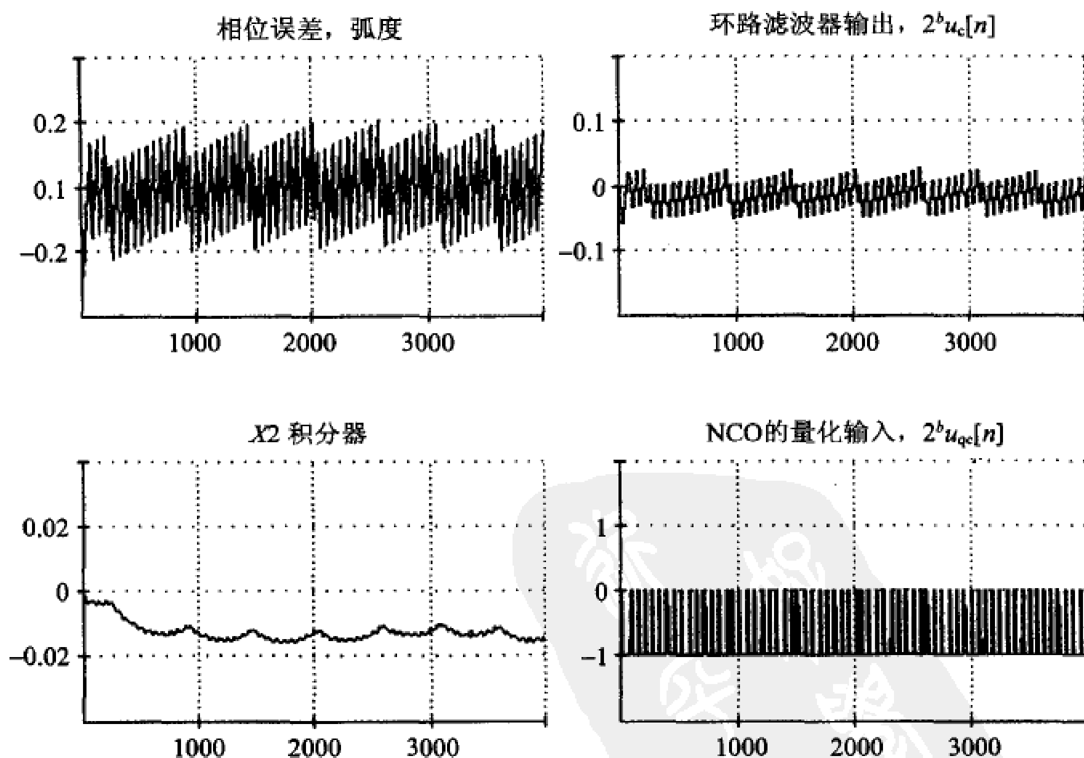


图13-15　极限环波形:2类 DPLL,$\mu_i=-0.7425$,$b=8$,$D=1$,$L=16$,$\kappa_1=2^{-14}$,$\kappa_2=2^{-5}$

在进行2类 PLL 的上面这些仿真之前,还进行了另一个一阶 PLL(即 $\kappa_2=0$)的仿真,PLL 具有相同的 $L=16$、相同的 μ_i,但在图13-15 和图13-16 中的 $\kappa_1=2^{-14}$ 变成了

2^{-11}。它的相位误差极限环是与图 13-15 完全一样的(除了很小的静态相位误差外)。从这些结果可以得出几个结论:环路类型对相位误差极限环的波形没有任何影响(除静态相位误差外);比例通路的增益(当环路稳定时)对相位误差极限环波形没有任何影响;图 13-15 中的 $\kappa_2=2^{-5}$ 的值是足够小的,因而看不出对相位误差极限环的波形或摆动有什么影响。

考察图 13-15 后可以得出几个特点:

- ☐ 相位误差波形的峰-峰值与式(13-11)吻合得很好;
- ☐ 上下峰值与零是等距离的(当初始瞬态消失后),这表示积分器成功地消除了静态相位误差;
- ☐ NCO 的量化输入信号只在两个量化等级之间跳动;
- ☐ 积分器的输出总是略微小于零;
- ☐ 积分器波形中存在小振幅的扇形凹坑,它相应于相位误差波形中最低频率(周期等于 512)的变化。

图 13-16 表示了与图 13-15 相同条件下的相同 PLL 的极限环,仅有的不同点是 κ_2 已从 2^{-5} 增大到了 2^{-3}。图 13-15 中极限环的剩余部分仍然可见。相位误差的剩余部分看起来与较小 κ_2 时几乎是一样的,而积分器中剩余的凹坑部分的较大振幅是完全可以用较大的 κ_2 来解释的。

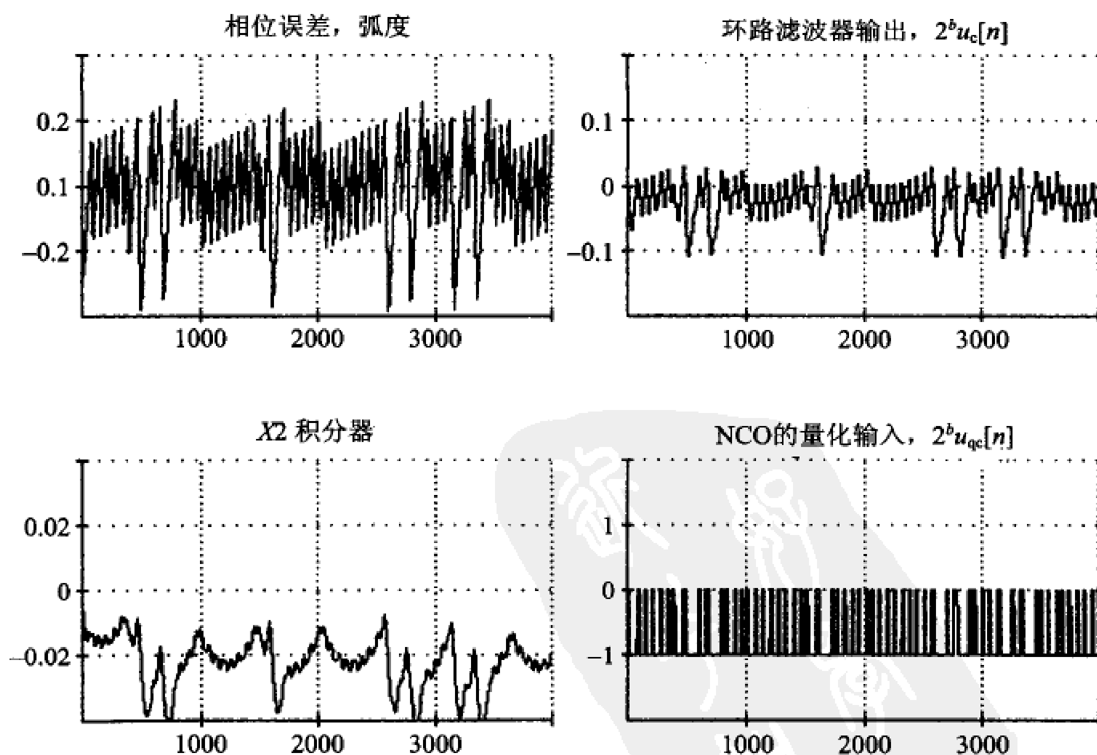


图 13-16 极限环波形:2 类 DPLL,$\mu_i=-0.7425$,$b=8$,$D=1$,$L=16$,$\kappa_1=2^{-14}$,$\kappa_2=2^{-3}$

但图 13-16 中最突出的特点是出现了与图 13-15 中相对较规则的极限环的很大偏离。似乎有另一个与环路滤波器的积分通路相关的、更活跃的极限环正在形成，并正在压过那个与比例通路相关的较安静的极限环。这个解释也许过于戏剧性了，而微观地观察波形则无疑会使我们想到一种使用开关电平的解释方法。不过，争抢极限环的概念为我们对包括 κ_2 影响在内的其他几个现象的思考，提供了一个有用的模型。这个概念已经在解释整数 μ_i 的 2 类 PLL 大极限环时就提出了。在后面解释加性噪声对极限环影响的时候，我们将提出这个概念的一个变异形式。

比较图 13-15 与图 13-16，可以发现 κ_2 阈值(或阈值范围)的存在。当相位误差明显小于这个阈值时，相位误差极限环由比例通路占优势，并且一直保持到几乎(也许完全)排斥积分通路的影响。当 κ_2 值明显大于这个阈值时，积分通路占优势。理论尚不足以确定这个阈值；我们仍需要仿真。

7. 加性噪声的影响

在无量化的情况下，当输入信号由单位振幅复指数信号和方差为 $2\sigma_v^2$(σ_v^2 为复数噪声在直角坐标下的每一个分量的方差)的复数高斯白噪声合成时，作为输出响应的 DPLL 的 NCO 输出相位方差为

$$\sigma_{\theta no}^2 = 2B_L t_s \sigma_v^2 \tag{13-15}$$

306～307

其中 B_L 为第 6 章中定义的噪声带宽，t_s 为样点间隔。

由频率量化引起的相位波动加入到了由加性噪声引起的波动中。图 13-17 表示了几个由量化与加性噪声合起来的相位方差的仿真例子。当 σ_v 很小时，量化噪声占主导，这从曲线的水平部分可以看出来。当 σ_v 很大时，加性噪声占主导，并非常接近于理论公式(13-15)(标有“公式”的直线)。这些结果是在各种噪声条件、各种信号频率和各种 PLL 参数下进行的许多次仿真的典型值。

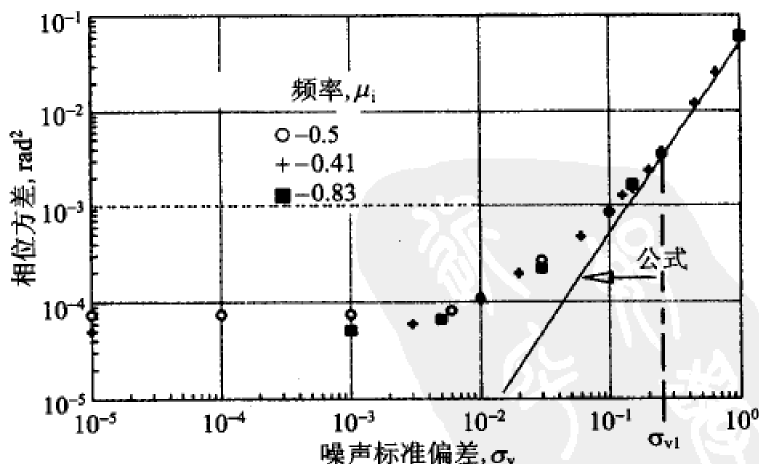


图 13-17　相位误差方差与噪声的关系曲线：$b=8$，$D=1$，$L=1$，$\kappa_1=2^{-6}$，$\kappa_2=0$
(摘自参考文献[13.31]；© 1996 IEEE)

有人曾试图推导一个关于噪声与量化的贡献大体相等的过渡带内总方差的经验公式。两个独立的方差(只有噪声和只有量化)或两个独立的标准偏差的简单相加,得到与观察到的总方差非常差的匹配。在图 13-18 中的意外发现之后,即在过渡带内的总方差随着 σ_v 的增加而减小(在这个特定的 PLL 中是由于接近不稳定而引起的特性),人们才认识到加性噪声和量化极限环是以非线性方式结合起来的,因此任何简单的加性规则都不可能是正确的。

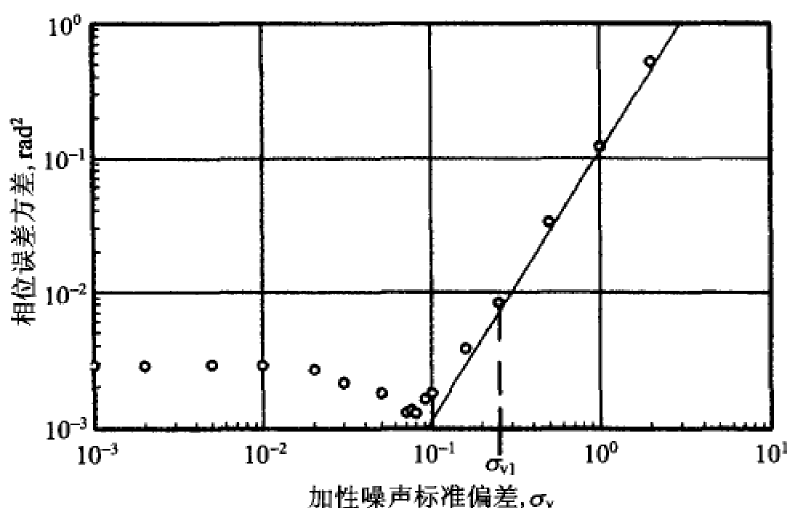


图 13-18 相位误差方差与噪声的关系曲线:$\mu_i=-0.41$, $b=8$, $D=8$, $L=1$, $\kappa_1=2^{-6}$, $\kappa_2=0$(摘自参考文献[13.31];© 1996 IEEE)

观察极限环波形可以得出这样的结论:加性噪声会破坏极限环,而非增强极限环。在典型的波形中也许会存在这样的一部分曲线,其中包含的无噪声下的极限环未受到什么破坏,但在这之后的曲线部分则表示极限环受到破坏,并被噪声所取代。这两个过程在非线性系统内互相争斗,因而看不出存在简单的特性。

作为方差组合规则的代替物,有人设计出了一个简单的经验公式,其中的输入噪声大小为 $\sigma_v=\sigma_{v1}$,而且把这个输入噪声的大小选择得使加性噪声的贡献压过了量化的贡献。这个经验公式是基于这样的情况:在所有的实际情况下都可以看到,由量化器输出的无噪声下的极限环只在两个相邻的量化值上来回跳动。而且可以进一步观察到,量化器的输入 $u_c[n]$也有一个极限环,但在大多数情况下它的峰-峰值远小于一个量化步长。这个经验公式便随意地把 σ_{v1} 规定为这样的一个输入噪声水平:即,由它在量化器输入端上产生的噪声分量的标准偏差等于一个量化步长。

现在来推导关于 σ_{v1} 的计算公式。我们只需考虑方差为 σ_{v2} 的输入噪声的正交分量,因为同相分量不会出现在 PD 的输出中(见 6.1.1 节)。假设噪声通过环路滤波器的传输大多数是经过比例通路的(这个假设是合理的),所以对于这个经验公式,通过积分通路的传输可以被完全忽略。因此环路滤波器对输入噪声的影响就是乘以比例因子 κ_1。

累加转储操作，即 $L>1$，使公式的推导变得复杂。附录13A中的传递函数在导出时使用了输入信号带宽小于滤波器更新速率 $1/Lt_s$ 的近似假设。但这个近似假设对输入噪声在双边的带宽 $1/t_s$ 内均为白的情况是不成立的。在考虑累加器的时候，我们应当认识到累加器只是把 L 个噪声样点加起来。如果这 L 个样点是互相独立的、以 σ_v 为标准偏差而均匀分布的，那么累加器输出的标准偏差简单地为 $\sigma_v L^{1/2}$，因而量化器输入的标准偏差为 $\kappa_1\sigma_v L^{1/2}$。令这个乘积等于 2^{-b}（一个量化步长）就得到所要的经验公式

$$\sigma_{v1}=\frac{1}{2^b\kappa_1\sqrt{L}} \tag{13-16}$$

图13-17和图13-18中 σ_{v1} 的标记线显示，总相位方差明显超过了在量化占主导和噪声占主导之间的过渡区，而且非常接近 $\sigma_v=\sigma_{v1}$ 时的公式(13-15)。从 $\sigma_v=\sigma_{v1}$ 的波形可以看出，量化器输出的噪声样点中的大多数都落在了无噪声下被占据的那两个量化等级上，其中相当多的样点到达了两侧的第一个量化等级上，有少量的样点达到再外面的量化等级上，只有极少量的样点可以达到两侧的第三个量化等级上。这确实是对标准偏差等于一个量化步长的噪声所希望看到的量化器输出的情况。

308~309

8. 静态相位误差

一阶数字PLL的一个缺点是它的静态相位误差，因而必须要求环路滤波器输出不为零，才可使NCO调谐到它正确的平均频率上。过大的相位误差会引起环路失锁；所以环路存在一个保持范围的极限，这与模拟PLL是一样的。在有噪声和无噪声下的静态相位误差的例子示于图13-19中。相位误差的公式已经根据对大量仿真试验的观察而导出。对于图13-9中的仿真模型，在无噪声下的公式为

$$\theta_v=\sin^{-1}\frac{\mathrm{IP}(\mu_i)+1}{2^bL\kappa_1}+\frac{2\pi(D+L-1)}{2^b}[\mathrm{FP}(\mu_i)-0.5] \tag{13-17}$$

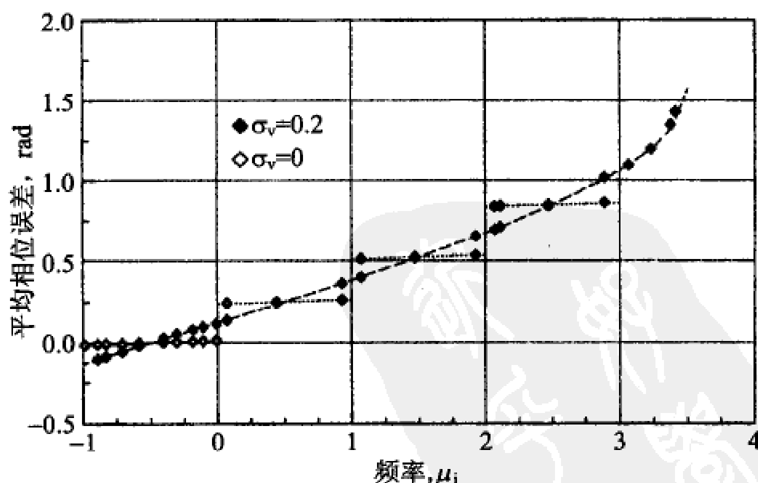


图13-19 静态相位误差：$b=8$，$D=1$，$L=1$，$\kappa_1=2-6$，$\kappa_2=0$

（摘自参考文献[13.31]；© 1996 IEEE）

该公式仅当 $\mu_i=0$ 时才为零。式(13-17)中的反正弦项是由于图 13-19 中无噪声部分的很明显的分段特性的情况，第二项指出了在每个分段的平顶部分勉强可以看见的倾斜度。在扩展图中还可以看到与式(13-17)给出的阶梯形线段顶部的偏离，这个偏离相对很小且与频率有关，但在图 13-19 中看不到。

如果加性噪声充分大，这些阶梯形平顶就不再存在，静态相位误差接近

$$\theta_v = \sin^{-1}\frac{\mu_i+0.5}{2^b L\kappa_1} \tag{13-18}$$

310

这个结果与正弦形 PD 的模拟 PLL 几乎相同。

9. 设计规则

从前面的讨论中可以提取出几个减小相位误差振幅的设计原则：

- 频率量化器应使用小的量化步长(大 b)，这是个显而易见的做法；
- 使用 2 类 PLL 以避免静态相位误差(在模拟 PLL 中熟知的方法)；
- 在环路滤波器中不使用累加和下采样操作；
- 尽量减少环路延迟 D。

13.2.4 检相器和积分器的量化

虽然在前一节中描述了大量奇怪的行为，但仍然留下许多关于 NCO 频率量化非线性效应的问题需要探讨。数字 PLL 中的所有其他单元的操作也都是量化的，这些量化的效应也需要理解。然而，除 Da Dalt[13.43]外，频率量化看来是到目前为止仅有的已被深入研究过的环路单元。本节将提出关于检相器和环路滤波器中积分器的量化的初步想法和存在的问题。真正的处理方法将有待于在未来得到解决。

1. 检相器的量化

我们来考虑一阶 DPLL。它的检相器输出为 $u_d[n]$，送到 NCO 的控制信号为 $u_c[n]=\kappa_1 u_d[n]$。我们可以合理地假设 PD 设计成没有死区，并且在 u_d 与 κ_1 相乘之后仍可以把 u_d 的所有数字位保留在 u_c 中。如果 u_c 的 LSB 与 NCO 的 LSB 是对准的，那么 PD 与 NCO 的量化就互相一致。在这个条件下，似乎 PLL 的量化实际上就是 NCO 的量化，其特性已在 13.2.3 节中做过详细的描述。上面这个结论也许是错误的；由直观可以断言，u_d 的量化一定会有某种影响。这个问题有待进一步研究。

如果 u_c 的 LSB 小于 NCO 的 LSB，那就会浪费掉一位或几位。即使把浪费的数位从 u_c 中截去，性能也似乎不会有什么改变。在 PD 中多增加几位是没有明显好处的。如果 u_c 的 MSB(符号位)小于 NCO 的 LSB，那环路就完全失败。这个现象似乎在说，NCO 频率的量化，在某种意义上确立了 PLL 的最小带宽，至少对于一直在讨论中的这种 NCO 结构是这样的情况。如果 NCO 确实设计成把符号位看成输入的一部分，那么控制字的符号位必须总是与 NCO 的符号位对齐，如有必要，可与控制字的其余部分分开对齐。

2. 积分器的量化

现在来考虑在环路滤波器中包含一条积分通路的这样一个 2 类 PLL。为了减少

311 要考察的因素，我们假设 u_c 的 LSB 与 NCO 输入字的 LSB 是对齐的。积分器的输出为

$$u_I[n]=\sum_{k=0}^{n-1}\kappa_1\kappa_2u_d[k]+u_I[0]$$

所以如果想保留所有的输入位，积分器的最小步长应当比被 NCO 接受的最小步长小 κ_2 倍。这就引出了下面这个问题：无论 κ_2 有多小，所有这些数位都应当保留吗？

❑ *支持保留所有位的论点*

虽然 $u_I[n]$的每个样点的 LSB 并不都包含在 $u_c[n]$中，但许多样点的 LSB 是相加起来的，它们的总和最终会进入 $u_c[n]$，因而进入了 NCO 频率。这个总和是有用的信息。如果保留所有的数位，那么在信号消失的情况下，存储在积分器上的频率信息会被记忆得更精确。

❑ *反对保留所有位的论点*

很难看出当频率步明显小于 NCO 的频率分辨率的时候，这些位数会对 PLL 的操作有什么影响，尤其是当 κ_2 的值很小时。保留所有数位要求积分器有很长的字长，势必增加硬件和计算的负担。

❑ *折中的论点*

保留某些多余的数位，但不是所有多余的数位。数位取舍是一个很好的研究题目。

13.3 非线性 PLL

本节将讨论一类特殊的采样 PLL，其本质上的非线性阻止了任何近似线性化方法的使用。像增益、带宽和传递函数这样的概念是线性系统的性质，对于严重非线性的系统是没有意义的。非线性系统的分析远比线性系统困难，而且分析结果的覆盖面也比较窄，在本节的下面要考察的这些看起来并不复杂的 PLL，就有力地说明了这一观点。这些 PLL 的例子几乎可以很容易地用标准的集成电路单元搭建起来，使它们从硬件的角度看是非常可行的。由不恰当的分析而导致特性上的不完整性必须用仿真来弥补。

13.3.1 非线性 PLL 的结构

这里的注意力仅限于混合 PLL 的一个特定结构，它对输入信号所进行的量化只用两个级别，并且在每个调整周期内只对 DCO 的相位做一个很小的固定步长的改变。312 在以前，这种结构有时被叫做*增量相位调制器*(IPM)；但这个名称的由来已无法考证。

1. 以前的文献

在早期的文献中曾出现过相同的有关结构。所有的作者都把他们的模型叫做数字 PLL(DPLL)，但所有模型都在输入端接收模拟信号，并都从 DCO 给出模拟信号，就像在本节中考察的混合结构那样。Cessna 和 Levy[13.34] 曾发现，从一个两级量化的 PLL 得到相当好的性能是可能的。就像其他大多数文章一样，这篇文章主要考虑在加性噪

声下的性能。Holmes[13.35]用马尔科夫链分析了有关的模型在噪声下的特性，并且导出了相位抖动的统计特性和发生第一次周期滑步的平均时间。Ransom 和 Gupta[13.36]描述了一个以相似原理工作的位同步环路。D'Andrea 和 Russo[13.37]描述了一些用来表示非线性 PLL 状态轨迹的图示方法。参考文献[13.38]的文集包含了参考文献[13.35]。Walker[13.40]考察了一个高度非线性的模拟 PLL，其特性部分地相似于本节中的 PLL。

2. 框图

图 13-20 描述了 IPM 的一种形式。这个形式的某些性质类似于一阶准线性 PLL。在这个一阶模型讨论完之后，我们将介绍一个 2 类 IPM。对于这里要考虑的这个简单模型，输入信号(现在假设为无噪声)是相位为 $\Psi_i(t)$的正弦波，并且被 DCO 的输出信号做每周期一次的采样。每个样点都要通过一个限幅器(也叫钳位电路、比较器或一位量化器)。在图 13-20 中，这个限幅器跟在采样器之后，但也完全可以放在采样器之前；IPM 对于这两个限幅器位置是一样的。如果限幅器在采样器之前，那么采样器可以用 D 触发器来实现，这样就使限幅器成为整个 PLL 中唯一的一个混合信号电路。

二进制的样点被用作可逆计数器的时钟，当可逆计数器溢出时输出 $c[n]$为$+1$，下溢时为-1，其他情况为零。早期的作者曾把这种计数器说成时序滤波器，但这里要指出的是，这个计数器只是为了确立 PLL 的等效环路增益的一个方法。与图 13-2 中相似的环形振荡器结构被用于图 13-20 的 DCO，但也可以使用图 13-1 中那样的计数器结构。两种结构的操作方式是相同的：来自可逆计数器的控制输入 $c[n]=+1$ 使 DCO 的输出相位(用以驱动采样器的相位)前进一个 $2\pi/Q$ 的步长，控制输入 $c[n]=-1$ 使相位后退 $2\pi/Q$，如果 $c[n]=0$(往往是最多的状态)则使 DCO 相位保持不变。这些说法将在下面做展开说明。

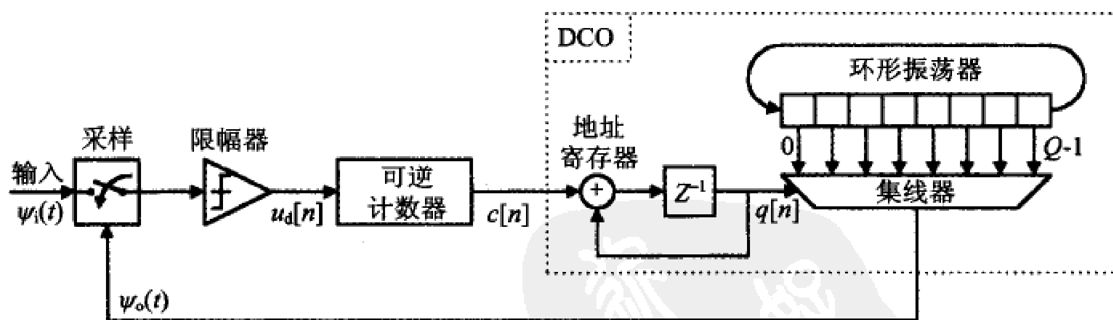


图 13-20 作为严重非线性 PLL 的一个例子的增量相位调制器(IPM)

图中的结构可以有各种变化。可以把比率为 $R:1$ 的分频器插在 DCO 之后，因此采样可以在 DCO 频率的 $1/R$ 上进行。在分频器输出端的相位增量为 DCO 的 $1/R$。另一个结构修改也许在次采样操作：也就是，把采样率(即 DCO 频率)规定为信号频率的整数分之一。这个方法可以缓解电路速度的问题。次采样 PD 的 s 曲线形状变为在一个采样周期中有几个波形循环。

13.3.2 PLL 各单元的操作

在 PLL 输入端上的连续时域正弦波模拟信号有下面的相位表达式

$$\Psi_i(t) = \omega_i t + \theta_i \tag{13-19}$$

其中，信号的角频率 ω_i(rad/s)和信号的相位 θ_i(rad)被认为是固定的或缓慢变化的。

1. 检相器

第 n 个样点是在时间 t_n 上取得的，所以它的值为 $\sin(\omega_i t_n + \theta_i)$。采样时刻不是等间隔的。限幅器的输出为

$$u_d[n] = \mathrm{sgn}\{\sin[\Psi_i(t_n)]\} \tag{13-20}$$

这个输出只在+1 和−1 之间取值。限幅器的输出被加到可逆计数器。

2. 可逆计数器

计数器的操作画在图 13-21 的状态图中。当每次 $u_d=+1$ 时，计数器以一个步长作加一计数，当每次 $u_d=-1$ 时，计数器以一个步长作减一计数。这里要考察两种不同的计数器。一种是单回路计数器，另一种是双回路计数器。每种计数器对 PLL 提供大致相同的特性，但有些具体细节却对性能有非常不同的影响，尤其是相位极限环。

图 13-21a 的单回路计数器是一个连接成环形的简单可逆计数器。这个计数器没有最终状态；计数器在两个方向上做永无止境的计数。从 PD 输出的一个+1 使计数器加 1 而进入下一个较高状态，PD 的一个−1 输出使计数器减一而进入下一个较低状态；当 PD 输出 0 时，计数器维持不变。这个模型中的状态序号是随意指定的。由于这些状态存在于一个闭环内，所以没有哪一个状态可以被看作是自然的起点或终点。图中的状态 0 和 6 被选择为“结束”状态，这是因为当计数器在 6 状态时，如果 PD 给出一个+1，那么计数器的状态将进入 0 状态，而当计数器在 0 状态时，如果 PD 给出一个−1，那么计数器将进入 6 状态。任何其他两个相邻的状态都可以被选择为“结束”状态而得到完全一样的情况。

313~314

在两个“结束”状态之间的状态转移会产生计数器输出 $c[n]$。当状态从 6 转移到 0 会产生 $c[n]=+1$，当状态从 0 转移到 6 会产生 $c[n]=-1$，而在其他任何相邻两状态之间转移时，产生 $c[n]=0$。特别要注意的是，$c[n]=\pm 1$ 是由状态在 0 与 6 之间转移时给出的，而不是由占据某个特别的状态而产生的。计数器的状态用 $s_c[n]$表示。

计数器的长度用 C_i($i=1$ 指单回路)表示：也就是，C_i 个样点值为+1 的输入样点可以使计数器沿着它的回路整整走一周。图 13-21a 中的计数器长度为 $C_1=7$，正好与状态的数目相同。一般并不需要 C_1 为 2 的整数幂；任何正整数都是可以的。

图 13-21b 中这个较为复杂的计数器有两个回路，它们共享一个标记为 0 的中心状态。一旦确定了中心状态之后，也就确定了两个结束状态(C_2-1)和[$-(C_2-1)$]。计数器长度 C_2 是使计数操作沿着回路走一周所需的样点数目。在图 13-21b 中，计数器长度 $C_2=4$，正好等于每条回路的状态数。应当注意到，由于 0 状态是两个回路所共有的，所以计数器总共只有七个状态。还应当注意，C_2 必须为正偶数才可以存在中心状

315

态。计数器长度 C_i 是 PLL 的一个主要参数。从两个"结束"状态都可以转移到 0 状态，但不能反向转移。从 (C_2-1) 转移到 0 会给出 $c[n]=+1$，从 $[-(C_2-1)]$ 转移到 0 会给出 $c[n]=-1$，而其他任何的状态转移都给出 $c[n]=0$。

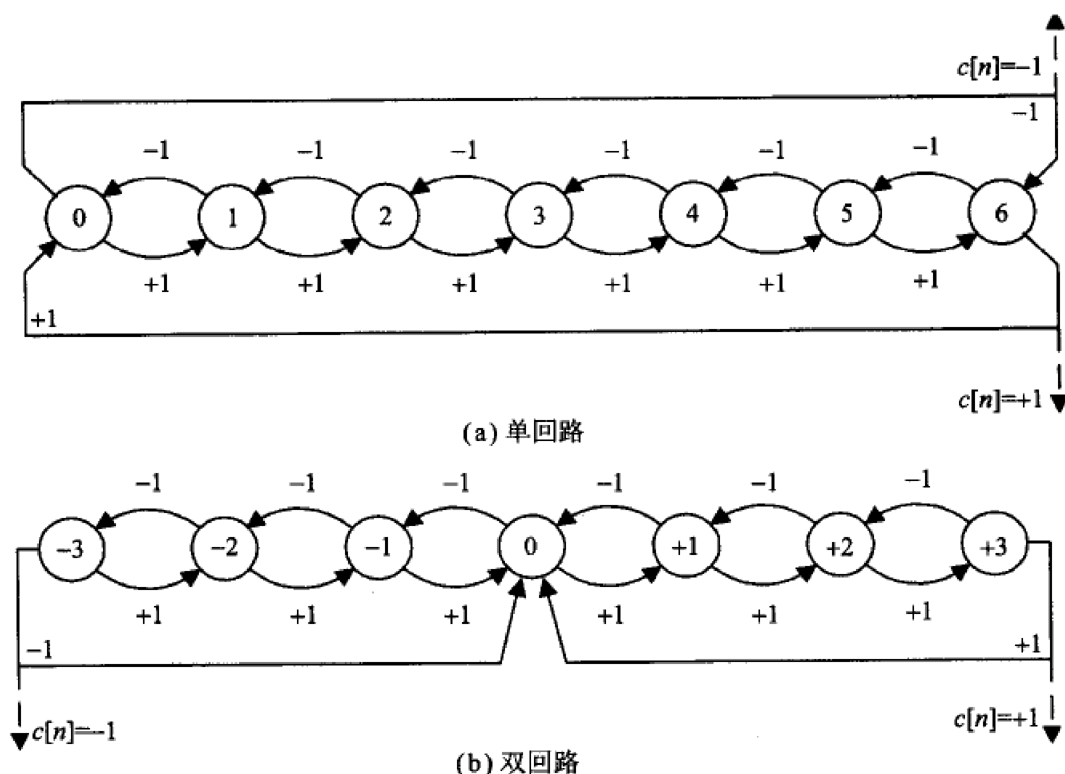


图 13-21 两种可逆计数器的状态图

3. 数控振荡器

图 13-20 中的 DCO 包含一个具有 Q 个等间距抽头的、运行于固定角频率 ω_{ox} 上的环形振荡器。在实际使用中，环形振荡器被锁定在一个稳定的、精确的基准频率上，但图中没有画出。集线器从 Q 个抽头中选择一个抽头，以此来调节 DCO 的输出相位。集线器根据地址寄存器中的内容 $q[n]$ 选择第 q 个抽头。

注解：(1) 图中抽头被编号成当 q 增加时使 DCO 相位也增加。(2) 环振起点的指定，即编号为 0 的抽头，是随意的；环振是闭环的，无法区分开始和结束。(3) 从一个抽头到下一个抽头的相位增量为 $2\pi/Q$ 弧度。

地址寄存器是循环累加器的一部分，其差分方程为

$$q[n]=\{q[n-1]+c[n-1]\} \quad \text{mod-}Q \tag{13-21}$$

其中 $q\in(0,1,\cdots,Q-1)$。这个累加器类似于一个 NCO，但它的控制输入 $c[n]$ 仅在 0 与 ±1 中取值。除了使用累加器与地址寄存器进行选择外，还可以采用连成环形的 Q 级移位寄存器来选择集线器抽头，而且在任何时刻只有一个抽头是被选中而有效的。移位寄存器可以根据序列 $\{c[n]\}$ 作向前移位、向后移位或保持不变。另一个方法是，图 13-20 中的整个 DCO 可以用一个与图 13-1 类似的减 1 计数器来代替，但必须用脉冲吸

收法(pulse-swallowing)来实现 DCO 的相移。下面的内容与 DCO 的具体结构无关，只要其外特性是相同的。

在这些 DCO 结构中的任何一种结构，都必须保证在实现相移时不发生任何形式的切换错误。因为对 PD 的采样是由 DCO 波形的边沿触发的，所以，为了不扰乱操作的非常关键的一点，是要求不发生边沿的丢失和多出。在第 n 个样点时刻 t_n 时的 DCO 输出相位为

$$\Psi_o(t_n) = \omega_{ck} t_n + \theta_o(0) + \frac{2\pi q[n]}{Q} \tag{13-22}$$

时间变量的原点可以选择成为使 $\theta_o(0)=0$，因而这个原点就可以不再考虑。于是，相位误差 $\Psi_e(t_n)=\Psi_i(t_n)-\Psi_o(t_n)$ 就变成

$$\Psi_e(t_n) = \Delta\omega t_n + \theta_i - \frac{2\pi q[n]}{Q} \tag{13-23}$$

316 其中 $\Delta\omega=\omega_i-\omega_{ck}$，并且 Ψ_e 是以 2π 求模的。如果 $|\Psi_e|$ 保持得很小，则 PLL 被认为是锁定的。

13.3.3　PLL 状态图

对 PLL 行为的理解可以借助于图 13-22(双回路计数器)和图 13-23(单回路计数器)中的状态图。状态图包含了 PLL 数字部分的有限状态和输入相位的连续时域性质。除了显示计数状态外，状态图还显示了相对于 DCO 的 $q=0$ 抽头的那些相位。

输入相位 Ψ_i 可以位于连续外圆上的任何位置上。DCO 的相位 Ψ_o 只可以位于与圆相交的径向短线所标记的离散位置上，其中的径向短线上标有 q 值。图中的箭头表示出两个举例的相位位置，而在这两个位置之间的弧线表示了相位误差 $\Psi_e=\Psi_i-\Psi_o$。每个以 q 标记的 Ψ_o 位置代表 DCO 的 Q 个状态中的一个。在圆内有 8 个计数器，每个计数器对应一个 q 位置。这些计数器代表图 13-21 中的那个可逆计数器。虽然在一个系统中只存在一个这样的计数器，但对每个 q 位置都有一个复制的计数器的状态，因而可以显示出 PLL 的所有数字状态。

这些计数器是沿径向放置的，其小序号状态靠近圆心，较正的状态靠近圆周。正的 u_d 使计数器状态向外转移；负的 u_d 使状态向内转移。当 u_d 把计数器驱动到越过它的结束状态时，就使计数器的输出为 $c[n]=\pm1$，同时 DCO 的 q 状态前进或后退 1。当计数器根据 $c[n]$ 的符号向它的下一个较高或较低计数器转移的时候，就出现图中计数器的循环。

图 13-22 中计数器之间的转移是从原来计数器的结束状态转移到目标计数器的 0 状态；用不同的线表示从两个结束状态转向两个不同的目标计数器。图 13-23 中从计数器的一个结束状态转移到目标计数器的相反结束状态，另一种转移是在同样的两个结束状态之间进行的。正因为如此，还为了避免图形变得太拥挤，所以图 13-23 中对计数器之间的转移通路只用一条双向通路表示。

317~318 PLL 的每个状态是被它的坐标 $\{q[n], s_c[n]\}$ 所确定：一个坐标是 DCO，另一个坐

标是计数器。把图 13-22 看成是某个时刻的状态，图 13-22 中的状态是 $q=3, s_c=2$；q 坐标用指向 $q=3$ 的 Ψ_o 箭头标记，而 s_c 坐标用计数器中涂成阴影的状态标记。图 13-23中的坐标则为 $q=3, s_c=5$，这是因为计数器的结构不同。

图 13-22 使用双回路计数器的一阶 IPM 的相位与状态图

图 13-23 使用单回路计数器的一阶 IPM 的相位与状态图

13.3.4　非线性 PLL 的操作

既然每个单元的特性已经确定，我们就可以借助状态图来确定闭环特性。开始时假设输入信号是无噪声的；后面的小节将讨论存在抖动和加性噪声时的性能。

1. 极限环

图 13-22 中(双回路计数器的 PLL)的相位误差被表示为正的，所以下一个 u_d 样点将把计数器驱动到 $s_c=3$ 的状态，因此再下一个样点就循环到 $s_c=0$ 状态，但同时也把 DCO 驱动到 $q=4$ 状态。假设 Ψ_i 为恒值(即，$\omega_i=\omega_{ck}$)，那么现在的相位误差就变为负，所以下面的一些 u_d 样点都相应地把计数器向负方向驱动。当 u_d 的第四个负样点到来时，计数器就循环到 0，而 DCO 的相位回到 $q=3$。这就是一个极限环。它的相位峰-峰值为 $2\pi/Q$ 弧度，周期为 $2C_2$ 个样点间隔。因此，相位量化必须足够细小，才能使极限环的振幅满足任何对系统的要求。作为一种实际情况，这类 DCO 的相位量化很少能做得像 NCO 能达到的那样细小。

下面我们考虑图 13-23 中的 PLL(使用单回路计数器的 PLL)的行为。从图中的 $q=3$和 $s_c=5$ 状态开始，下一个样点 $u_d=+1$ 使计数器前进到 $s_c=6$ 的状态。再下一个样点前进到 $s_c=0$ 和 $q=4$。现在相位误差为负，所以下一个样点是 $u_d=-1$，而 PLL 的状态被立即驱动回到 $q=3$ 和 $s_c=6$。这样，下一个样点 $u_d=+1$，因而被驱动到 $q=4$ 和 $s_c=0$ 的状态。这里是一个不同的极限环，是由不同的计数器结构产生的。它有相同的相位峰-峰值 $2\pi/Q$ 弧度，但它的周期只有两个样点间隔，并与计数器长度 C_1 无关。那么，哪一种计数器结构比较好呢？短周期极限环的抖动用后面的任何一种 PLL(如果存在的话)都是比较容易滤除的，但由 $c[n]$引起的快速变化可以因为要增加某个功能而影响到对 DCO 的控制，比如 2 类环路中要增加一个积分器(在 13.3.5 节中描述)。还有其他一些尚未认识到的情况，也许偏向这个或那个计数器。

2. 相位捕获

一个无噪声的 PLL 从初始相位 $|\Psi_e[0]|<\pi$ 开始，需要经过多少个以样点间隔 N_A 为单位的间隔时间才能进入稳态极限环？假设 $\Delta\omega=0$，并只考虑 $\Psi_e[0]$的正值(因为捕获特性应当在相位误差的正负方向上是对称的)。一旦相位误差减少到小于 $2\pi/Q$ 的时候，就达到了稳态极限环的边界，这相应于

$$q[N_A]=\mathrm{IP}\left\{\frac{Q\Psi_i(0)}{2\pi}\right\}$$

而初始相位误差定义为

319

$$\Psi_e(0)=\Psi_i(0)-\frac{2\pi q[0]}{Q}$$

由此可以找出到达捕获之前所经历的 DCO 相位增量的总数为

$$q[N_A]-q[0]=\mathrm{IP}\left\{\frac{Q\Psi_e(0)}{2\pi}\right\}\qquad(13\text{-}24)$$

除第一次相位增量外，计数器每经历一个相位增量需要 C_i 个样点间隔时间($i=1$ 或

2)。在第一次相位增量时，所需的样点间隔数取决于计数器的初始状态 $s_c[0]$ 和计数器的结构。把到达第一次相位增量所经历的样点间隔数表示为 $IS_i\{s_c[0]\}$，因而

$$N_A = \text{IP}\left\{\frac{Q\mid\Psi_e(0)\mid}{2\pi}\right\}C_i + \text{IS}_i\{s_c[0]\} \qquad (13\text{-}25)$$

在一个线性 PLL 中，大的相位误差引起大的 PD 输出（至少在相位误差不大于 s 曲线峰值时是这样的），但考虑中的非线性 PLL 的两级量化 PD 具有相同的 PD 输出，而且与相位误差的大小无关。相位捕获以每样点间隔 $2\pi/C_iQ$ 弧度的平均速度进行，并与相位误差的大小无关。

3. 频率跟踪的极限

DCO 可以从它的基准频率 ω_{ck} 调整到多远的频率范围？如果 Ψ_o 在每个样点间隔内前进一个 $2\pi/Q$ 的步长，那么可调谐频率的上限是 $\omega_{ck}(1+1/Q)$，如果相位后退的话，则下限是 $\omega_{ck}(1-1/Q)$。显然，在 IPM 中精细的量化步长和大的调谐范围是不兼有的。这类 PLL 只能用于频率被限制在一个很窄范围内的应用：例如，用于位速率精确已知的数据同步器中。

现在假设频率差 $\Delta\omega$ 为非零且恒定。那么，$|\Delta\omega|$ 要变得多大才可使锁相失败呢？如果 PD 的每个样点值为 $u_d=+1$，那么 DCO 的相位 Ψ_o 可以在 QC_i 样点间隔内前进 ω_{ck} 的整整一周。如果信号频率引起输入相位 Ψ_i 前进得更远，那么 DCO 的相位就跟不上而无法锁定。因此，一阶 IPM 的保持范围可近似为

$$\Delta\omega_H \approx \pm\frac{\omega_{ck}}{QC_i} \qquad (13\text{-}26)$$

其中的近似式假设 $QC_i \gg 1$。可以把式(13-26)与 $\Delta\omega_H=\pm K$ 做比较，后者这个等式是具有正弦形 s 曲线 PD 的一阶模拟 PLL 的保持范围。这里有一个类比关系，即非线性 PLL 的比率 ω_{ck}/QC_i 就好比是模拟 PLL 的环路增益 K。也就是因为这个性质，我们才把可逆计数器看作设定增益的手段，而非用作滤波器。

现在跟随 PLL 的状态图来分析存在频率偏离 $\Delta\omega<\Delta\omega_H$ 时的 Ψ_o 的行为。为此，我们把圆中的扇区 sct$[q,q+1]$ 用对应于 Ψ_o 相位的 q 值来定义。在图 13-22 和图 13-23 中，标记 Ψ_i 位于扇区 sct$[3,4]$ 内。恒定的频率偏离表现为标记 Ψ_i 沿着圆周以恒速旋转。Ψ_o 的极限环（当存在时）在扇区的两个边界之间来回跳动。一旦在任何一个扇区中产生这样的极限环，则将一直继续下去，直到 Ψ_i 转出该扇区。然后极限环就停止（Ψ_o 保持在 Ψ_i 所穿越的扇区边界的恒值上），计数器状态随 Ψ_i 而变化，直到走过计数器的结束状态，与此同时 Ψ_o 走入下一个扇区边界。这时，极限环又继续工作，直到 Ψ_i 再次旋转而进入下一个扇区。

320

在 13.2 节中曾经看到，NCO 频率的量化对 PLL 环路增益设置了下限；如果检相器的输出经比例缩放后的 MSB 小于 NCO 控制字的 LSB，那么反馈环路就被切断。但在 IPM 中不存在这样的下限；因为 ω_{ck}/QC_i（即等效的环路增益）可以设计成随意地小（但要付出保持范围趋于零的代价）而不使切断反馈环路。

4. 对输入抖动的响应

假设输入信号的相位 Ψ_i 是故意被调制的或者具有不希望的抖动。把这两种相位

变动合起来,并用抖动这个词来表示。那么非线性 PLL 对这个输入抖动会做何种响应呢,假设 $\Delta\omega$ 小得可以忽略?第5章的线性分析不适用于非线性 PLL;这里只给出渐进式的定性探讨,而不是全面的非线性分析。

考虑一个可以用于图 13-22 和图 13-23 中状态图的抖动模型。这两个状态图被看做是某个样点时的状态,输入相位被表示为圆周上角度为 Ψ_i 的一个箭头。我们把这个图形作为讨论的起始点,然后通过把相同的图形重叠起来而扩展为包含许多样点的图形。如果输入是无抖动的(并且 $\Delta\omega=0$),那么所有输入相位样点的图形都是一样的,所以重叠后得到的合成图形仍然只有一个 Ψ_i 标记。如果输入有抖动的话,多个 Ψ_i 标记的位置就不再重合。结果是在平均位置的附近形成一堆标记,如云雾状。对这样一堆云雾状的相位输入的响应做定量分析,至少需要关于抖动的统计特性的信息,但这样的信息往往是缺乏的。在线性系统中,只要知道 PLL 的传递函数和抖动的频谱就足够了。对于非线性 PLL,则不存在这样的简单方法。这里只能给出特定例子的定性观察结果。

作为第一个例子,我们假设这一堆云雾状的输入全部落在状态图的相位圆的一个量化扇区内。这当然是可能的,只要抖动的振幅足够小,而且这一堆云雾状的输入标记远离扇区的边界。所有落在同一扇区内的相位对 PLL 来说是相同的,每个输入样点产生完全相同的 PD 输出。在这种条件下,非线性的 PLL 完全抑制了同一扇区内的抖动;所有 Ψ_i 的输入抖动都不出现在输出相位 Ψ_o 中。也就是说,足够小的输入抖动淹没在了相位量化之中。

作为下一个例子,我们来考虑这样一个孤立的样点,它的相位位于那一堆云雾状输入相位所在扇区之外。对这个例子存在两种可能性:(1)这个孤立样点的相位误差的符号与云雾堆中的样点相同,所以没有任何影响;(2)这个孤立样点的相位误差的符号与云雾堆中的样点的符号相反。这第二种情况引起了可逆计数器的状态从前一个位置向后退一个增量值,而不是像每个云雾堆中的样点那样向前走一个增量。这个后退使这一个孤立极限环的周期拉长,增加了在扰动方向上的相位停留时间,但并不改变相位变化 Ψ_o 的峰-峰值。

321

对一个孤立样点响应的分析,帮助我们解释有许多样点的相位落在中心扇区之外时的特性。与云雾堆中大多数样点的相位误差的符号相同的那些样点,没有任何看得出来的影响;每一个与云雾堆中大多数样点的相位误差符号相反的样点,都会使 PLL 的可逆计数器的状态后退一个步长,因而增加了在这个方向上的相位停留时间。如果足够多的相位后退累积起来,DCO 的相位就会在抖动样点的方向上跳动一个步长。这种跳动的概率取决于抖动的统计特性和计数器 C_i 的长度。

直观考察指出,对于任何给定的抖动统计特性,大 C_i 会降低跳动的概率。但仔细观察后却发现了疑点。虽然较大的 C_i 需要较多的扇区外样点的积累才可引发一次跳动,但较大的 C_i 也积累了较多样点的效应。对此需要进一步的研究,才可确定其中哪一个的影响更大。如果抖动不至于坏到引起失锁,那么 DCO 相位最终会回到中心相

位扇区。如果云雾堆中的样点在中心扇区的两个方向上都超出了扇区边界，那就会发生两个方向上的跳动。

13.3.5 2类非线性 PLL

如上面解释的那样，DCO 的可调谐范围是 $\pm\omega_{ck}/Q$，但一阶 IPM 只能在 $\pm\omega_{ck}/QC_i$ 的范围内保持锁定。我们经常需要一个较大的保持范围；普遍使用的 2 类模拟 PLL 使 2 类 IPM 成为实现较宽保持范围的显然的选择对象，这将在本节中说明。参考文献[13.39]提出了另外的一个方法。

图 13-24 画出了一种实现 2 类 IPM 的方法。比例通路中的单元电路，即采样器、限幅器和可逆计数器与图 13-20 中的一阶 IPM 是相同的。DCO 可以取前面讨论过的任何结构。输入信号的频率为 f_i；在 PLL 锁定时，DCO 给出的平均频率 f_o 必须等于 f_i。PLL 内部的所有操作，包括采样，都工作在频率 f_o 上而非 f_{ck} 上。

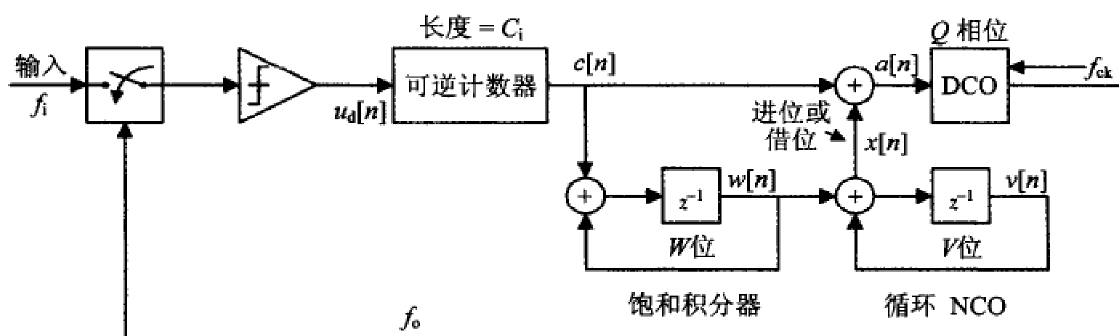


图 13-24 2 类 IPM

频率偏离被定义为 $\Delta f=f_i-f_{ck}$。PLL 中积分通路的作用是，以非常接近 Δf 的速率向 DCO 提供另外的单位振幅的控制信号，因而使比例通路不致于承受过大的应力。图 13-24 中的积分通路包含一个饱和积分器和一个循环 DCO。积分器对来自可逆计数器的序列$\{c[n]\}$进行累加，并把总和 $w[n]$作为频率控制而送给 NCO。由于 $c[n]\in(0,\pm1)$，所以积分器可以实现为另一个可逆计数器，但这个计数器必须饱和在它的结束状态下，而不可循环。积分器寄存器的字长为 W 位。

这里的 NCO 与前面探讨过的大致相同；其差分方程为

$$v[n]=\{v[n-1]+w[n-1]\}\quad \text{mod-}2^V$$

其中 $v[n]$为 NCO 中寄存器的内容，V 为寄存器的位数。如果上式中大括号内的总和超过(2^V-1)或小于零，那么 NCO 就会循环；也就是，$v[n]\in(0,\cdots,2^V-1)$。NCO 的有用输出 $x[n]\in(0,\pm1)$来自 1 位的溢出进位和下溢借位，而这两个进位和借位是由加性器出现循环的时候产生的。

送到 DCO 的控制信号是 $a[n]=c[n]+x[n]$，$a[n]\in(0,\pm1,\pm2)$。这里的相位改变不像一阶 IPM 那样，DCO 相位每次只改变一个增量，2 类 PLL 必须每次能改变两个增量值。这个相位改变量的增加以及在积分器和 NCO 中的多位操作，使 2 类 IPM 变

得更加复杂。

那么,积分器中需要多少位 W、NCO 中需要多少位 V 呢?我们先考虑 NCO。当 $w[n]$ 固定不变时,NCO 的平均频率为 $f_{NCO}=wf_o/2^V$,而由于 w 是一个整数,所以频率增量为 $\delta f_{NCO}=f_o/2^V$。为了减小比例通路的应力,频率增量与式(13-26)中给出的一阶 IPM 的保持范围相比时,应当是很小的;而 NCO 的字长又确定了它的频率量化。我们可以这样来规定 λ,以使 $\delta f_{NCO}=\lambda\Delta f_H$,其中 $\Delta f_H=\Delta\omega_H/2\pi=f_{ck}/QC_i$,$0<\lambda<1$。作为近似,$f_o\approx f_{ck}$,所以 NCO 的字长可确定为

$$2^V\approx\frac{QC_i}{\lambda}\tag{13-27}$$

作为一个数值例子,如果 $\lambda=0.5$、$Q=32$ 和 $C_i=16$,那么 $V=10$。

我们可以推导出关于准线性 PLL 的积分通路的增益 κ_2 和 NCO 的比率 λ/QC_i 之间的一个粗略的等效关系,其中的 NCO 比率是与 NCO 的字长相关的。λ 的一个大值会引起积分通路高度活跃地工作,继而引发比例通路的高度活跃性,这就指出阻尼不够(对于这样一个如此非线性的系统,"阻尼"究竟是什么意思已经无所谓了)。一个足够小的 λ 值导致积分通路的慢速响应和充分的阻尼。有人会怀疑,如果 λ 太大,环路也许会变成不稳定或不能锁定。就像在本书中所说得那样,高度非线性 PLL 的稳定性并未在 PLL 文献中受到广泛关注。

322~323

积分器的字长 W 确定了积分通路能够接纳的频率范围。从 IPM 系统的角度来看(在每时钟间隔内,NCO 的进位或借位最多不超过一次),最大可行的频率范围为 $\pm f_o/Q$。NCO 要接近这个频率,就必须对所有的 n 有 $w[n]=\pm(2^V-1)$,但这个字长又要求 $W=V+1$ 位,显然是不相称的。但在下面的情况下是可以实现的,即把 W 的符号与幅值分离开来,其中的符号确定 NCO 是加上还是减去 $w[n]$,而且只有幅值才进入到 NCO 的控制字 $v[n]$中。从 W 中每减一位就使 2 类 IPM 的频率范围减半。第一次减半到 $W=V$ 就使 NCO 中的计算更加方便。2 类 IPM 的特性还没有见到有很多的文章发表。极限环、捕获速度、稳定性极限等的特性仍有待人们的探讨。

13.3.6 加性噪声的影响

假设输入信号中存在加性噪声,并可表示为

$$s(t)=A\sin\Psi_i(t)+y(t)\tag{13-28}$$

其中 A 为信号的峰值,$y(t)$是方差为 σ_y^2 的零均值高斯噪声。检相器的样点为 $u_d[n]=\mathrm{sgn}\{s(t_n)\}=\mathrm{sgn}\{A\sin[\Psi_i(t_n)]+y(t_n)\}$。信噪比定义为

$$\rho^2=\frac{A^2}{2\sigma_y^2}\tag{13-29}$$

1. 对检相器工作的影响

在无噪声的情况下,如果 $\sin[\Psi_i(t_n)]>0$,则 $u_d[n]=+1$,但由于噪声的存在会使有些样点变为 $u_d[n]=-1$。在给定的 $\Psi_i(t_n)=\Psi$ 和 SNR$=\rho$ 的条件下,$u_d[n]=+1$ 的概率 P_+ 可给出为

$$P_+ = \Pr\{s(t_n) > 0 \mid \Psi\} = \int_{-A\sin\Psi}^{\infty} p(y)\mathrm{d}y = \frac{1}{\sqrt{2\pi}}\int_{-(A/\sigma)\sin\Psi}^{\infty} \mathrm{e}^{-x^2/2}\mathrm{d}x \qquad (13\text{-}30)$$

而负样点的概率为 $P_- = 1 - P_+$。

平均速率(以正样点数/秒为单位)为

$$r = f_s(P_+ - P_-) = f_s(2P_+ - 1) \qquad (13\text{-}31)$$

其中 f_s 为采样率。把式(13-30)和式(13-31)合起来,就可得到归一化的速率 r/f_s 为

$$\frac{r}{f_s} = 2P_+ - 1 = \frac{2}{\sqrt{\pi}}\int_0^{\rho\sin\Psi} \mathrm{e}^{-z^2}\mathrm{d}z = \mathrm{erf}(\rho\sin\Psi) \qquad (13\text{-}32)$$

324

这是一个相对于样点总数的纯小数增量(正或负)。这是 PD 的有用输出,可以看作它的 s 曲线。图 10-15 是式(13-32)的曲线,其中标记法稍有修改。

PD 的最大速率在 $\Psi=\pi/2$ 时达到,所以一阶 IPM 可以保持锁定的最大平均稳态相位误差为 $\mathrm{Max}(r/f_s)=\mathrm{erf}(\rho)$。对于大 ρ,$\mathrm{erf}(\rho)\approx 1$,而对于小 ρ,$\mathrm{erf}(\rho)\approx 2\rho/\pi^{1/2}$。因此,保持范围的极限为 $\Delta f_H \approx f_s/QC_i$,这就是前面式(13-26)中对大 ρ 所找到的表达式,而对于小 ρ 为

$$\Delta f_H \approx \frac{2f_s\rho}{\sqrt{\pi}QC_i} \qquad (13\text{-}33)$$

前面的检相器增益被定义为 s 曲线在过零点处的斜率。同样的概念也适用于 IPM 的两级量化的采样 PD,即先把式(13-32)对 Ψ 求导,并得到 $\Psi=0$ 时的表达式

$$\frac{\mathrm{d}r}{\mathrm{d}\Psi} = \frac{2f_s\rho\cos\Psi}{\sqrt{\pi}} = \frac{2f_s\rho}{\sqrt{\pi}}$$

然后,在小 Ψ 时,用泰勒级数展开式来逼近 r,对于足够小的 Ψ 和所有 ρ 得到

$$\frac{r}{f_s} \approx \frac{2\rho\Psi}{\sqrt{\pi}} \qquad (13\text{-}34)$$

应当注意到,r 变得非常大,并且式(13-34)的合法区域随着 ρ 的增加而变得非常小。

模拟检相器的 s 曲线在 $\Psi=0$ 处的斜率就是该 PD 的增益 K_d。等效地,在噪声下的 IPM 的 PD 增益,可以根据式(13-34)用模拟公式定义为 $K_d=2\rho f_s/\sqrt{\pi}$个正样点数每秒每弧度,或者用无量纲的数字公式定义为 $\kappa_d=K_d/f_s=2\rho/\sqrt{\pi}\mathrm{rad}^{-1}$。而且,计数器和 DCO 的平均"增益"是 $2\pi/QC_i$ 弧度每样点,所以一阶 IPM 的"增益"用模拟公式表示为 $K=4\pi^{1/2}f_s\rho/QC_i$ 弧度/秒,或用数字公式为 $\kappa=4\pi^{1/2}\rho/QC_i$(无量纲)。当 ρ 变大时,这个定义的适用性就减小。任一模拟 PLL(以增益的单位)或数字 PLL 都有等效性(无量纲),因为所讨论的 PLL 是混合型的,并且兼有两者的品质。

2. 对 DCO 相位波动的影响

以状态链表示的一阶 IPM 的模型有利于使用马尔科夫链的分析方法。从一个状态向另一个状态转移时,存在一个转移概率,而这个转移概率取决于这些成对的状态与信号和 DCO 相位之间的关系,也取决于这些状态与噪声和其他干扰的统计特性之间的关系。如果这个概率是可以确定的(不总是可以的),那么通过各种概率的相加可以给出相位误差的统计特性。参考文献[13.34~13.36]把这些分析以公式给出,并给

325

出了 DCO 相位波动的概率分布和方差的结果以及周期滑步的统计特性(第一次滑步平均时间)。对每种情况的统计特性的计算一般都需要大量的计算时间。

13.3.7 用于位同步器

前面的 IPM 都限制为正弦波输入。另一种也许更适合 IPM 的信号是二进制 NRZ 符号流——一种具有均匀符号间隔时间 $T=1/f_i$ 的两电平波形。在两个相邻符号之间出现电平翻转的概率 $d<1$。简单的模型假设翻转是立即完成的。在实际中,数据速率 f_i 常常规定有很小的容限;位速率的±0.1%的不确定性会认为是非常大了。

一种修改过的 IPM 通常是从这样一个位流中恢复时钟的可选方法。其中对检相器和可逆计数器的修改是必需的,以使 IPM 适合于位流操作。只要已经考虑到了这些修改,那么本节前面的分析就可以在这里适用了。用于位流操作的检相器必须提供三元输出 $u_d[n]$,即除了±1 外还必须有 0 输出,其中 n 现在是指符号的序号。如果在两个符号之间没有翻转,那么给出 0 值;+1 或 −1 表示信号超前或滞后于 DCO 的相位。Ransom 和 Gupta[13.36]、Walker[13.40] 和 Gardner[13.41] 描述了几个可以适用于这种能给出三元输出的定时误差检测器的例子。

一个两电平的信号至少需要每符号两个样点才能提取所需的定时误差信息,但 PD 只提供每符号一个样点。也就是说,对信号的平均采样率必须为 $2/T$,但 PD 样点的产生速率是 $1/T$。而且,由于 PD 的有些样点是零,所以+1 和−1 的平均速率由于符号流的翻转概率 $d<1$ 而减小了。把一个零加到可逆计数器,则计数器既不前进,也不后退。所以,对于计数器的每一个状态图都应当有一条再入弧,以表示当 $u_d[n]=0$ 时状态不变。DCO 的操作取决于 PD 和可逆计数器,但只能通过序列 $\{c[n]\}$ 来实现,否则就像 13.3.2 节和 13.3.3 节中解释的那样保持不变。

因为 PD 的输出中存在零值样点,所以为了改变 DCO 相位而需要的符号速率下的平均样点数便增加了 $1/d$ 的倍数。因此,极限环的平均周期或捕获相位所需的符号速率下的平均样点数也就增加了 $1/d$ 倍数。由于 PD 的有用样点的减少,频率的保持范围被缩小了一个因子 d。

极限环周期、相位捕获时间和保持范围出现了随机变化,因为 $u_d=0$ 的出现是随机的。(注意:由于极限环按定义是严格周期性的,所以在一个周期内存在随机变化的闭合轨迹不再是极限环了。)另一个出现的问题是,位流中可以发生一长串都是同一符号,而同一符号的长序列是没有翻转的。由于频率偏离 $\Delta\omega$ 几乎从来不会是零,即信号相位不断地相对于 ω_o 旋转,因此在遇到无翻转序列时可以建立一个很大的相位误差。为此,频率容限必须足够小,以限制这种相位误差的持续建立。

326

附录 13A　多速率 DPLL 的传递函数

本附录根据参考文献[13.6,2.3 节]中确立的多速率理论来推导图 13-7 中多速率

DPLL 的传递函数。所使用的标记法表示在图 13-7 的大括弧内。还将对工程技术中有用的多速率分析方法做一描述。

13A.1 关于符号的说明

图 13-7 中出现三个不同的采样率：在检相器输入和输出端为 $1/T$，在信号输入端、保持电路输出端、NCO、正弦余弦处理器和相位旋转器为 M/T，在累加转储电路的输出端和环路滤波器内为 $1/LT$。符号速率为 $1/T$；L 和 M 为整数。DPLL 中的所有单元都假设为准线性过程，因而可以用 z 变换传递函数来表示。为了解释得更加清晰，我们在推导过程中使用了三个变换变量：在 $1/T$ 采样区域使用 z，在 $1/LT$ 采样区域使用 $\xi=z^L$，在 M/T 采样区域使用 $\eta=z^{1/M}$。最终的结果只用 z 来表示。

13A.2 检相器的操作

PD 的方程为

$$U_d(z)=\kappa_d\theta_e(z) \tag{13A-1}$$

其中 κ_d 是以 rad^{-1} 为单位的 PD 增益，$\theta_e(z)=\theta_i(z)-\theta_o(z)$ 为 PD 输入端的相位误差的 z 变换。

13A.3 累加转储电路和环路滤波器

累加转储电路可以用一个产生 L 个等值的有限冲击响应(FIR)滤波器来建模，完全工作在 $1/T$ 的采样率下，后面跟一个 $L:1$ 的下采样器。上面这个滤波器的传递函数为

$$H_a(z)=1+z^{-1}+z^{-2}+\cdots+z^{-(L-1)}=\frac{1-z^{-L}}{1-z^{-1}} \tag{13A-2}$$

应当看到，它的 DC 响应为 $H_a(1)=L$。滤波器在单位圆上的频率响应为

$$H_a(e^{j\omega T})=e^{-j(L-1)\omega T/2}\frac{\sin(L\omega T/2)}{\sin(\omega T/2)}\qquad|\omega T|\leqslant\pi \tag{13A-3}$$

327

所以该滤波器的延迟为 $(L-1)T/2$，它的幅度响应为

$$|H_a(e^{j\omega T})|=\left|\frac{\sin(L\omega T/2)}{\sin(\omega T/2)}\right| \tag{13A-4}$$

幅度响应存在一些零值，它们位于 $f=\omega/2\pi=k/LT$，其中 $|k|<L/2, K\neq0$。下采样到 $1/LT$ 时的奈奎斯特折叠频率在 $1/2LT$ 的奇数倍上，即在两个零值之间的中心位置，因此所有的零值都折叠到 $f=0$ 上。

在下采样 $L:1$ 之后的累加转储电路的输出可以用 z 变换表示为[13.6]

$$U_a(\xi)=\frac{1}{L}H_a(\xi^{1/L})U_d(\xi^{1/L}) \tag{13A-5}$$

这个结果忽略了所有的混叠；关于混叠效应，可参阅参考文献[13.6，等式(2.64)]。如果混叠不可忽略，一般就不应使用下采样。环路滤波器的传递函数 $F(\xi)$[13.6] 为

$$U_f(\xi)=U_a(\xi)F(\xi)=\frac{1}{L}U_d(\xi^{1/L})H_a(\xi^{1/L})F(\xi) \tag{13A-6}$$

对于图13-5中的比例加积分的环路滤波器,环路滤波器的传递函数为

$$F(\xi)=\kappa_1\left(1+\frac{\kappa_2\xi^{-1}}{1-\xi^{-1}}\right) \tag{13A-7}$$

13A.4 保持操作

保持电路的操作等效于1∶LM的上采样,其中在每两个间隔为LT的输入样点之间插入间隔为T/M的($LM-1$)个零值样点,在这之后为一个LM抽头的FIR滤波器$H_f(\eta)$,每个抽头的权数为1。经过上采样和滤波后的信号可表示为

$$U_c(\eta)=U_f(\eta^{LM})H_h(\eta) \tag{13A-8}$$

其等效FIR滤波器的传递函数为

$$H_h(\eta)=\frac{1-\eta^{-LM}}{1-\eta^{-1}} \tag{13A-9}$$

这个形式与累加转储电路滤波器的形式是一样的,但抽头数目不同。

评注: Crochiere和Rabiner[13,6]指出,在上采样之后的插值滤波器一般是时变的,因而不能用一个简单的传递函数来表示。零阶保持电路的等效滤波器却是一个例外,也许是独一无二的例外,这就是,它可以表示为时不变的传递函数,如13A.7节中那样。

328

13A.5 NCO、相位旋转器和M∶1下采样

由NCO和正弦余弦电路产生的相位$\theta_o(\eta)=2\pi\varepsilon_o(\eta)$可表示为

$$\theta_o(\eta)=2\pi U_c(\eta)\frac{\eta^{-1}}{1-\eta^{-1}} \tag{13A-10}$$

其中假设在式(4-4)和式(4-9)中定义的NCO增益为$\kappa_v=1$。相位误差为

$$\theta_e(\eta)=\theta_i(\eta)-\theta_o(\eta) \tag{13A-11}$$

等式(13A-10)和式(13A-11)是正确的,而且对只有一个采样率的PLL是令人满意的,但在图13-7中的DPLL这个特定的情况则不适用了。尤其是,我们尚不清楚在$1/T$采样率下的$\theta_e[n]$的z变换式是如何根据在M/T采样率下的$\theta_i(\eta)$和$\theta_o(\eta)$的信息来确定的。

图13A-1的模型是为了提供一个简化的近似模型而提出的。图13A-1引入了两个重要的假想:(1)在信号通路中有一个假想的上采样器,(2)把1∶LM的保持电路分裂为两个假想的保持电路。首先来考虑假想的上采样器。假设在M/T采样率下的输入序列$\{\theta_i[m]\}$是对采样率为$1/T$的序列$\{\theta_i[n]\}$进行1∶M的上采样而产生的。大概不会有任何接收器会使用这种结构;假想的上采样器只是一个分析手段。序列$[\cdots,\theta_i[n],\theta_i[n+1],\cdots]$则变成$[\theta_i[n],\theta_i[n+1/M],\theta_i[n+2/M],\cdots,\theta_i[n+(M-1)/M],\theta_i[n+1],\cdots]$。这个模型的意思是,对于$k=0$,则有$\theta_i[n]$被未作改动地保留在$\theta_i[n+k/M]$中,这个性质是一般的采样率扩展器(sampling-rate expander)所没有的。这对于处理θ_i是没有影响的,因为接收器保持了时间间隔T内的所有M个样点;在上采样之前的假想的$\theta_i[n]$值是无关紧要的。

接下来把1∶LM的保持过程分裂为一个1∶L的保持电路,后面再跟一个1∶M的保持电路。1∶L保持电路以$1/T$的采样率给出输出样点,所以这些样点可以给予

序号 n(与 PD 的输入输出样点一样),因而 z 也就成了相应的变换变量。把这些假想的样点表示为 $u_{cL}[n]$;它们的 z 变换为

$$U_{cL}(z)=U_{f}(z^{L})\frac{1-z^{-L}}{1-z^{-1}}=U_{f}(z^{L})H_{a}(z) \tag{13A-12}$$

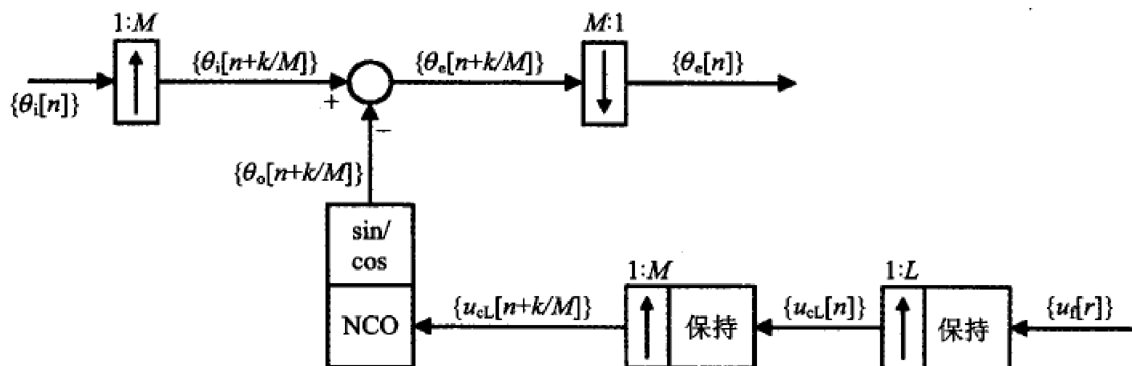


图 13A-1 保持电路的操作模型

而在 13A.7 节中导出的等效插值滤波器的传递函数是与式(13A-2)的累加转储滤波器完全相同的。

现在的 $u_c[m]$变成了 $u_{cL}[n]$经过 1:M 上采样和 M 折叠之后的重复形式。$\theta_o[m+1]=\theta_o[m]+2\pi u_c[m]$是正确的,但 $\theta_o[n+1]=\theta_o[n]+2\pi M u_{cL}[n]$也是正确的,因为 $u_{cL}[n]$经过了 M 次重复折叠,虽然 $u_{cL}[n]$是假想的。这个简单的关系是由于零阶保持的原因,也许不能用于任何其他的插值滤波器。相应的 z 变换式为

$$\theta_o(z)=\frac{2\pi M z^{-1}U_{cL}(z)}{1-z^{-1}} \tag{13A-13}$$

(这个公式忽略了 1:M 保持操作的等效滤波器的大约 $T/2$ 的延迟,这个延迟可以合并到任何其他最终需要考虑的延迟中。)

无记忆相位旋转器的效应,简单地是从 $\theta_i[m]$中减去 $\theta_o[m]$以得到 $\theta_e[m]$;这里没有任何滤波操作。经过 M:1 下采样后的旋转输出样点为

$$\theta_e[n]=\theta_i[n]-\theta_o[n] \tag{13A-14}$$

它的 z 变换式为

$$\theta_e(z)=\theta_i(z)-\theta_o(z) \tag{13A-15}$$

关于 M:1 下采样器的几个问题值得点评。首先,下采样器是如何在 M 个样点中选择一个好样点而抛弃所有其他样点的?这个选择是在定时恢复操作中完成的,这个题目值得用几章或一整本书来做合适的叙述,但不在这里讨论。其次,图 13-7 和图 13-8 中在 M:1 的信号下采样器之前没有加抗混叠滤波器。实际的接收器在相位旋转器之前或之后是有滤波器的,但这些滤波器对信号的相位没有什么影响,因为信号相位被认为与符号速率相比是缓慢变化的。最后一点,任何置于旋转器之后的滤波器是在反馈环路内的,所以它们的延迟必须被并入总的环路延迟中。

13A.6 传递函数

图 13A-2 把本附录前面几小节中取得的信息集合在了一起，并表示为一个以$\theta_e(z)$为输入和以 $\theta_o(z)$为输出的开环环路。与每个功能框或信号相连的圆括号表示所使用公式的编号。与前面所说的唯一不同点是，延迟 D 已被并入到 NCO 和正弦余弦电路之中；式(13A-13)是以 $D=1$ 写出的。

330

用 z^L 代替以 $1/LT$ 为采样率的功能块中的 ξ，并把所有等式联合起来，就得到开环传递函数

$$G(z)=\frac{\theta_o(z)}{\theta_e(z)}=\frac{2\pi M\kappa_d z^{-D}}{L(1-z^{-1})}F(z^L)[H_a(z)]^2$$
$$=\frac{2\pi M\kappa_d z^{-D}}{L(1-z^{-1})}F(z^L)\left(\frac{1-z^{-L}}{1-z^{-1}}\right)^2 \tag{13A-16}$$

根据式(4-11)，比例与多积分器的环路滤波器的传递函数可以写为

$$F(z^L)=\kappa_1\left\{1+\frac{\kappa_2 z^{-L}}{1-z^{-L}}\left[1+\frac{\kappa_3 z^{-L}}{1-z^{-L}}(1+\cdots)\right]\right\} \tag{13A-17}$$

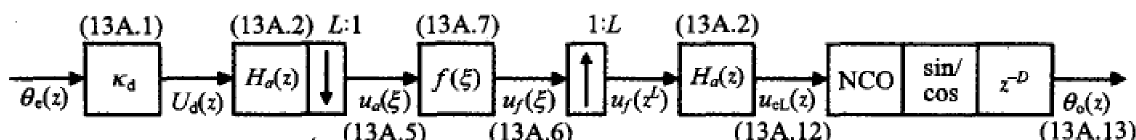


图 13A-2 多速率 DPLL 的开环模型

其中增益 κ_1 为比例通路的。依照 3B-2 节的做法，式(13A-2)的滤波器 $H_a(z)$可以解释为一个 DC 增益 $H_a(1)=L$ 的低通滤波器。把这些因子结合起来，就可把环路增益 κ 定义为

$$\kappa=\frac{2\pi M[H_a(1)]^2\kappa_d\kappa_1}{L}=2\pi ML\kappa_d\kappa_1 \tag{13A-18}$$

由此，开环传递函数的形式为

$$G(z)=\frac{\kappa z^{-D}}{1-z^{-1}}\frac{F(z^{-L})}{\kappa_1}\frac{[H_a(z)]^2}{L^2}$$
$$=\frac{\kappa z^{-D}F(z^L)}{\kappa_1 L^2(1-z^{-1})}\left(\frac{1-z^{-L}}{1-z^{-1}}\right)^2 \tag{13A-19}$$

对于 2 类 DPLL，传递函数 $F(z^L)$由式(13A-7)给出，因而得到开环传递函数为

$$G(z)=\frac{\kappa z^{-D}}{L^2(1-z^{-1})}\left(1+\frac{\kappa_2 z^{-L}}{1-z^{-L}}\right)\left(\frac{1-z^{-L}}{1-z^{-1}}\right)^2$$
$$=\frac{\kappa z^{-D}[1-z^{-L}(1-\kappa_2)](1-z^{-L})}{L^2(1-z^{-1})^3}$$
$$=\frac{\kappa z^{-D}[1-z^{-L}(1-\kappa_2)](1+z^{-1}+z^{-2}+\cdots+z^{-(L-1)})}{L^2(1-z^{-1})^2} \tag{13A-20}$$

331

这个 PLL 在 $z=(1-\kappa_2)1/L\approx1-\kappa_2/L$ 处有一个实数零点，它的$(L-1)$个复数零点位于单位圆上的 $\omega=2\pi q/LT$ 处，其中$|\omega T|\leqslant\pi$，q=整数$\neq0$。

闭环系统的传递函数为

$$H(z)=\frac{G(z)}{1+G(z)}$$

$$=\frac{\kappa z^{-D}[1-z^{-L}(1-\kappa_2)](1+z^{-1}+z^{-2}+\cdots+z^{-(L-1)})/L^2}{(1-z^{-1})^2+\kappa z^{-D}[1-z^{-L}(1-\kappa_2)](1+z^{-1}+z^{-2}+\cdots+z^{-(L-1)})/L^2} \quad (13A\text{-}21)$$

而闭环的误差传递函数为

$$E(z)=\frac{1}{1+G(z)}$$

$$=\frac{(1-z^{-1})^2}{(1-z^{-1})^2+\kappa z^{-D}[1-z^{-L}(1-\kappa_2)](1+z^{-1}+z^{-2}+\cdots+z^{-(L-1)})/L^2} \quad (13A\text{-}22)$$

这个 PLL 的阶数为$(2L+D-1)$，而非二阶。这个环路只在 L 取最小值 $L=1$ 时（即没有累加转储电路）和延迟取最小值 $D=1$ 时才是二阶的。

13A.7 保持滤波器的传递函数

一个 L 次重复的零阶保持电路以 $1/LT$ 的速率接受输入序列$\{x[r]\}$，并以 $1/T$ 的速率给出输出序列$\{y[n]\}$。上采样器在相邻的两个输入样点之间插入$(L-1)$个等间隔的零值的输出样点，而单位冲击响应为 $h[k]$的滤波器对于每一个 r 样点则给出 L 个输出样点，其中 r 样点的时间间隔为 T，数值为 $x[r]$。这个单位冲击响应被定义为

$$h[k]=\begin{cases}1, & k=0\sim(L-1)\\0, & k\neq 0\sim(L-1)\end{cases} \quad (13A\text{-}23)$$

从参考文献[13.6，等式(2.78)]可以得到

$$y[n]=\sum_{r=-\infty}^{\infty}h[n-rL]x[r] \quad (13A\text{-}24)$$

也就是，对于$(n=rL,rL+1,\cdots,rL+L-1)$，$y[n]=x[r]$。$y[n]$的 z 变换式为

$$Z\{y[n]\}=\sum_{r=-\infty}^{\infty}\sum_{n=rL}^{(r+1)L-1}x[r]z^{-n}=\sum_{r=-\infty}^{\infty}x[r]\sum_{n=rL}^{(r+1)L-1}z^{-n}$$

$$=\sum_{r=-\infty}^{\infty}x[r]\sum_{k=0}^{L-1}z^{-(k+rL)}=\sum_{r=-\infty}^{\infty}x[r]z^{-rL}\sum_{k=0}^{L-1}z^{-k}$$

$$=\frac{1-z^{-L}}{1-z^{-1}}\sum_{r=-\infty}^{\infty}x[r]z^{-rL}=\frac{1-z^{-L}}{1-z^{-1}}X(z^L) \quad (13A\text{-}25)$$

332

参考文献

13.1 W. C. Lindsey and C. M. Chie, "A Survey of Digital Phase-Locked Loops," *Proc. IEEE* ***69***, 410–431, Apr. 1981. Reprinted in [13.2].

13.2 W. C. Lindsey and C. M. Chie, eds., *Phase-Locked Loops*, Reprint Volume, IEEE Press, New York, 1986.

13.3 F. D. Natali, "Accurate Digital Detection of Angle-Modulated Signals," *IEEE EASCON Conv. Rec.*, 407–413, 1968. Reprinted in [13.2].

13.4 G. S. Gill and S. C. Gupta, "First-Order Discrete Phase-Locked Loop with Applications to Demodulation of Angle-Modulated Carrier," *IEEE Trans. Commun.* ***COM-25***, 454–462, June 1972. Reprinted in [13.2].

13.5 A. Weinberg and B. Liu, "Discrete Time Analyses of Nonuniform Sampling First- and Second-Order Digital Phase Lock Loops," *IEEE Trans. Commun.* ***COM-22***, 123–137, Feb. 1974.

13.6 R. E. Crochiere and L. R. Rabiner, *Multirate Digital Signal Processing*, Prentice Hall, Englewood Cliffs, NJ, 1983.

13.7 P. P. Vaidyanathan, *Multirate Systems and Filter Banks*, Prentice Hall, Englewood Cliffs, NJ, 1993.

13.8 F. M. Gardner, "Interpolation in Digital Modems, Part I: Fundamentals," *IEEE Trans. Commun.* ***41***, 501–507, Mar. 1993.

13.9 L. Erup, F. M. Gardner, and R. A. Harris, "Interpolation in Digital Modems, Part II: Implementation and Performance," *IEEE Trans. Commun.* ***41***, 998–1008, June 1993.

13.10 U. Mengali and A. N. D'Andrea, *Synchronization Techniques for Digital Receivers*, Plenum Press, New York, 1997, Sec. 7.3.

13.11 H. Meyr, M. Moeneclaey, and S. Fechtel, *Digital Communication Receivers*, Wiley, New York, 1998, Chap. 9.

13.12 W. C. Lindsey and C. M. Chie, "Acquisition Behavior of a First-Order Digital Phase-Locked Loop," *IEEE Trans. Commun.* ***COM-26***, 1364–1370, Sept. 1978.

13.13 H. C. Osborne, "Stability Analysis of an *N*th Power Digital Phase-Locked Loop, Part I: First-Order PLL," *IEEE Trans. Commun.* ***COM-28***, 1343–1354, Aug. 1980. Reprinted in [13.2].

13.14 H. C. Osborne, "Stability Analysis of an *N*th Power Digital Phase-Locked Loop, Part II: Second- and Third-Order DPLLs," *IEEE Trans. Commun.* ***COM-28***, 1355–1364, Aug. 1980. Reprinted in [13.2].

13.15 G. M. Bernstein, M. A. Lieberman, and A. J. Lichtenberg, "Nonlinear Dynamics of a Digital Phase Locked Loop," *IEEE Trans. Commun.* ***37***, 1062–1070, Oct. 1989.

13.16 A. V. Oppenheim and R. W. Schafer, *Digital Signal Processing*, Prentice Hall, Englewood Cliffs, NJ, 1975, Chap. 9.

13.17 L. R. Rabiner and B. Gold, *Theory and Application of Digital Signal Processing*, Prentice-Hall, Englewood Cliffs, NJ, 1975, Sec. 5.3.2.

13.18 *Digital Signal Processing, II*, Part 4C, "Limit Cycles," Reprint Volume, IEEE Press, New York, 1976.

333 13.19 J. G. Proakis and D. G. Manolakis, *Introduction to Digital Signal Processing*, Macmillan, New York, 1988, Sec. 10.4.1.

13.20 J. C. Candy and G. C. Temes, eds., *Oversampling Delta-Sigma Data Converters*, Reprint Volume, IEEE Press, New York, 1992.

13.21 S. R. Norsworthy, R. Schreier, and G. C. Temes, eds., *Delta-Sigma Data Converters*, Reprint Volume, IEEE Press, New York, 1997.

13.22 M. Bertocco, C. Narduzzi, P. Paglierani, and D. Petri, "A Noise Model for Digitized Data," *IEEE Trans. Instrum. Meas.* ***IM-49***, 83–86, Feb. 2000.

13.23 N. M. Blachman, "The Intermodulation and Distortion Due to Quantization of Sinusoids," *IEEE Trans. Acoust. Speech Signal Process.* ***33***, 1417–1426, Dec. 1985.

13.24 R. M. Gray, "Quantization Noise Spectra," *IEEE Trans. Inf. Theory* ***IT-36***, 1220–1244, Nov. 1990.

13.25 R. M. Gray and D. L. Neuhoff, "Quantization," *IEEE Trans. Inf. Theory* ***IT-44***, 2325–2383, Oct. 1998.

13.26 M. F. Wagdy, "Effect of Various Dither Forms on Quantization Errors of Ideal A/D

Converters," *IEEE Trans. Instrum. Meas.* ***IM-38***, 850–855, Aug. 1989.

13.27 M. F. Wagdy and M. Goff, "Linearizing Average Transfer Characteristics of Ideal ADC's via Analog and Digital Dither," *IEEE Trans. Instrum. Meas.* ***IM-43***, 146–150, Apr. 1994.

13.28 B. Widrow, I. Kollar, and M. C. Liu, "Statistical Theory of Quantization," *IEEE Trans. Instrum. Meas.* ***IM-45***, 353–361, Apr. 1996.

13.29 N. A. D'Andrea and F. Russo, "Multilevel Quantized DPLL Behavior with Phase- and Frequency Step Plus Noise Input," *IEEE Trans. Commun.* ***COM-28***, 1373–1382, Aug. 1980.

13.30 C. A. Pomalaza-Raez and C. D. McGillem, "Digital Phase-Locked Loop Behavior with Clock and Sampler Quantization," *IEEE Trans. Commun.* ***COM-33***, 753–759, Aug. 1985.

13.31 F. M. Gardner, "Frequency Granularity in Digital Phaselock Loops," *IEEE Trans. Commun.* ***44***, 749–758, June 1996.

13.32 A. Teplinsky, O. Feely, and A. Rogers, "Phase-Jitter Dynamics of Digital Phase-Locked Loops," *IEEE Trans. Circuits Syst. I* ***46***, 545–558, May 1999.

13.33 A. Teplinsky and O. Feely, "Phase-Jitter Dynamics of Digital Phase-Locked Loops, Part II," *IEEE Trans. Circuits Syst. I* ***47***, 458–473, Apr. 2000.

13.34 J. R. Cessna and D. M. Levy, "Phase Noise and Transient Times for a Binary Quantized Digital Phase-Locked Loop in White Gaussian Noise," *IEEE Trans. Commun.* ***COM-20***, 94–104, Apr. 1972.

13.35 J. K. Holmes, "Performance of a First-Order Transition Sampling Digital Phase-Locked Loop Using Random-Walk Models," *IEEE Trans. Commun.* ***COM-20***, 119–131, Apr. 1972. Reprinted in [13.38].

13.36 J. J. Ransom and S. C. Gupta, "Performance of a Finite Phase State Bit-Synchronization Loop with and Without Sequential Filters," *IEEE Trans. Commun.* ***COM-23***, 1198–1206, Nov. 1975.

13.37 N. A. D'Andrea and F. Russo, "A Binary Quantized Digital Phase Locked Loop: A Graphical Analysis," *IEEE Trans. Commun.* ***COM-26***, 1355–1363, Sept. 1978.

334

13.38 W. C. Lindsey and M. K. Simon, eds., *Phase-Locked Loops and Their Application*, Reprint Volume, IEEE Press, New York, 1978.

13.39 H. Yamamoto and S. Mori, "Performance of a Binary Quantized All Digital Phase-Locked Loop with a New Class of Sequential Filter," *IEEE Trans. Commun.* ***COM-26***, 35–44, Jan. 1978.

13.40 R. C. Walker, "Designing Bang-Bang PLLs for Clock and Data Recovery in Serial Data Transmission Systems," in B. Razavi, ed., *Phase-Locking in High-Performance Systems*, Reprint Volume, IEEE Press, New York, and Wiley, New York, 2003, pp. 34–45.

13.41 F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers," *IEEE Trans. Commun.* ***COM-34***, 423–429, May 1986.

13.42 D. E. Calbaza and Y. Savaria, "A Direct Digital Period Synthesis Circuit," *IEEE J. Solid-State Circuits* ***SC-37***, 1039–1045, Aug. 2002.

335

13.43 N. Da Dalt, "A Design-Oriented Study of the Nonlinear Dynamics of Digital Bang–Bang PLLs," *IEEE Trans. Circuits Syst. I* ***52***, 21–31, Jan. 2005.

第 14 章　异常锁定

前面的章节描述了由环路的不稳定性、噪声太大或信号的相位或频率变化过快等原因而引起的各种锁定失败。本章将集中讨论几个使 PLL 锁定在错误的相位或频率上的问题。此外还要指出一个锁定失败的机理,并提出避免这些问题的一些建议技术。

14.1　边带锁定

有些信号中会包含一些边带信号的离散谱线;这些离散谱线可以是由周期性的调制分量产生的,也可以是由信号的非线性操作产生的。对后者信号的调制叫做*循环稳定*(cyclostationary)(调制的统计特性是周期性的)。调制到载波上的数据流是循环稳定的主要例子。带宽充分小的 PLL 可以锁定到任何遇到的、有恰当幅度的离散谱线上,无论这条谱线是所需要锁定的载波,还是一条会引起不希望的错误锁定的周期性边带谱线。锁定到边带分量上的被叫做*边带锁定*(sidelock),这种情况是应当避免的。

已知的避免边带锁定的技术不多。其中的一种技术是把 PLL 的调谐范围限制在对已调信号指定的很窄的载波频率附近。这个限制的调谐范围必须不可以接近最近的周期性边带,以免 PLL 落入边带中。如果频率的不确定性超过了载波与最邻近的可锁定边带之间频率差的一半,那么这种方法是不可行的。

336

另一种技术是,在锁相进行之前先使用一个锁频环路(FLL)实现频率捕获。要求 FLL 把起始频率误差减小到正确载波频率的一个很小的邻域内。当 VCO 频率位于输入信号、噪声与干扰的合成功率谱的重心的时候,一般的频差鉴频器会指示出频率误差为零。如果所需信号的强度明显大于任何伴随的噪声或干扰,如果所需信号的谱是关于载波频率对称的,如果信号谱没有因为滤波器或多条通路而产生失真,那么 FLL 就可以稳定在载波频率的附近。否则,平衡时的 FLL 频率将因存在偏置而偏离载波。

作为一项颇为复杂的技术,可以对接收到的一段信号做谱分析。载波可以用已知的谱特性来识别,然后 PLL 如有必要就重新调谐到所需的载波上。使用这样的操作完全与具体的应用有关。

再一种技术是在捕获锁定后对已解调信号进行考察,并确定(该方法与具体信号密切相关)是否已经正确锁定。如果锁定得不正确,就开始在较高(低)频率上搜索出另一个可锁定的频率分量。这样的搜索要一直到已经确认出正确锁定时才结束。

我尚不清楚这后两种方法是否有成功的例子。

14.1.1 周期性调制

周期性调制的一些例子包括：

- 周期性单音被振幅或角度调制到载波上；
- 彩电信号的同步脉冲，每水平行出现一次[14.1]；
- 来自相干雷达的 RF 脉冲。

上面的每种信号源的频谱都由一个载波和成对的离散频率边带组成。频率间距等于调制频率。对于突发信号或脉冲信号，边带的幅度取决于占空比：即脉冲（突发信号）宽度与重复周期之比。当占空比很小时，紧靠载波的边带的幅度只略小于载波。

注释：在脉冲式（或突发式）信号中，一个脉冲与下一个脉冲的相位必须是相干的，只有这样，对一连串脉冲保持相位锁定才有意义。相干性必须要求发送器中的信号源振荡器是连续运行的，而且对发送器中振荡器的接通与断开必须在振荡器之后进行。如果对振荡器进行开关，那么脉冲之间的信号相位就不相干，因此接收器中的 PLL 必须要对每个脉冲都重新进行一次相位捕获。这个问题与边带锁定问题完全不同。

337

在 Richman[14.1]的关于彩色电视的彩色基准的经典文章中，他同时使用了对 PLL 限制调谐范围和使用自动调相器（8.3.4 节）进行频率辅助捕获的两种方法。Eisenberg[14.3]、Mengali[14.4]和 Schiff[14.5]探讨了门控 PLL 的各方面问题；所谓门控 PLL 是只在突发信号与脉冲信号存在时才开启使用的 PLL。如果占空比很小，那么 PLL 就是一个采样系统，因而必须像采样系统那样进行分析。Eisenberg[14.3]集中讨论了门控 PLL 的采样性质。Mengali[14.4]探讨了噪声分析。Schiff[14.5]提出了一些为使二阶 1 类 PLL 避免边带锁定的形式上的设计条件。

一个门控 PLL 必须在断开时间内精确地保持信号的性质，而且在接通与断开之间切换时所产生的扰动必须可以忽略。为了做到对信号的精确保持，要求在接通时间内精确地设定好对频率的记忆，而且在断开时间内的漂移很小。我们建议使用 2 类 PLL，是因为它在接通时间内的稳态相位误差为零（意思是所有的频率信息已被全部存储在积分器中），因而当断开时间内输入为零时，积分器就可以很好地保持这些电荷。非常重要的是，在断开时间内使积分器上的频率记忆与 DC 失调隔开、与噪声或干扰隔开以保持频率信息。很小的占空比对保持操作的品质提出了严格的要求。

14.1.2 循环平稳调制

已经有大量的文章[14.6~14.10]讨论了由通带数据信号引起的边带锁定问题。从本质上讲，这种信号是一个以 $1/T$ 为均匀符号速率的数据流，而且这些数据流的频率通过抑制载波的调制而被平移到了载波频率 f_c 上。几乎所有这些文章都把这样的错误锁定的现象叫做假锁定（false lock），但他们实际上所讨论的是边带锁定。假锁定这个术语应当更正确地属于另一类完全不同的现象，这将在 14.4 节中讨论。

具有零均值随机数据调制的抑制载波信号，在它的谱中一般是没有离散谱线的。这种数据调制和RF周期都是循环平稳的，这个性质可以使载波信号和符号的定时控制从下面这样的信号中恢复出来，即，这种信号既不包含符号速率下的载波分量，也不包含符号速率下的离散边带分量。

对于一个MPSK信号，即以M个均匀相位间隔进行调制的信号，载波恢复电路是可能边带锁定到载波频率f_c两侧的$1/MT$整倍数的频率上的，而不锁定到所希望的载波本身的频率上。所有上面提到的文章都试图通过对载波恢复电路内部的详细操作的分析来解释这个行为。这些分析是不错的，但他们把另外一个观点弄得模糊了，而这另外的观点是可以更简单地解释边带锁定发生的原因。这些文章分析了*Costas*环路（一种载波恢复的常用技术）和其他类似的在检相器中包含非线性操作的PLL。在从抑制载波信号中恢复出载波信号的过程中，就必然会有非线性操作。

338

我们不再去仔细研究载波恢复检相器，而是来考虑图14-1中的这个载波再生电路。一个载波频率为f_c的抑制载波数据信号$r(t)$被接收到，并加到一个带通滤波器上，这个滤波器的作用是滤去通带外的噪声和干扰。滤波器输出的、在载波频率f_c上的$s(t)$被送到M倍频器。M倍频器的核心是一个至少M阶的无记忆的非线性器件。（比如，取绝对值这种严重非线性的器件通常是用得到的。）倍频器的输出$u(t)$位于Mf_c的频率上。而且，调制相位也被乘上了M，这等效于把所有M个输入相位旋转后重合在同一个相位上。就是这个非线性操作从没有载波分量的信号中再生出离散的载波分量。倍频器的输出$u(t)$被送到一个常用的PLL，这个PLL被用作窄带滤波器，以抑制加性噪声和再生电路自己产生的噪声，并在VCO上输出一个干净的频率等于Mf_c的信号。VCO的输出被加到一个$1/M$分频器上，并产生一个频率为f_c的信号$v(t)$，然后再把信号$v(t)$用于数据信号的相干解调。

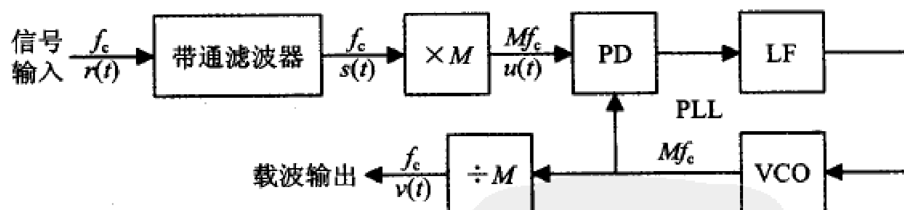


图14-1 载波再生电路

除了从载波抑制信号中再生出载波分量外，非线性的交叉调制也会在Mf_c两侧再生出频率等于符号速率$1/T$的整倍数的离散谱分量。在M分频之后，这些离散谱分量变成位于载波频率f_c两侧的$1/MT$整数倍的频率上。图14-2表示了一个4PSK信号通过一个四次方非线性之后的仿真谱$s(t)$和$u(t)$。在$s(t)$谱中显然所有的离散谱分量都不存在了，而在$u(t)$谱中，由于频谱的扩展，在$4f_c$处的离散载波分量和在$(4f_c\pm 1/T)$处的符号速率谱线是明显可见的。图14-2b中仅出现一对符号速率的谱线，是因为这个例子中的信号的带宽是严格限制在小于$2/T$的RF带宽内。其他的邻近分量因

太小而看不见，由于严格带限的原因，再向外就不存在任何分量了。如果输入信号不是这样严格带限的话，那么其他一些以符号速率为间距的分量也许会出现在 $u(t)$ 谱中。

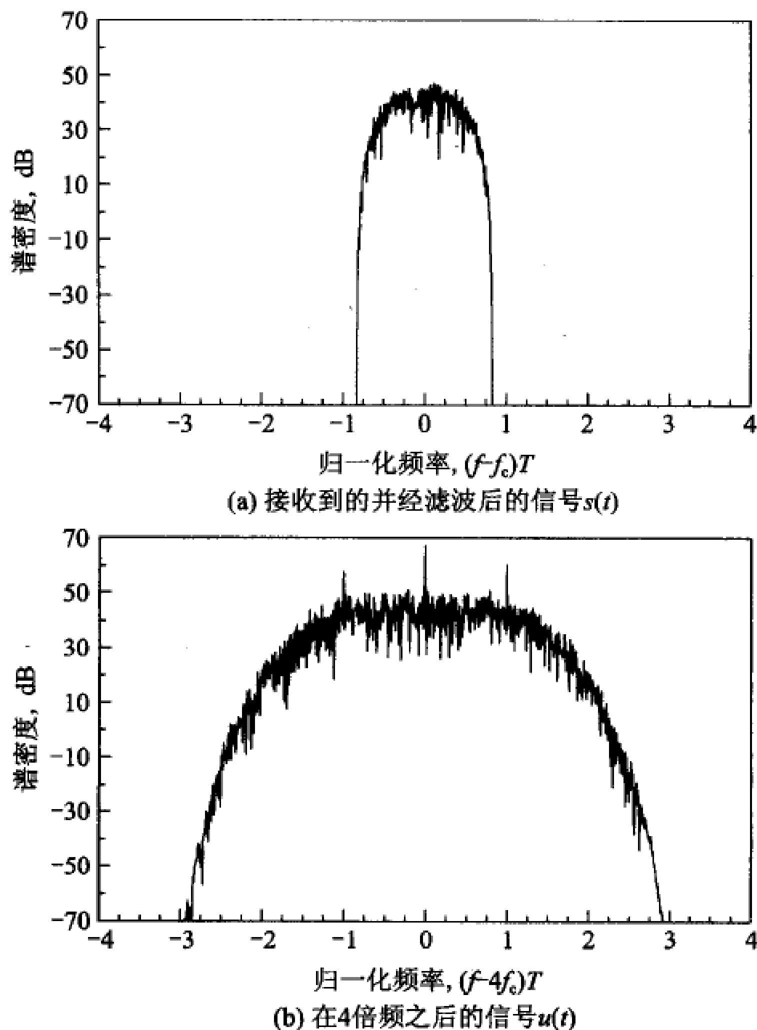


图 14-2 一个 4PSK 信号的仿真谱。应当注意(b)中的那些再生谱线：载波位于零频处，而符号速率的边带谱线位于±1 处(摘自[14.11])

几乎不变的是，PLL 的带宽总是小于 $1/MT$；如果 PLL 调谐到其中任何一个有充分振幅的谱分量，那么 PLL 将锁定到这个谱分量的频率上。这些都是边带锁定的现象，即使输入信号 $r(t)$ 中没有离散频率边带的时候。那么，再生行为是如何与带有非线性检相器的 PLL(比如在参考文献中讨论的 Costas 环路)关联起来的呢？我们可以指出，带有非线性 PD 的 PLL 的性能，从数学上看是与具有等效非线性的再生器相同的。例如，由 I 信道与 Q 信道相乘而引起非线性的经典 Costas 环路(用于 2PSK 信号)，我们可以容易地证明其性能与一个平方律非线性的再生电路的性能相同：这种性能叫*平方律环路*[14.12]。我们可以把一个非线性 PD 想像为图 14-1 中的非线性的 M 倍

频器、常用检相器和 $1/M$ 分频器的一个不可分割的组合。虽然这个模型是夸张的，但图14-2中出现的那些时钟谱线可以用来非常快地解释所观察到的边带锁定现象，相比之下，对具有非线性PD的PLL的微观行为的详细分析则是慢得太多了。

339～340

14.1.3　混叠锁定

许多使用在载波同步器中的非线性检相器是以采样方式工作的，而且一般工作于符号速率 $1/T$ 上。这个采样会引起输入信号的混叠，尤其当信号带宽远大于 $1/T$ 时，这个混叠会特别严重。因混叠而导致的异常锁定在参考文献[14.13～14.15]中做了分析。混叠锁定(Alias Lock)与边带锁定加在一起，可以产生许多个可能错误锁定的频率。

14.2　谐波锁定

在合适的条件下，PLL可以锁定到输入信号频率 f_i 的一个谐波分量上，这是本节要讨论的内容。VCO的锁定频率 f_o 可以是信号的一个次谐波($f_o=f_i/M$)、一个谐波($f_o=Nf_i$)或一个分数谐波($f_o=Nf_i/M$)，其中 N 和 M 是互质的整数。锁定的能力(如果你需要谐波锁定)或锁定的易锁性(如果你不希望谐波锁定)取决于检相器和所加信号的性质。

我们来考虑一个用作检相器的理想乘法器。假设加到PD上的两个信号都是周期性的，但不一定是正弦波。由于是周期性的，所以每个信号都可以分解为整数倍于基频的正弦傅里叶级数。PD对两个傅里叶级数中所有项做两两相乘；PD的输出是这些乘积之和。当且仅当乘积中的两项频率相同时，才出现位于DC的零次积。每个乘积的幅度取决于傅里叶级数项的大小和它们的相位差。一个乘积的大小是两个级数项之间相角的正(余)弦函数，它的周期相同于每一项的周期。这个正(余)弦函数就构成了PLL可以锁定其上的 s 曲线。

作为一个例子，我们假设乘法器的一个输入是方波，另一个是正弦波。常用的开关型PD(10.1.1节)从行为来说是等效的。一个方波包含了它的基频的所有奇次谐波，所以本例中的PLL可以锁定到输入信号频率的所有奇次的次谐波上。作为另一个例子，我们假设PD的两个输入均为方波。(异或门的PD是这个情况的实际实现方法。)因而，所有奇数 N 和 M 的分数次谐波 $f_o=Nf_i/M$ 都是可能的锁定频率。第三个例子是，一个采样的检相器在它的用以驱动采样器的脉冲信号流中包含所有的偶数和奇数谐波。采样PD可以对其中的任何一个谐波产生 s 曲线。

通过对两种输入信号所共有的谐波的考察，可以容易地理解乘法器PD对谐波的操作。对于时序检相器则并非如此。经验指出，10.3节中常用的相频检测器(PFD)是不存在谐波锁定问题的，但其他的时序PD则不然。对于时序PD还没有得出一个简单的谐波锁定规则；每一种情况都需要付出艰苦的努力。

需要应对翻转边沿丢失的问题，使检相器用于位同步器时特别容易发生不希望的分数谐波锁定。这个说法同时适用于时序类 PD 和乘法器类 PD。 341

14.3 寄生锁定

前面几章中做过深入探讨的检相器都有行为规矩的 s 曲线。每条 s 曲线的每个周期都只有一个稳定平衡点，即只有一个斜率正确的过零点。这个良好的特性不是所有信号的所有 s 曲线都有的。有些特别的 PD 的 s 曲线和特别的信号形式可以有一个以上的稳定过零点，因而会出现锁定到错误相位上的寄生锁定(spurious lock)。

图 14-3 的例子是用于 16QAM 数据信号的载波相位误差检测器的，所使用的判决引导算法为 $u_d[n] = \mathrm{Im}\{c_n^* s[n]\}$，其中 $s[n]$为数据流中第 n 个符号样点的复数值，c_n^*为第 n 个符号的估算值的共轭复数。这个算法被广泛使用于 QAM 信号的检相器中。虽然这个例子的算法有一个数字化的公式，但模拟检相器也有相似的行为[14.16]。

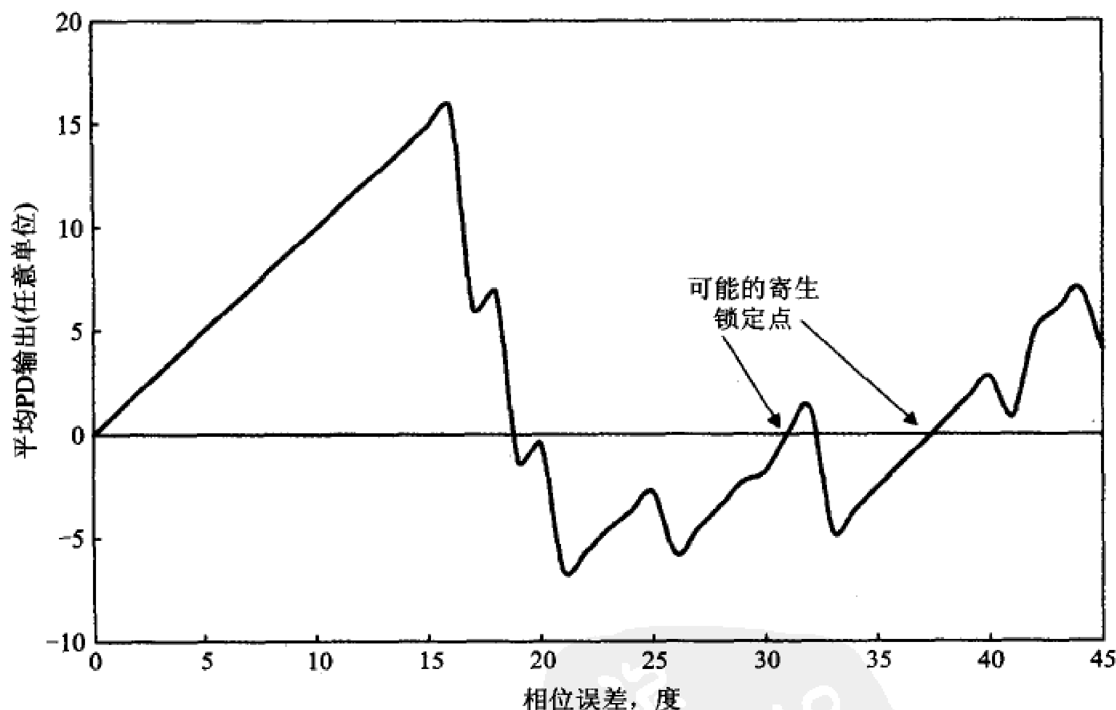


图 14-3 用于 16QAM 信号的检相器 s 曲线的一个八分圆 s 曲线

图 14-3 中的 s 曲线只画出八分圆的情况。完整的 s 曲线可以把这个八分圆向左作反对称后，再在每个象限内周期性地重复而形成。(s 曲线以象限为周期，是所有以象限对称的信号所固有的。)这个 s 曲线上所希望的稳定过零点是在零相位误差。这个曲线在 16°之前是行为规矩的，但超过 16°之后，由于对符号值 c_n 的错误判断而引起较大的误差，使曲线突然变坏。出现判断上错误，是因为相位误差已经旋转了几个符号样点而进入到错误的判断单元。由于这些错误，最终的 s 曲线有两个寄生的正斜率过 342

零点，一个大约在31°，另一个大约在38°。如果PLL的相位在达到正确的0°过零点之前遇到其中的任何一个这样的过零点，那么PLL就会锁定在这个过零点上。

关于这些寄生过零点的可锁定相位范围，显然不像所希望的在零相位误差过零点的锁定范围那样宽，所以在存在扰动的情况下寄生锁定是比较弱的。在锁定捕获期间用一个适当速率的相位扫描（频率偏离）就会使相位误差掠过这些可能的寄生锁定而到达正确的锁定点。

另一个方法是对相位检测仅使用QAM星座（constellation）的一个子集（比如最内层的四个点），因而就得到一条没有寄生锁定的 s 曲线。另一个技术是先用一个比较简单的星座进行捕获（比如4QAM），这样也可以避免寄生锁定，然后在捕获到正确锁定后再切换到更大的星座。寄生锁定并不限定于数据信号的检相器；它也会出现在其他类型的检相器和信号上。设计工程师总应当了解PD的 s 曲线，以防止出现不希望的错误。

14.4　假锁定

前面几种异常锁定都是真正的锁定，虽然是锁定在错误的频率或相位上。本节要讨论的假锁定（false lock）根本就没有做到相位锁定，而是一种失常的拉入机理。假锁定可以完全阻止相位锁定。对假锁定的解释历来一直归结于反馈环路中的通带滤波器的相移，而这个通带滤波器是指锁相接收器的中频（IF）级内的通带滤波器。本节中将使用这个通带滤波器相移的分析方法，但应当知道，在PLL基带电路内的过多相移也会导致假锁定。

一个典型超外差锁相接收器的简化框图示于图14-4。频率为 f_1 的输入信号被下变频到标记为 f_3 的常规中频上。频率等于 f_3 的固定振荡器的输出与IF放大器的输出在检相器中进行比较；环路是通过环路滤波器、VCO、倍频器和混频器而闭合的。在前面几章讨论过的这类简单的锁相环经常被叫做*短环路*；图14-4中比较复杂的环路被叫做*长环路*，其理由是显而易见的。

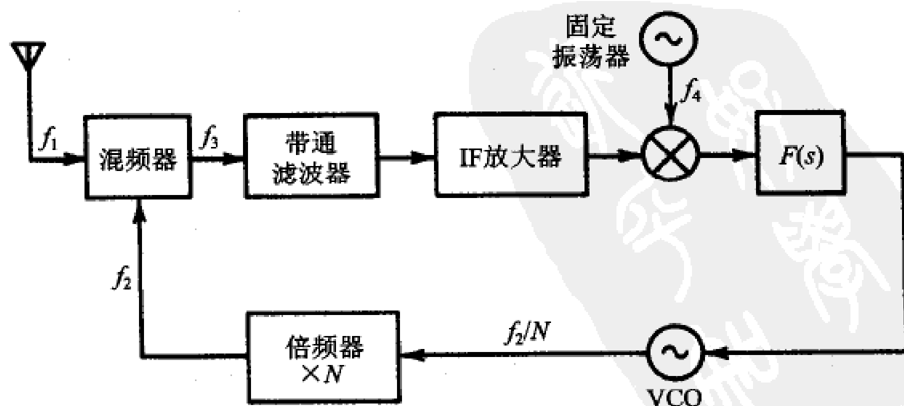


图14-4　长环路锁相接收器

14.4.1 IF 滤波器的分析

窄带 IF 滤波器往往被用来给检相器提供满意的信噪比(见 10.4.2 节)。假锁定曾使早期的设计者感到迷惑不解,他们观察到这些假锁定发生在使用陡峭过渡区的窄带 IF 滤波器的锁相接收器中。为了弄清假锁定是如何产生的,首先必须设计一种方法,以便能够把 IF 带通滤波器引入到 PLL 的线性分析中去。为此,我们来考虑图 14-5 中这样一个假想的测试结构。图中的滤波器将对测试信号的调制产生什么样的影响呢?我们特别希望调制输出的振幅与相位应当是调制频率的一个函数。

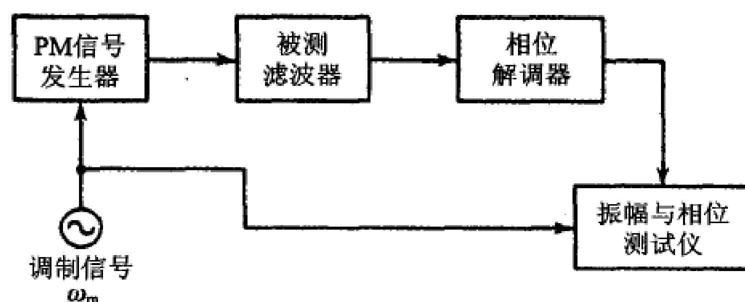


图 14-5 用于测量调制传递函数 $F_m(s)$ 的测试结构

我们现在只是说,这个调制结果可以表示为一个调制传递函数,并标记为 $F_m(s)$,但不做证明。如果滤波器是窄带的、通带对称的,信号发生器调谐在滤波器的中心频率上,并且调制偏离非常小,那么单边调制传递函数的近似式可以通过把实际的滤波器传递函数搬移到零频,并丢弃负频率的响应来得到,如图 14-6 所示。参考文献[14.17]中推导了等效的双边响应。

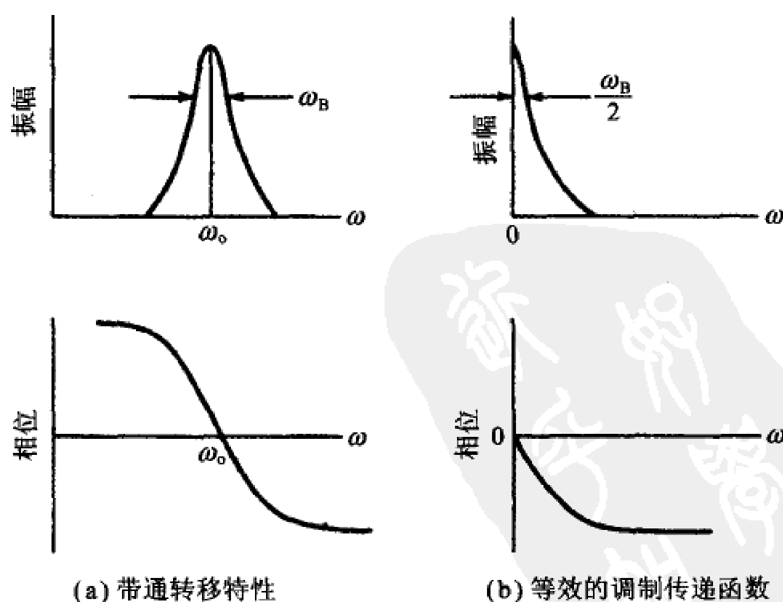


图 14-6 带通滤波器转移特性

现在测量图 14-4 中 PLL 的开环响应，其方法是在环路的低频部分把环路断开，然后加入一个低频正弦波测试信号。总的环路响应将由乘积 $F_m(s)G(s)$ 构成，乘积中的因子是通常的环路响应 $G(s)$ 和 IF 滤波器的调制传递函数 $F_m(s)$。把这个组合的开环响应代入第 2 章、第 3 章中用于确定极点位置、稳定性、阻尼和所有其他有用的线性分析参数的传递函数中。IF 滤波器的影响似乎等同于把另外一些低通滤波器加入到 PLL 的基带电路之中。尤其是，如果在 PLL 的基带电路中存在太多的低通极点，那就可能发生假锁定，甚至在完全没有带通滤波器的短环路的情况下也如此。下面的分析只涉及模拟 PLL，但相似的分析也适用于同样易受假锁定影响的数字 PLL。

作为带通滤波器的实例，图 14-7 表示了从实际的晶体滤波器中测得的数据，再经过比例缩放后得到的一个响应。它的等效的调制传递函数的响应表示在图 14-8 的伯德图中，图中还有一个基本二阶 2 类 PLL 的响应曲线，以及滤波器与基本 PLL 的组合系统的响应曲线。IF 滤波器的带宽(3 dB)是 240 rad/s，而环路被随意地选择为 $1/\tau_2 = 10$ rad/s。环路增益(略去 IF 滤波器)被选择为使 $\zeta = 0.707$，所以 $\omega_n = 14.1$ rad/s，$K = 20$ rad/s。这些数据对于一个带宽非常小的锁相接收器是合理的，比如那些用于外太空的锁相环接收器。

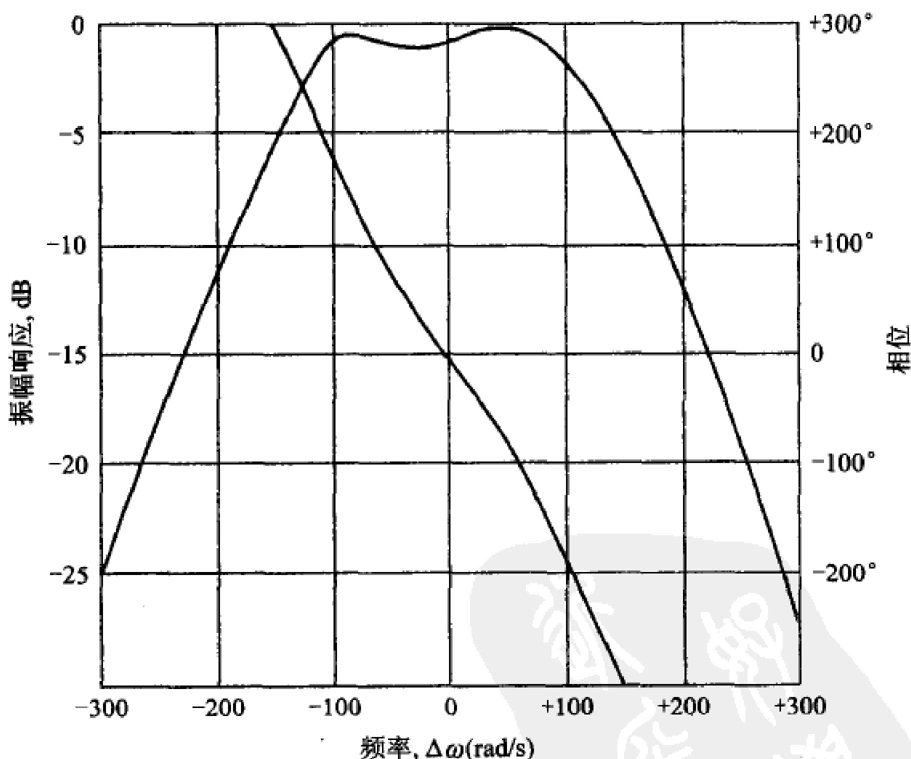


图 14-7　带通频率响应实例(从晶体滤波器测得)

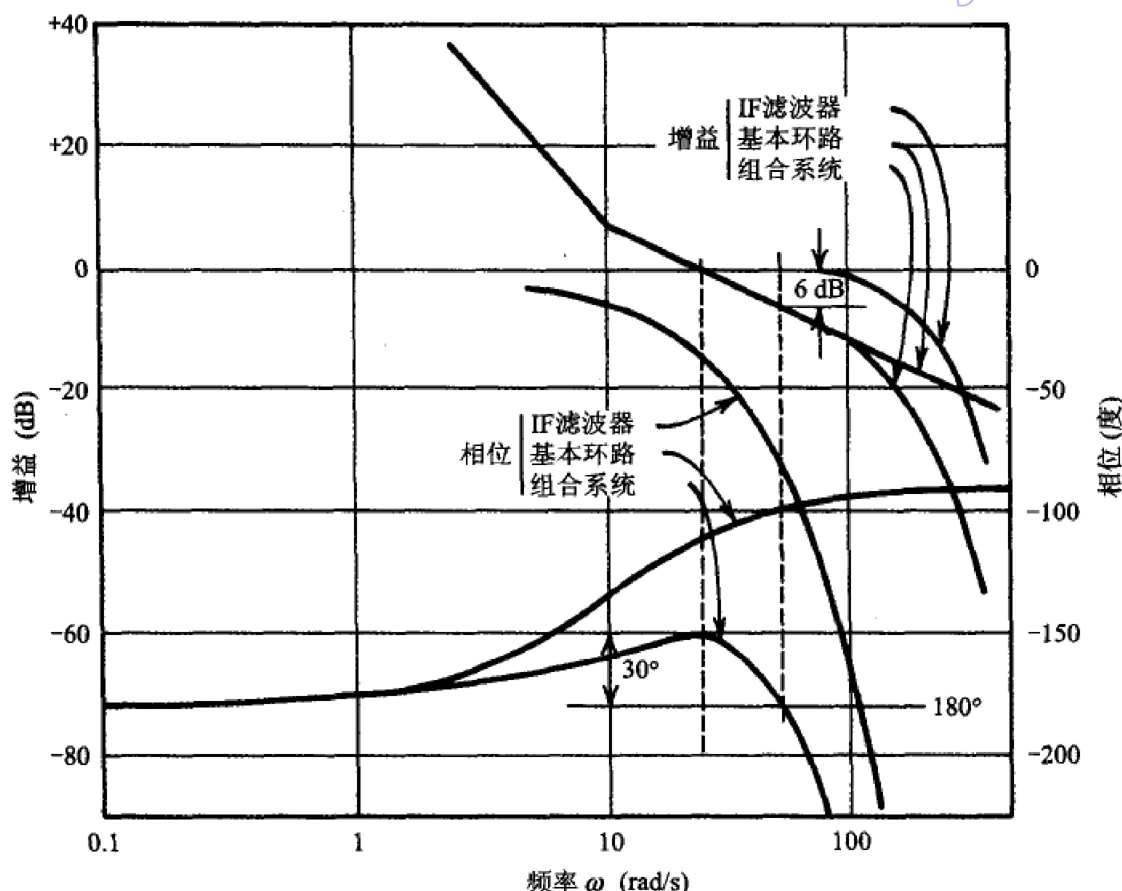


图 14-8 长环路 PLL 的伯德图，环路中包含了一个仅作举例的晶体 IF 滤波器

组合系统的伯德图表示出 30°的相位裕度和 6 dB 的增益裕度。虽然环路是稳定的，但它的响应非常不同于对没有 IF 滤波器时所期望的响应。如果环路增益是固定的(用 AGC 或限幅器)，因而环路的增益不能超过例子中使用的值，那么稳定性裕度只是勉强够用而谈不上宽裕。但如果例子中的这个增益是一个增益阈值，而且可以预期这个增益会随着信号的改善而增加，那么这个增益裕度就完全不合适。如果增益翻一倍，环路就振荡。比较保守的设计应当是大大加宽 IF 滤波器的带宽。

343～346

14.4.2 假锁定的根源

即使环路传递函数是稳定的，窄带 IF 滤波器仍然可以引起假锁定，并因此而停止频率捕获，与此同时，PLL 似乎锁定在一个与输入频率没有任何明显关系的频率上。在找出假锁定的原因之前，这个现象确实令人困惑。在下面几页中将说明，假锁定及其相关的频率挤推(frequency pushing)问题为什么会扰乱 8.3.1 节中所说的拉入机理，而且将说明假锁定也是那些包含过多滤波和延迟的 PLL 所几乎不可避免的。因此，在可能存在假锁定的情况下，我们一般不把拉入锁定用做频率捕获的一个方法。

参考文献[14.18～14.21]报道了对假锁定的一些研究。这里提出的近似分析方法将遵循一条稍微不同的思路。试考虑一个未锁定的环路，它的输入为 $V_s \sin \omega_i t$，它

的 VCO 输出为 $V_o \cos \omega_o t$。检相器的输出是一个频率为 $\Delta\omega_i=\omega_i-\omega_o$ 的拍音。如果 $\Delta\omega_i$ 充分大于环路增益 K,那么拍音几乎是正弦波,并取 $K_d \sin(\Delta\omega_i t)$的形式。当拍音通过环路时受到 $\eta(\Delta\omega_i)$因子的衰减,且有 $\Psi(\Delta\omega_i)$角度的相移。因而,加到 VCO 上的频率调制电压为 $\eta K_d \sin(\Delta\omega_i t+\Psi)$,所以 VCO 的输出(近似地)为

$$v_o(t)=V_o\cos\left[\omega_o t-\frac{\eta K_o K_d}{\Delta\omega_i}\cos(\Delta\omega_i t+\Psi)\right] \tag{14-1}$$

v_o(t)的谱(图 8-6)由一条位于 ω_o 的载波谱线和无穷多的位于$(\omega_o+k\Delta\omega_i)$处的边带谱线组成。$k=1$ 的谱线位于 $\omega_o+(\omega_i-\omega_o)=\omega_i$ 的频率上,是完全准确的输入频率。使用傅里叶级数的分析方法,VCO 在 ω_i 处的分量可以找出为

$$V_o J_1\left(\frac{\eta K_o K_d}{\Delta\omega_i}\right)\sin(\omega_i t+\Psi) \tag{14-2}$$

其中 $J_1(\cdot)$是第一类一阶贝塞尔函数。

当这条谱线在检相器中与输入信号 $V_s\sin(\omega_i t)$相乘时,就得到 DC 分量为

$$V_d=\frac{1}{2}V_s V_o K_m J_1\left(\frac{\eta K_o K_d}{\Delta\omega_i}\right)\cos\Psi=K_d J_1\left(\frac{\eta K_o K_d}{\Delta\omega_i}\right)\cos\Psi \tag{14-3}$$

其中 K_m 是乘法器的增益系数,这是在 6.1.1 节中定义的。

现在来举个例子:在一个标准的二阶 2 类环路中,在 $\Delta\omega_i$ 足够大和不存在 IF 滤波器的情况下,参数 η 和 Ψ 是 $\eta=\tau_2/\tau_1$ 和 $\Psi=0$。由于对这个具体的例子有 $K_o K_d\tau_2/\tau_1=K$,所以等式(14-3)变为

$$V_d\approx K_d J_1\left(\frac{K}{\Delta\omega_i}\right) \tag{14-4}$$

等式(14-4)是对式(8-6)的拉入电压 v_p 的一个近似;这两个表达式在很大频率差时是按渐近线一致的,如果$|\Delta\omega_i|>2K$,不一致性小于 10%。

347

现在假设对标准环路增加一些滤波。为了滤除纹波,至少要增加一个极点;有源滤波器中的运算放大器至少有一个极点,另外在 VCO 控制电路中的第三个极点是几乎无法避免的。如果使用长环路,那么 IF 放大器中的那些滤波器也将贡献出若干个等效的低通极点。所以总共十几个极点是相当常见的。现在把相对衰减系数定义为

$$\eta'=\frac{\eta K_o K_d}{K} \tag{14-5}$$

在标准环路中,$\eta'=1$。所以,$\eta'(\Delta\omega_i)$与原先等于 1 的偏离,反映出了实际环路中所增加的那些滤波电路的幅度响应。因而,式(14-4)可改写为

$$V_d\approx K_d J_1\left(\frac{\eta' K}{\Delta\omega_i}\right)\cos\Psi \tag{14-6}$$

标准环路的拉入电压式(14-4)与所增加的相移的余弦值相乘。对于 $K/\Delta\omega_i\leqslant 1$(这个近似分析的唯一合法区域),贝塞尔函数可近似为

$$J_1\left(\frac{\eta' K}{\Delta\omega_i}\right)\approx\frac{1}{2}\frac{\eta' K}{\Delta\omega_i} \tag{14-7}$$

所以拉入电压又降低一个 η' 因子。在增加了滤波操作之后的拉入电压的合适的近似

式为

$$V_d \approx \frac{\eta' K_d K}{2\Delta\omega_i}\cos\Psi \tag{14-8}$$

如果 $\eta'(\Delta\omega_i)$ 和 $\Psi(\Delta\omega_i)$ 为已知，那么环路的拉入特性和假锁定特性就可以用式(14-8)来计算。

严格地说，上面的简略分析只能直接用于短环路。当考虑到长环路而对分析方法做修改之后，只要带通放大器是线性的，那么对 PD 的 DC 输出的估算可以简单地把等效的调制传递函数 $F_m(s)$ 与实际的环路滤波器 $F(s)$ 级联起来，并计算出新的 η' 和 Ψ 来完成。如果带通电路中包含一个限幅器，那么带通对 Ψ 的贡献不受非线性的影响，但对 η 的贡献将会更复杂。在大 SNR 下，限幅器将把限幅器之前的带通网络对 η 的所有影响一扫而光。

14.4.3 假锁定的性质

作为一个例子，我们假设多余的相位为 $\Psi=-(\pi/3)(\Delta\omega_i/K)$，$\eta'=1$，这对图 14-7 和图 14-8 中的 PLL 和 IF 滤波器是一个合理的近似。(应当记住，这个近似相位等效于 $\tau=\pi/3K$ 的简单延迟；这个分析对纯粹的延迟和一般的非恒定延迟滤波器都是正确的。)使用 Ψ 的这个表达式后，检相器的 DC 输出就是图 14-9b 中的那个样子。从图中立即可以看出，拉入电压中的平衡点对应于 $\cos\Psi$ 的零值，这些平衡点在标准环路(图 14-9a)中是不出现的。V_d 的极性是与小 $\Delta\omega_i$ 下的标准环路的极性相同的，所以，拉入过程仍可以正确发生，虽然由于 V_d 幅度的减小而使拉入过程比较弱。 348

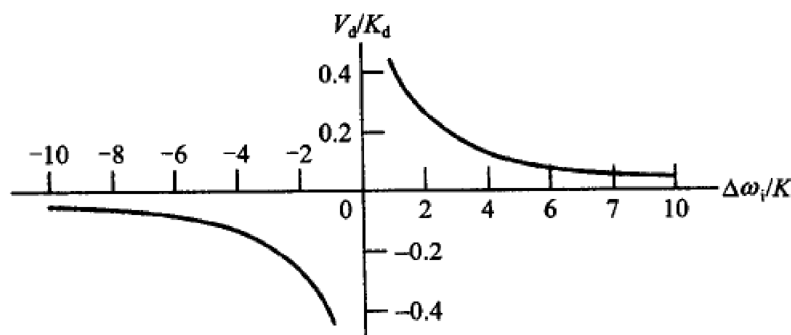
但是，如果频率之差超出并走到第一个平衡点的外侧，那么 V_d 的极性就与标准环路的极性相反，拉入过程就不再像正常情况那样。这个相反的极性把环路推离正确的锁定频率。环路被不断地推离正确的锁定频率，直到频率差增加到与第二个平衡点重合，而现在这个平衡点是一个假锁定的稳定跟踪点。在这个假锁定的平衡点上没有达到正确的锁定，频率误差仍然存在，但这时的环路已经无法使自己离开这个平衡点。

假锁定是非常使人容易混淆的。环路检相器的输出中不存在 DC 分量，而正交 PD(相关检测器)的输出中却存在一个 DC 输出，并表示锁定已经实现。如果使用了相干 AGC，那么正交 PD 输出的振幅甚至还可以指出锁定是正确的。当噪声足够小的时候，把示波器连到 PD 输出端会显示有拍音存在。所以，假锁定可以变得完全看不出来，一直到后来发现了奇怪数据的时候才知道。

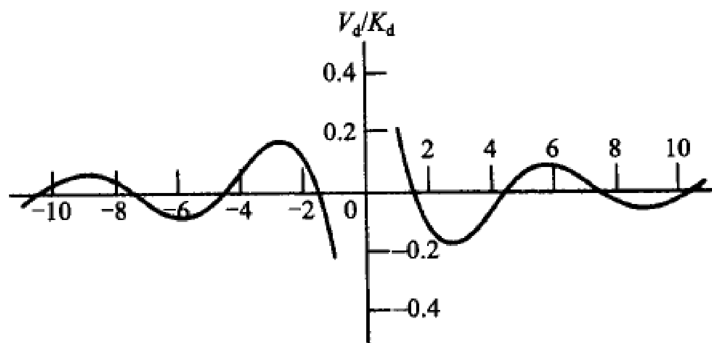
显然，假锁定必须避免。其中一个避免假锁定的方法是使用一个有充分带宽的 IF 滤波器。另一个方法是，认识到在一个给定带宽下的相移是随着滤波器中等效低通极点数量的增加而增加的。如果只使用单调谐电路，那么滤波器的最大相移是 90°，而且不存在任何有限值的假锁定平衡点。

使用两个储能元件(等效于低通调制传递函数中的两个极点)后，最大相移为 180°，而且所有有限值的寄生平衡点都是不稳定的。把频率推挤到超过这些有限值平衡点后，就把 PLL 的频率推到了它的调谐范围的一个极限值上，而不是在正确的信号

频率上。



(a)标准环路



(b)由举例的晶体滤波器产生过大相移的环路

$$V_d \approx \frac{\eta' K_d K}{2\Delta\omega_i}\cos\psi$$

图 14-9　PLL 的拉入特性，表示过大相移的影响

图 14-10 画出了不同极点数量时的拉入电压的简图。实际的假锁定是仅当低通等效滤波器有四个或四个以上极点时才会遇到。在被叫做矩形滤波器的过渡带非常陡峭的滤波器中，可以有许多极点。显然，这些滤波器不是完全适用于锁相接收器中的。IF 滤波器的一个保守设计是只使用一个或两个极点。(一个石英晶体一般提供一个等效极点。)实际上，在环路中一定还有其他的带限元件，所以环路中一定还有比这些已经认识到的相移更大的额外相移。因此，IF 主滤波器应当尽量简单，以便对这些二次效应预先留出一些操作裕度，因为这些二次效应一般是不易预见的。

前面的分析只考虑了环路中的正常信号通路。遗憾的是，暗底下的通路对假锁定的贡献往往会超过明显的主通路。从没有恰当隔离的电源线耦合过来的拍音是一个非常突出的侵扰源。

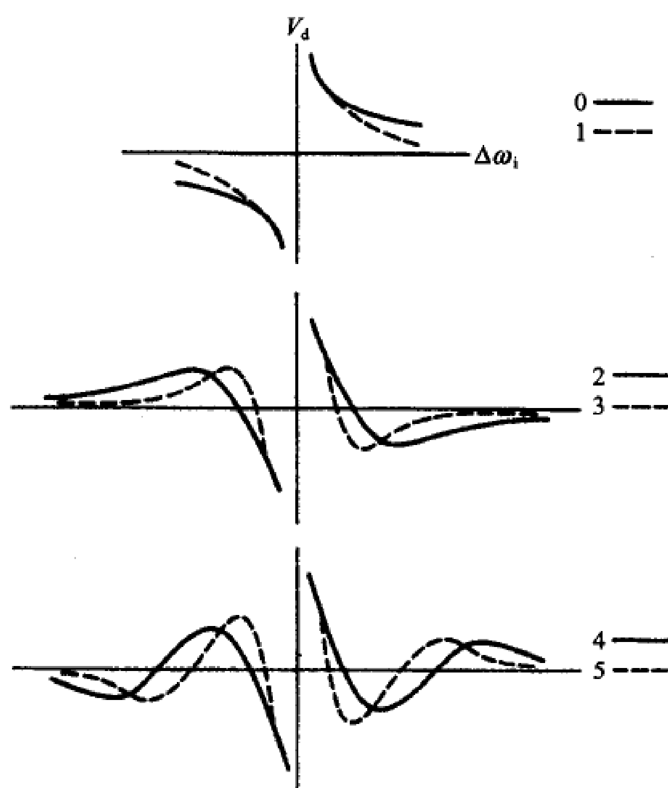


图 14-10 PLL 的拉入特性。图中的数字表示环路中等效的过多的低通极点的数量

14.4.4 假锁定的补救办法

第 8 章中曾经指出，最大可跟踪的频率扫描速率取决于带宽；窄带环路只能跟踪缓慢变化的频率。因此，如果用扫描技术实现捕获，那么可以使扫描足够快，因而假锁定就不能保持，但又要足够慢，以保证成功地捕获到正确的锁定。但这种正确捕获的可能性，由于可能使用的限幅器和 AGC 以及 IF 的信噪比而变得非常复杂。另外一个方法是，如果输入 SNR 足够大，那么可以使用鉴频器来帮助频率捕获。但鉴频器的输出必须足够大，以消除任何由假锁定或频率推挤引起的检相器输出的错误极性。

然而，最好的补救方法是由 McGeehan 和 Sladen 设计的*分裂环路接收器*(splitloop receiver)[14.22]。它的框图示于图 14-11 中。在这个结构中，2 类 PLL 中的两条通路被完全分开；每条通路有独立的基带滤波器和独立的 VCO，并负责完成接收器不同部分的工作。8.3.1 节介绍过，拉入电压 v_p 主要是通过比例通路的操作产生的，而积分通路的贡献是可以忽略的。分裂环路接收器中的比例通路是包含在没有 IF 滤波器相移的短环路中的。分裂环路中的积分通路是与包含 IF 滤波器的长环路相连的，但现在这个滤波器的相移对拉入电压的影响是可忽略的。因此，分裂环路避免了长环路中由于 IF 滤波器相移而出现的假锁定。

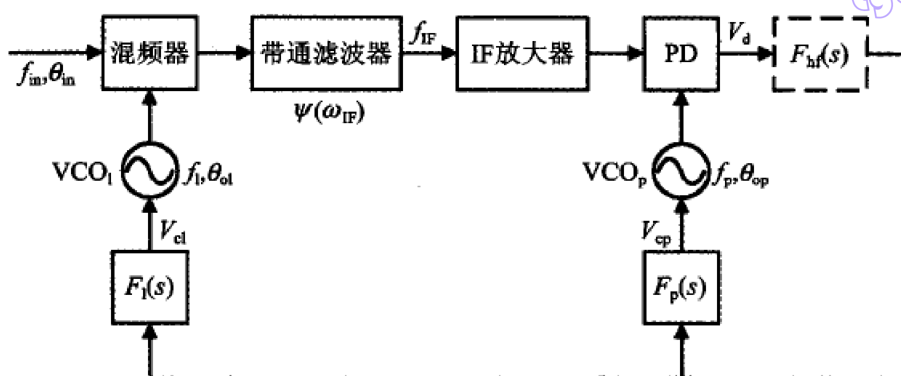


图 14-11 分裂环路 PLL 的框图

1. 传递函数

在图 14-11 中，令 $F_p(s)=K_1$、$F_I(s)=K_2/s$。两个 VCO 的增益为 K_{op} 和 K_{oI}，PD 的增益为 K_d，两个 VCO 的输出相位为 θ_{op} 和 θ_{oI}。利用第 2 章中讲到的方法，误差响应传递函数为

$$E(s)=\frac{\theta_e}{\theta_{in}}=\frac{s^2}{s^2+K_dF_{hf}(s)(sK_1K_{op}+K_2K_{oI})} \tag{14-9}$$

并由此可以得出环路增益为 $K=K_dF_{hf}(0)K_1K_{op}\,\text{rad/s}$。如果 $F_{hf}(s)\equiv1$，那么这个 PLL 是一个二阶环路，而且 $\omega_n{}^2=K_dK_2L_{oI}$，阻尼为

$$\zeta=\frac{K_1K_{op}}{2}\sqrt{\frac{K_d}{K_2K_{oI}}} \tag{14-10}$$

由 $E(s)=1/[1+G(s)]$ 可以找出开环增益 $G(s)$ 为

$$G(s)=K_dF_{hf}(s)\left(\frac{K_1K_{op}}{s}+\frac{K_2K_{oI}}{s^2}\right) \tag{14-11}$$

因为分裂环路有两个 VCO，所以不存在单一的闭环系统传递函数的定义。但可以定义两个系统传递函数，对每个 VCO 定义一个。对于比例通路环路，其传递函数为

$$H_p(s)=\frac{\theta_{op}}{\theta_{in}}=\frac{sK_dF_{hf}(s)K_1K_{op}}{s^2+K_dF_{hf}(s)(sK_1K_{op}+K_2K_{oI})} \tag{14-12}$$

对于积分通路为

$$H_I(s)=\frac{\theta_{oI}}{\theta_{in}}=\frac{K_dF_{hf}(s)K_2K_{oI}}{s^2+K_dF_{hf}(s)(sK_1K_{op}+K_2K_{oI})} \tag{14-13}$$

349 ~ 352

我们可以看到，$H_I(s)$ 是一个全极点传递函数（假设 F_{hf} 只有极点而没有有限值的零点），所以仅当极点是充分欠阻尼时才会呈现增益峰值（见 2.2.4 节）。换句话说：只要有好处，$H_I(s)$ 都可以设计成没有增益峰值。还应当注意，$H_p(s)$ 有一个平衡点在零频处的带通响应。也就是，积分通路对分裂环路的 DC 稳态响应有完全的控制，而比例通路则完全没有。

2. 锁相时的频率

假设对混频器进行低端注入（low-side injection）锁定，那么当 PLL 锁定时，接收器各频率之间的关系为 $f_{in}-(f_I+f_p)=0$。（对这个公式中的符号做恰当的改变就可得

到高端注入的关系。）这个公式所限制的只是总和(f_1+f_p)，而不是分别对两个 VCO 频率。那么一旦环路锁定后，这两个频率 f_1 和 f_p 会分别是多少呢？假设积分通路中的积分器是完美的，f_{in}是恒定的，输入是无噪声的，以及环路滤波器和检相器都不存在不希望的 DC 失调，那么平衡锁定状态下的相位误差变为零。把 VCO_p 的调谐规则写为 $\omega_p=\omega_{0p}+K_{op}V_{cp}$，其中 V_{cp}为控制电压，ω_{0p}为 VCO_p 的“自由振荡”频率。如果相位误差是零，那么 PD 的输出电压也是零，因而控制电压 V_{cp}也是零。因此，锁定时的 VCO_p 的频率是 ω_{0p}，这也是 IF 放大器中的信号频率。

如果积分器不是完美的（像所有模拟电路积分器那样），那么比例通路将分担一些 DC 跟踪的工作，于是 VCO_p 将重新调谐在 ω_{0p}的某个偏移频率上。数字 PLL 的积分器可以有无穷大的 DC 增益，所以它们不会进入这个稳态重调谐过程。

14.5 PLL 链路中的锁相失败

第 14 章的前面部分是关于不正确频率与相位锁定的问题。在这最后一节中将讨论当 PLL 链路中存在可忽略的加性噪声下的锁定失败，而这样的条件从表面上看是所希望的。以导线或光纤工作的长距离数据通信链路往往包含大量的转发器。转发器由同步电路和再生电路组成，其中的同步电路是用来恢复输入信号定时的，而再生电路是用来检测数据并在输出端给出干净的、重定时的数据流。典型的转发器用 PLL 做同步电路，虽然也有采用带通滤波器的。经验已经指出，如果包含太多的转发器，那么这样的通信链路会因为过多的周期滑步而使锁相失败。

参考文献[14.23]和[14.24]及其参考文献中都对这种锁相失败进行了分析。从本质上讲，数据流的随机性引起了每个同步电路输出端上的某种程度的抖动。每个同步电路所见到的是同样的数据流，所以在每个转发器中产生的抖动也是相同的，而且这些抖动又随再生的数据流送到下一个转发器。所以抖动就沿着通信链路累积起来；在第 n 个转发器的输入端上的抖动包括了所有前面同步电路产生的抖动，每个同步器的抖动贡献都被其间的同步电路的传递函数所滤波。所以累积起来的抖动谱在与 PLL 带宽相应的频率上出现一个非常大的峰值。在远离通信链路起始端的那些下游同步电路中的抖动会变得非常大，因而会产生周期滑步，从而不能正确跟踪。 353

通常的二阶 2 类 PLL 在它的闭环响应 $H(s)$中必定有某种程度的增益峰值，如 2.2.4 节中所说的。增益峰值使抖动放大，这可能给同步电路链路带来灾难。对通信网络中使用的同步电路严格限制其增益峰值（一般最大为 0.1 dB）的理由，就是为了限制对抖动的放大。2.2.4 节指出，阻尼因子 ζ 要求不小于 4.5，才能达到增益峰值不大于 0.1 dB。

有些设计者使用 20 至 30 之间的阻尼因子，却仍然发现在很长通信链路中会发生一致性锁相失败的问题。实际上，参考文献[14.24]所分析的是一阶 PLL 的同步器链路，其中 PLL 的传递函数并没有任何峰值，却仍然由于所产生的抖动而遭遇周期滑步。

有人得出结论说，增益峰值对通信链路锁相失败起到加剧的作用，但还不是基本原因。在低噪声下（许多地面线路网络一般是这样）的同步电路中产生的抖动，其主要来源是由于数据流的随机性和发送信道带宽的限制而使同步电路自己产生的噪声[14.25]。抑制自身噪声的方法是大家都知道的[14.26~14.28]，但由于复杂性和成本的原因，不是经常能用于导线或光纤的同步电路中的。

抖动衰减器(jitter attenuator)的方法已经为大家所常用（见17.5.2节）。抖动衰减器由一个弹性缓冲器（先进先出缓冲电路，FIFO）和一个窄带环路的PLL组成。数据信号是用一般的数据接收器接收的，但接收器中使用了一个具有充分宽带的锁相同步器，以便对输入抖动进行可靠跟踪。接收器的数据输出是依靠宽带数据同步器的输出时钟打入到FIFO中的，并依靠抖动衰减器中窄带PLL的输出时钟把FIFO中的数据取出的。FIFO的填满指示器用作抖动衰减器PLL的检相器；其想法是把FIFO的平均填充率维持在它的能力的50%。

在PLL带宽之外频率上的抖动是被PLL提供的相位低通滤波所衰减的。尤其是，累积抖动谱中的大峰值是远离实际的抖动衰减PLL的带宽之外的，所以被极大地衰减了。频率足够低的抖动是可以通过衰减器PLL的，但它的振幅一般非常小，所以处于下游的转发器中的宽带同步电路是能够应对的。

大幅度的抖动可以被FIFO所吸收，否则这样的抖动将要求数据同步电路的很大的带宽才能保证可靠锁定。抖动衰减器的输入端可以容忍很大的抖动而其PLL仍然是窄带的。应当注意到，衰减器PLL的输入是一个时钟信号，而非数据信号。所以，同步器PLL中不存在自身噪声，因而也就不会在衰减器PLL中产生另外的抖动。

参考文献

354

14.1 D. Richman, "Color-Carrier Reference Phase Synchronization Accuracy in NTSC Color Television," *Proc. IEEE* ***43***, 106–133, Jan. 1954. Reprinted in [14.2].

14.2 W. C. Lindsey and M. K. Simon, eds., *Phase-Locked Loops & Their Application*, Reprint Volume, IEEE Press, New York, 1978.

14.3 B. R. Eisenberg, "Gated Phase-Locked Loop Study," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-7***, 469–477, May 1971.

14.4 U. Mengali, "Noise Performance of a Gated Phase-Locked Loop," *Trans. IEEE Aerosp. Electron. Syst.* ***AES-9***, 55–59, Jan. 1973.

14.5 L. Schiff, "Burst Synchronization of Phase-Locked Loops," *IEEE Trans. Commun.* ***COM-21***, 1091–1099, Oct. 1973.

14.6 G. L. Hedin, J. K. Holmes, W. C. Lindsey, and K. T. Woo, "Theory of False Lock in Costas Loops," *IEEE Trans. Commun.* ***COM-26***, 1–12, Jan. 1978. Reprinted in [14.9].

14.7 K. T. Woo, G. K. Huth, W. C. Lindsey, and J. K. Holmes, "False Lock Performances of Shuttle Costas Loop Receivers," *IEEE Trans. Commun.* ***COM-26***, 1703–1712, Nov. 1978. Reprinted in [14.9].

14.8 M. K. Simon, "The False Lock Performance of Costas Loops with Hard-Limited In-Phase Channel," *IEEE Trans. Commun.* ***COM-26***, 23–34, Jan. 1978. Reprinted in [14.9].

14.9 W. C. Lindsey and C. M. Chie, eds., *Phase-Locked Loops*, Reprint Volume, IEEE Press, New York, 1986.

14.10 S. T. Kleinberg and H. Chang, "Sideband False-Lock Performance of Squaring, Fourth-Power, and Quadriphase Costas Loops for NRZ Data Signals," *IEEE Trans. Commun.* ***COM-28***, 1335–1342, Aug. 1980.

14.11 F. M. Gardner and J. D. Baker, *Simulation Techniques*, Wiley, New York, 1997, p. 316.

14.12 W. C. Lindsey and M. K. Simon, *Telecommunication Systems Engineering*, Prentice Hall, Englewood Cliffs, NJ, 1973, Secs. 2–4 and 2–5.

14.13 K. Kiasaleh, "On False Lock in Suppressed Carrier MPSK Tracking Loops," *IEEE Trans. Commun.* ***COM-39***, 1683–1697, Nov. 1991.

14.14 M. K. Simon and K. T. Woo, "Alias Lock Behavior of Sampled-Data Costas Loops," *IEEE Trans. Commun.* ***COM-28***, 1315–1325, Aug. 1980.

14.15 T. Shimamura, "On The False-Lock Phenomena in Carrier Tracking Loops," *IEEE Trans. Commun.* ***COM-28***, 1326–1334, Aug. 1980.

14.16 M. K. Simon and J. G. Smith, "Carrier Synchronization and Detection of QASK Signal Sets," *IEEE Trans. Commun.* ***COM-22***, 98–105, Feb. 1974.

14.17 R. Lawhorn and C. S. Weaver, "The Linearized Transfer Function of a Phase Locked Loop Containing an IF Amplifier," *Proc. IRE* ***49***, 1704, Nov. 1961.

14.18 J. A. Develet, Jr., "The Influence of Time Delay on Second-Order Phase Lock Loop Acquisition Range," *Int. Telem. Conf.*, London, 1963, pp. 432–437. Reprinted in [14.2].

14.19 W. A. Johnson, *A General Analysis of the False-Lock Problem Associated with the Phase-Lock Loop*, Rep. TDR-269 (4250-45)-1, Aerospace Corp., Los angeles, CA, Oct. 2, 1963 (NASA Accession N64-13776).

14.20 R. C. Tausworthe, *Acquisition and False-Lock Behavior of Phase-Locked Loops with Noisy Inputs*, JPL SPS 37–46, Vol. IV, pp. 226–234, Jet Propulsion Laboratory, Pasadena, CA, Aug. 31, 1967. [355]

14.21 B. N. Biswas, P. Banerjee, and A. K. Bhattacharya, "Heterodyne Phase Locked Loops—Revisited," *IEEE Trans. Commun.* ***COM-25***, 1164–1170, Oct. 1977.

14.22 J. P. McGeehan and J. P. H. Sladen, "Elimination of False-Locking in Long Loop Phase-Locked Receivers," *IEEE Trans. Commun.* ***COM-30***, 2391–2397, Oct. 1982.

14.23 H. Meyr, L. Popken, and H. R. Mueller, "Synchronization Failures in a Chain of PLL Synchronizers," *IEEE Trans. Commun.* ***COM-34***, 436–445, May 1986. Reprinted in [14.9].

14.24 M. Moeneclaey, S. Starzak, and H. Meyr, "Cycle Slips in Synchronizers Subject to Smooth Narrow-Band Loop Noise," *IEEE Trans. Commun.* ***36***, 867–874, July 1988. Comments and discussion: *IEEE Trans. Commun.* ***45***, 19–22, Jan. 1997.

14.25 F. M. Gardner, "Self-Noise in Synchronizers," *IEEE Trans. Commun.* ***28***, 1159–1163, Aug. 1980.

14.26 L. E. Franks and J. P. Bubrouski, "Statistical Properties of Timing Jitter in a PAM Timing Recovery Scheme," *IEEE Trans. Circuits Syst.* ***CAS-21***, 489–496, July 1974.

14.27 A. N. D'Andrea and M. Luise, "Design and Analysis of a Jitter-Free Clock Recovery Scheme for QAM Systems," *IEEE Trans. Commun.* ***41***, 1296–1299, Sept. 1993.

14.28 A. N. D'Andrea and M. Luise, "Optimization of Symbol Timing Recovery for QAM Data Demodulators," *IEEE Trans. Commun.* ***44***, 399–406, Mar. 1996. [356]

第 15 章　PLL 频率合成器

频率合成器在电子产品中用于产生各种工作频率，并正在得到越来越广泛的使用。基于 PLL 的合成器，由于其潜在的出色性能、相对的简单性和低成本而被普遍使用。锁相合成器在书籍和期刊中已经受到大量的关注，例如参考文献[15.1～15.7]。在写本书的时候，合成器是一个投入大量研究和富有创新性的课题。在今后的时间里一定会出现重大的创新成果。本章将对锁相合成器的基本原理做一个概要性的总结，仅作为对此课题的一个引导；如需更完整的论述，可参阅本章中的参考文献。

15.1　合成器的结构

锁相合成器有许多种结构；本节只给出其中的一些例子，还有一些结构在后面一节中讨论。

15.1.1　基本结构

357

图 15-1 表示了锁相合成器的基本结构，在这个结构之上可以演化出其他所有的结构。这个合成器包含一个频率为 f_r 的基准源和一个频率为 f_o 的 VCO。基准频率被整数 R 分频后，得出一个比较频率 $f_c = f_r/R$，而 VCO 频率被 N 分频。然后这两个分频后的波形在检相器中进行比较。锁相器要求的条件为 $f_r/R = f_o/N = f_c$，所以输出频率被锁相到基准频率的一个有理分数上，其关系式为

$$f_o = \frac{Nf_r}{R} = Nf_c \tag{15-1}$$

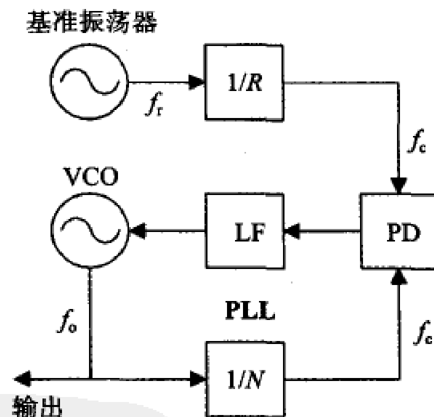


图 15-1　基本 PLL 合成器

这是 PLL 合成器的基本公式。

分频器是可编程的。输出频率 f_o 是通过分频系数 R 和 N 的设置来选择的。大多数的分频器是用数字计数器实现的，虽然其他的分频器也有它们的应用特色，这些将在 15.2.1 节中讨论。因为频率反比于 R（周期正比于 R），还因为一般需要均匀的频率间隔，所以在任何应用中，R 分频器一般是保持固定不变的。由于这个原因，下面的讨论将主要集中在比较频率 f_c，而非 $f_r = Rf_c$。

输出频率的相对的长期稳定性和精度是与基准频率相同的。相对精度是把频率

差表示为基准频率或输出频率的一个分数,视两者中的适用者。对于环路带宽内的抖动频率而言,理想的(而不是可实现的)输出相位噪声是基准相位噪声乘以 N/R,但对于环路带宽之外的抖动频率而言,是 VCO 的相位噪声。

基本合成器的输出频率 f_o 是以相位比较频率 f_c 为步长选择的。环路带宽必须远小于 f_c,才可恰当地抑制纹波并保证环路的稳定性。如果所要求的步长很小,那么环路带宽就必须非常窄。另一方面,我们又需要很宽的环路带宽,以达到快速捕获和稳定住 VCO 的短时抖动的目的。在这些互相竞争的目标之间存在着严重的冲突,这一冲突导致了在锁相合成器上的巨大投入。

358

15.1.2 其他结构

图 15-2 和图 15-3 中画出了两个改进了的结构。这两个结构是为了克服基本 PLL 合成器结构中频率间隔与带宽之间冲突而使用了相似技术的不同的代表性结构。

1. 输出分频

在图 15-2 中,VCO 频率是输出频率 Nf_c/P 的 P 倍。所得到的频率步长为 f_c/P,虽然相位比较是在频率 f_c 上进行的。带宽的冲突得到了 P 因子的缓解,但付出的代价是 VCO 以及 N 和 P 分频器的操作是在所需输出频率的 P 倍上进行的。这个技术是对于大问题的一个经济的解决方法,但对 VCO 频率和分频器速率的要求阻止了它的推广使用。

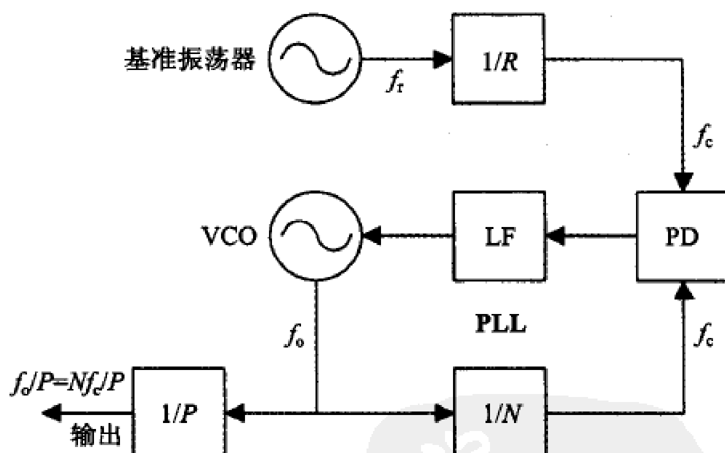


图 15-2 带有独立输出分频器的合成器

2. 多环路合成器

图 15-3 中的多环路把输出分频器与频率移动混频器组合在了一起,以避免基本环路的冲突。如图中那样,这个例子在每个检相器中使用了相同的比较频率 $f_c = f_r/R$,但这既没有必要,也非特别希望。假设所有混频器中的滤波器都选取差频混频输出(丢弃频率和的成分)而且 $f_1 > f_2/P_2$ 和 $f_2 > f_3/P_3$,那么输出频率为

$$f_1 = \frac{f_r}{R}\left(N_1 + \frac{N_2}{P_2} + \frac{N_3}{P_2 P_3}\right) \tag{15-2}$$

输出频率是可选的，步长为 $f_r/RP_2P_3=f_c/P_2P_3$。可以加入更多的环路，以实现更细的步长，同时也不降低比较频率。图中下方要增加的环路可以做成完全一样的模块，因而就容易制造了。

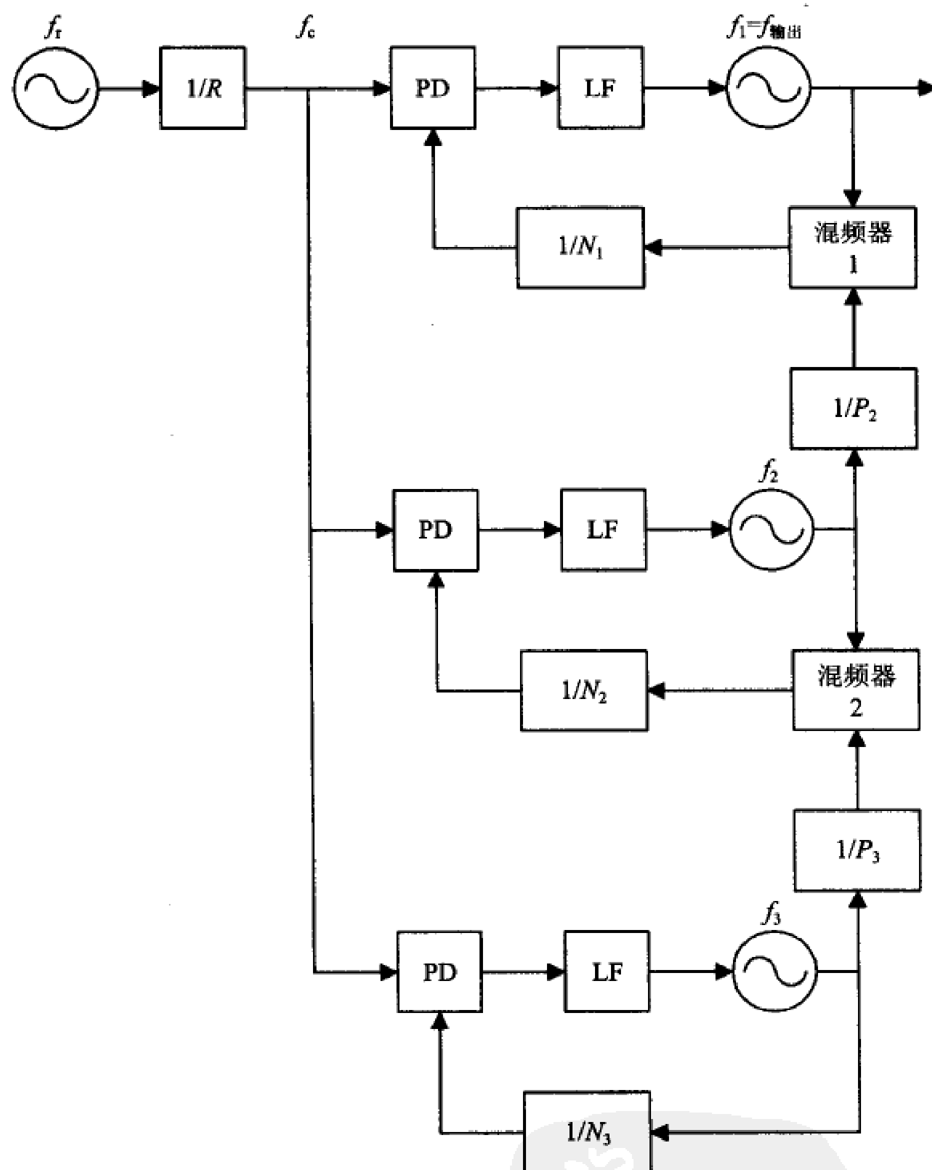


图 15-3 带有混频器的多 PLL 合成器

混频器除了产生一个所需要的输出成分外，还会伴随产生许多不希望的输出成分。不希望成分的存在增加了在合成器输出中出现寄生成分的可能性，或者甚至可能锁定到错误频率上[15.3]。使用很好的滤波器和进行谨慎的频率规划，对于寄生成分的恰当衰减是必不可少的。虽然从图中还不明显，但混频器的存在缩小了输出频率的允许范围。

有些最低相位噪声的合成器一直是用多 PLL 和分离元件构建的。这些结构与单环路 IC 合成器相比价格很贵，但到目前为止，后者还没有达到与前者相同的相位噪声性能。

15.2 分频器

359～360

分频器是锁相合成器中必不可少的单元。有两种分频器：数字计数器和模拟分频器。数字计数器无疑是更灵活和得到广泛使用的，但模拟分频器也有它值得考虑的性能特色。

15.2.1 模拟分频器

模拟分频器（也叫次谐波发生器）已经被研究许多年了。在它的文献中有关于再生分频器的文章[15.8～15.12]、关于注入锁定振荡器的文章[15.13～15.20]和关于参量（非线性电容）分频器的文章[15.21～15.23]。参量分频器是固有低效率的；它们需要比它们能够提供的次谐波输出功率大得多的基频功率。而且，调谐和功率电平的调节都很困难，所以在实际中用得很少。至于其他两种分频器，Verma、Rategh 和 Lee[15.20]争辩说，再生分频器和注入锁定振荡器简直就是同一原理的不同应用，而且它们同属于一种类型。他们给出了对这两种分频器的特性分析。

模拟分频器一直只用于窄频率范围，这是由于它们必须要有调谐电路或其他滤波器才能正确工作。由于相同的理由，这些分频器只能有一个固定的分频比率，而且不可以编程。很大的分频比率尚不可行。另一方面，从噪声角度来看，窄带是有利的，它们的工作频率要高于数字分频器，而且在相同分频比率下，可以设计出比数字计数器消耗更低的功率。

15.2.2 数字计数器用作分频器

数字计数器无疑是 PLL 合成器中最普遍使用的分频器。数字计数器容易编程，还可以输出许多不同的频率；它们可以提供非常大的分频比率；它们是用数字电路构建的，因而避免了模拟电路中的大多数问题；它们可以容易地与其他数字器件一起构建 IC；它们是宽带器件，允许宽范围的频率合成；它们没有麻烦的调谐电路或其他滤波器，因为调谐电路和滤波器是难于集成到 IC 芯片上的；它们不需要调整就可以正确工作；它们一般成本很低。数字计数器的工作频率达不到模拟分频器那样高；数字计数器的功耗比模拟分频器大，而且在相同频率和相同分频比率下，数字计数器很宽的带宽使它的噪声比模拟分频器大。

数字计数器的使用通常限制了相应检相器的选择。计数器的典型输出通常是矩形波，与周期 $1/f_c$ 相比，其脉冲宽度往往是很窄的。除非采用特别的限制方法，数字计数器输出信号中的信息通常只存在于脉冲的某个极性边沿（信号边沿）上。如果要求检相器必须接受这个波形，那么时序 PD 或采样 PD 是唯一与此相容的类型。由于相频检测器（PFD；10.3 节）的有用特性，所以数字计数器在 IC 合成器中占有压倒性优势。

361

如果要在可编程计数器分频器之后接一个独立的二分频器，那就可以使用异或门那样的乘法器 PD。二分频器提供了 50% 占空比的方波输出。但是，由于二分频器不是可编程分频器的一个部分，而比较频率 f_c 仅为可编程分频器输出频率的一半，所以频率的分辨率是 $2f_c$。另外，使用乘法器 PD 或采样 PD 后，就要求采用独立的频率捕获手段，而频率捕获是 PFD 的一个内建特性。

数字计数器有两种类型：计数器中的所有计数级同时改变状态（同步计数器）或状态的改变是顺着计数器逐级向后传播的（波动计数器）。近年来，用于分频器的计数器已经被做成再同步（resynchronized）的：即，等到计数器达到指定状态后，再用输入时钟来触发输出边沿的翻转。同步的或再同步的计数器具有比较短的抖动产生通路，所以为了得到较低的相位噪声，应当总是被使用，而不使用波动计数器。Levantino 等人[15.24]提供的分析和测量指出，再同步计数器的输出抖动几乎全部来自再同步器本身，很少来自计数器中由多级引起的大得多的内部累积抖动。

15.3　分数 N 计数器

到现在为止，我们仅探讨了整数分频，这个限制引起了图 15-1 基本结构中频率分辨率与环路带宽之间的根本性冲突。假如 N 计数器可以被一个分数比率所整除，那么这个基本结构就有一个在分辨率与带宽之间比较有利的折中做法。本节将考察分数 N 计数器（Fractional-N Counter）的各种方法。

15.3.1　双模计数器

在探讨真正的分数 N 计数器之前，我们先介绍分数 N 计数器最早的电路。一般的可编程计数器的速度是有限的；它们最高的可用工作频率远小于每一级的最高翻转频率。解决 VCO 频率对于可编程计数器显得太高的一个方法是，在可编程计数器之前放置一个固定比率的预分频器。如果这个预分频器的分频比率 P 很小而且固定，那么预分频器的工作频率就比后面的可编程计数器高很多，而后面的可编程计数器的输入频率已经降低到了它可以工作的频率上。遗憾的是，现在的这个结构的频率分辨率是 Pf_c，而非图 15-1 中基本结构的 f_c。可以说，固定比率的预分频器使分辨率与带宽之间的冲突变坏了一个因子 P。

双模预分频器（dual-module prescaler）[15.25]一直是解决由固定预分频器所引起的分辨率变坏的一个常用方法，如图 15-4 所示。图中的 N 和 A 计数器都是可编程的。P 计数器在接到指令后做除 P 或除 $(P+1)$ 的操作；也就是说，这是个双模计数器。（N、A 和 P 都是整数。）在每个比较周期内希望的总计数量为 $N_{fb}=NP+A$，因而 VCO 的频率为 $f_o=N_{fb}f_c=f_c(NP+A)$，而频率分辨率为 f_c。（下标 fb 表示反馈。）

362

图 15-4 中的结构是由下式导出的

$$N_{fb}=NP+A=NP+A+AP-AP=(N-A)P+A(P+1) \tag{15-3}$$

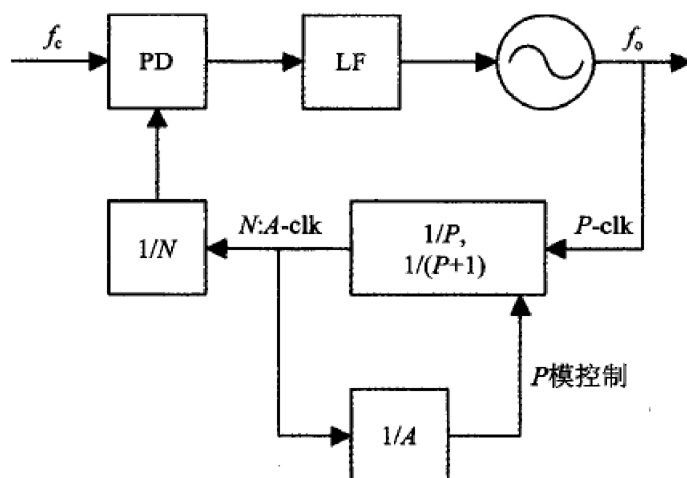


图 15-4 用双模分频器的合成器

这个等式要求在每$(N-A)$个 VCO 周期内,对 VCO 的频率除以 P,以及在每 A 个周期内除以$(P+1)$。这确实是图 15-4 中的计数器所要完成的工作。我们假设 N 和 A 计数器在开始每个 PD 比较周期时先设置好 N 和 A 值,然后这两个计数器都向下计数。而且还假设把这两个模数设置成使 P 计数器在开始时是对 VCO 的输出脉冲 P-clk进行$(P+1)$个脉冲的计数,作为 P 计数器的一个周期。当模数这样设定后,N 和 A 计数器都在 P 计数器的每个输出周期时做减一计数,即这样的一个周期为 N 个 A-clk时钟。

当 A 计数器的状态到达零时,它就停止自己的向下计数,并改变 P 的模数,使 P 计数器以 P 计数而非以$(P+1)$计数。这时,N 计数器继续它的向下减一计数,直到其状态到达零,然后所有三个计数器都复位到初始状态。所以,一个完整的周期包括了 A 个子周期和$(N-A)$个子周期,这正如式(15-3)所要求的,其中每个 A 子周期有$(P+1)$个 VCO 周期,每个$(N-A)$子周期有 P 个 VCO 周期。除以$(P+1)$的操作,一般是通过在 P 计数器的 P 个连续计数后停止一次 P-clk周期来实现的,这个技术叫做**脉冲吸收**(pulse swallowing)。

虽然图 15-4 中的计数器结构有时被当作分数 N 计数器的一个例子,但应当看出 N_{fb}总是一个整数。其中没有任何分数存在;双模预分频器还不是一个正真的分数 N 计数器,虽然被称作分数计数器。与图 15-1 中的基本合成器结构相比,也没有任何分辨率的改善。我们还可以看到,一个 PD 比较周期包含整整 N_{fb}个 VCO 周期,不存在任何可以引起相位波动的变化。在下面对真正的分数 N 计数器做解释时,应当想起上面这个特性。 363

分频比率 N、P 和 A 是不能独立选择的。它们受 $N\geqslant A$ 和 $A<P$ 的约束。Egan[15.6,第4章]给出了关于多模计数器的更多内容的讨论。

15.3.2 带有模拟补偿的分数 N 锁相环

如果反馈分频器不仅可以用整数分频率工作,而且还可以用分数分频率工作,那

么 PLL 合成器的分辨率是可以改善的。图 15-5 画出了参考文献[15.26]中的一种分数分频率的结构；从很早以前就被叫做分数 N 锁相环。为了理解其工作，我们首先忽略环路中的 DAC 和减法器。这样，PLL 就由通常的 PD、LF、VCO 和一个可以被 N 和 $(N+1)$ 整除的双模分频器组成。除以 $(N+1)$ 是通过脉冲吸收电路完成的。

对脉冲吸收的控制是由一个以分频器的输出（标记为 C-clk）作为时钟的 NCO 完成的。这个 NCO 中累加器的内容是在每个 C-clk周期内根据频率控制字 u_c 来完成加减计数操作的。把 NCO 的差分方程表示为

$$\varepsilon_o[n]=\{\varepsilon_o[n-1]+u_c\} \quad \text{mod-}Q \tag{15-4}$$

其中 Q 是一个整数（通常为 2 的整次幂，但未必都要这样），而 u_c 是任何一个小于 Q 的非负整数。NCO 的结构设计成在加法操作时当累加器每次溢出时发出一个进位信号。与任何通常的 NCO 一样，其平均溢出速率为

$$f_{NCO}=\frac{f_c u_c}{Q} \tag{15-5}$$

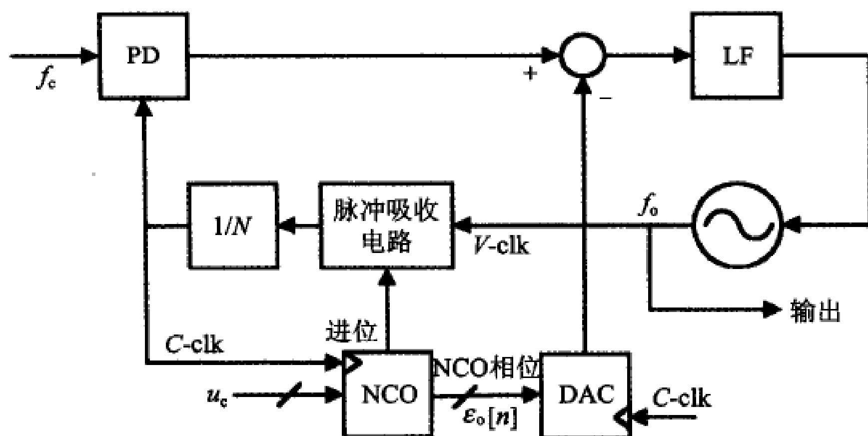


图 15-5 分数 N 合成器

364

进位被加到脉冲吸收电路上。每个进位信号引起一个 V-clk脉冲被吸收，因而，反馈计数器使 VCO 的频率 f_o 被 $(N+1)$ 除一次，而非被 N 除。所以，平均 u_c/Q 个分数周期的 C-clk脉冲就使 NCO 累加器产生溢出，因而也就完成了 $(N+1)$ 个 V-clk脉冲的计数，同时也有平均 $(1-u_c/Q)$ 分数周期的 C-clk脉冲没有产生溢出；每个这样的周期完成了 N 个 V-clk脉冲的计数。因此平均计数速率为

$$N_{avg}=(N+1)\frac{u_c}{Q}+N\left(1-\frac{u_c}{Q}\right)=N\left(1+\frac{u_c}{Q}\right) \tag{15-6}$$

换句话说，图 15-5 中的结构实现了真正的平均值的分数 N 分频器。现在的频率分辨率不仅取决于 f_c，而且还取决于 Q，而 Q 是可以做得非常大的。分数 N 计数器的方法有望突破基本 PLL 合成器中的分辨率与带宽之间冲突的僵局；精细的分辨率看来是与很高的比较频率相容的。

但是，只是分数 N 计数器还不能提供可接受的性能。分数 N 计数只是在平均值上实现了，但没有实现均匀的分频。在除 N 和除 $(N+1)$ 之间的切换会引起过大的相

位抖动，这可以借助图 15-6 来解释。图中画出了相位与时间的关系曲线，其中的基准频率为 f_c，相位是指已分频的反馈相位。图中的两个相位都表示为展开的形式，以说明相位的增加是无界的。基准相位是一条以 f_c 周期/秒为恒定斜率的直线。

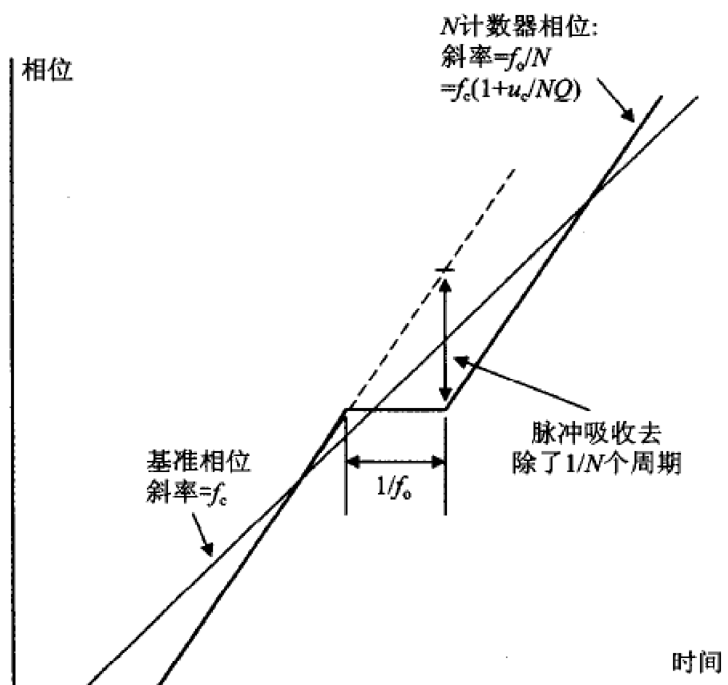


图 15-6　分数 N 合成器中的不规则计数

365

在没有脉冲吸收时，反馈相位（N 计数器的相位）是斜率为 f_o/N 周期/秒的一条线段，而如果 $u_c>0$，这条直线的斜率就大于 f_c。每个被吸收的脉冲使反馈相位停止增长 $1/f_o$ 秒，即 V-clk的一个周期，因而使累积的反馈相位比没有脉冲吸收时所达到的相位要滞后 f_c 的 $1/N$ 个周期。

注解：计数器的计数值是一个离散时域的过程。计数值与时间的关系曲线是阶梯形的。但可以把计数器相位假想为一个连续时域的过程，而计数值代表了连续时域中的相位的样点。

提供给 PLL 的相位误差是基准相位与 N 计数器相位之差。如果 PLL 的带宽很大（分数 N 计数的一个目标），那么相位误差就会传播到 VCO 并引起过大的抖动。如果把 PLL 带宽做得充分窄，因而可以滤除相位误差，那么宽带的好处就不复存在。相位误差谱在 NCO 频率及其谐波频率上有离散的谱分量，但载波时间间隔的不均匀性（除非 u_c 能被 Q 整除）会引起其他频率上的谱分量。Kroupa 的文章[15.7,12.2节]讨论了 NCO 中产生的寄生信号，在他的文集[15.27]中的几篇文章也谈到了这个问题。

NCO 累加器中的内容 $\varepsilon_o[n]$是与每个 C-clk翻转时刻的相位误差成正比的数字样点。这些样点被加到一个有恰当比例的数模转换器，再把它的模拟输出从检相器的输出中减去。其目的是为了抵消由这个相位误差所引起的 PD 的输出，因而消除了 VCO 的相位抖动。这就必须要求 PD 有极好的线性度，所以 DAC 和抵消电路的调整是非常

关键的。有一个技术是把DAC与PD电荷泵中的电流源合并起来，以保证这两者的漂移能够和谐结合。关于抵消电路的详细内容属专有技术，不是经常公开发表的。一些相关的专利列于参考文献[15.28]中。

VCO最大的离散寄生输出看来可以被抑制到所需载波电平以下大约70 dB。这样的性能还达不到混频器类合成器那样好（比如，图15-3），但对许多应用还是够好的，而且成本也低得多。

15.3.3　带有Delta-Sigma调制器的分数N锁相环

当本书还正在写作的时候，出现了泛滥性的大量关于Delta-Sigma（ΔΣ）PLL的文章。这些PLL使用了全数字的ΔΣ调制器[15.29,15.30]，因此在每个基准周期内就可以改变一次多模分频器的分频率。在许多周期内的平均分频率就是一个分数。而且，ΔΣ调制器对它的输出噪声进行了整形，因而抑制了低频噪声并把低频噪声集中到了高频区，而这些高频噪声可以被PLL的低通频率响应来衰减。ΔΣPLL是非常受欢迎的，因为它几乎完全是用数字方式来实现的，而且不需要麻烦的抵消操作就可以达到36615.3.2节的老式分数N合成器的性能。

这个课题的早期文章包括参考文献[15.31]和[15.32]，其中的后一篇文章在之后的文献中受到了广泛的引用。同时，Egan[15.6,8.3节]也描述了ΔΣ技术，但却没有提及Delta-Sigma这个词。后来的许多文章被收入到了参考文献[15.33]和[15.34]中，而且一整本关于ΔΣ分数N合成器的书[15.36]都已经出版了。Galton的入门讲授式综述文章[15.36]是一个关于这个课题的很好的导论。当本章编写到这里的时候，几乎每个月都出现戏剧性的新成果，这种趋势一定还会继续下去。细心的读者可以去查看后面的文献，以备将来使用。

图15-7中示出了简化的ΔΣ PLL的框图。环路包含了PLL合成器中所有常用的单元。与基本合成器的不同点在于它的一个多模分频器，这个分频器能够对连续的C-clk周期以不同（必须是整数）的分频率进行分频。多模分频器有很多的分频选择，不像双模分频器那样只有两个分频选择。

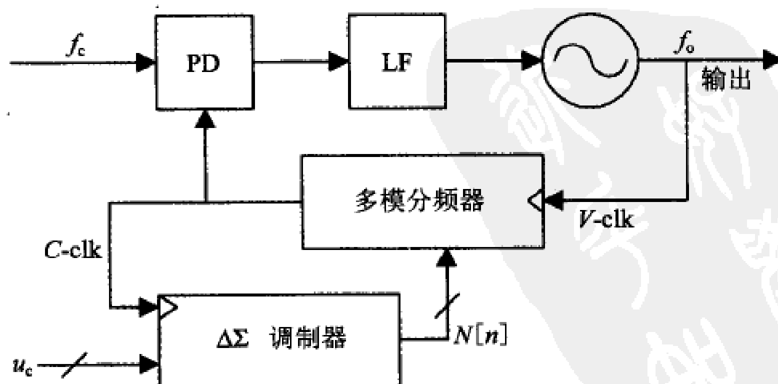


图15-7　Delta-Sigma分数N合成器

分频率的控制是由一个全数字 $\Delta\Sigma$ 调制器完成的。调制器的输入是一个指出多模分频器所需平均分频率的数字量 u_c，这个分频率包括一个整数部分和一个分数部分。调制器产生一个数字量序列，每个 C-clk周期产生一个数字，这样的每个数字指定了多模分频器可执行的整数分频率。调制器输出序列的平均值是所需的分数分频率，虽然序列中的每一个数都是整数。$\Delta\Sigma$ 调制器可以量化成每个输出少到只有一位（这时，多模分频器只有两个不同的分频率），但也可以有许多位（可以有更多的分频率选择）。

注解：调制器产生的数可以未必是实际的分频率 $N[n]$。这些数更可以说成是，为了达到指定的分频率而对脉冲吸收电路所发出的指令。

快速改变的分频率使加到检相器上的反馈信号产生很大的相位抖动。系统是通过 $\Delta\Sigma$ 调制器的噪声整形特性来应对这个抖动的。一个 k 阶调制器在内部的数字信号通路中有 k 个累加器。每一个这样的累加器对量化噪声谱提供一个 $(1-z^{-1})$ 的整形，所以 k 阶转换器以 $(1-z^{-1})k$ 对噪声进行整形。整形操作在噪声谱的 $z=1(f/f_c\doteq 0)$ 处插入 k 个零点，使谱密度在 $z=-1$（即 $f/f_c=0.5$）处形成一个峰值。PLL 对反馈通路中产生的相位抖动呈现一个低通响应[传递函数 $H(s)$，在第 2 章中介绍过]。PLL 的恰当的低通滤波去除了 $\Delta\Sigma$ 调制器中的大多数主要的高频噪声，使剩余的抖动可以被许多应用所接受。

367

k 阶调制器对高频噪声的有效抑制，需要至少 $(k+1)$ 阶的 PLL。高阶 PLL 的稳定操作，要求其带宽比低阶 PLL 更窄（较小的环路增益）。而较窄的带宽与前面第一次帮助我们想到分数 N 分频器时的大带宽是正好相反的。于是，设计者面临了一个在恰当滤波与恰当宽带之间的折中问题。

由 $\Delta\Sigma$ 调制器固有的分频率快速变化所引起的相位抖动，可以用 DAC 来抵消[15.37,15.38]，其原理与传统的分数 N 合成器相似。这个方法是与避免使用难于调节的抵消方法相抵触的，但却是很有效的。另一个改进方法是，对驱动多模分频器的 $\Delta\Sigma$ 控制序列施加低通滤波[15.39]，从而减小控制序列中的高频成分和减轻 PLL 对自己滤波的要求，因而有利于使用较宽的环路带宽。

当施加恒定(DC)输入时，$\Delta\Sigma$ 调制器的状态轨迹可能会变成一个周期性的极限环[15.40]。（其行为与 13.2.3 节中描述的产生整数频率的数字 PLL 的行为非常接近。）极限环的周期性使生成的最终相位噪声谱中存在离散谱线，而非连续谱密度。离散谱线常常是不可接受的，因而必须被抑制。一个扩展谱线的技术是对频率控制字 u_c 加上小振幅、零均值的颤振(dither)[15.36]；颤振可以用伪随机移位寄存器产生。另一个技术是参考文献[15.41]中报道的：如果对三阶或更高阶的 MASH 调制器[15.30]（也叫级联或多级调制器）中的第一个累加器建立合适的初始条件，那么极限环的周期性可以被有效地抑制，因而使抖动谱变为连续的。有人怀疑对高阶的非 MASH 型结构采用相似的措施是否也能有效。

PLL 中很小的、原先不重要的非线性，对数字 $\Delta\Sigma$ PLL 却有重大的影响。非线性电路会从输入信号各个成分中产生出交叉调制和谐波失真，而分频器和检相器固有的

采样操作会引起频谱折叠。其结果是，ΔΣ输出序列中被认为将由 PLL 低通频率响应所衰减的大幅度的高频成分，却被混叠到低频区而无法被滤除。为了达到几乎完全的 ΔΣ PLL 性能，就要求设计者仔细找出并缓和在大幅度的 ΔΣ序列下所显现的非线性。

368

这样的一种非线性出现在多模分频器自身电路中，表现为不同的模数有不同的延迟[15.36]。对分频器的输出采用再同步是显而易见的解决方法。其他的非线性潜伏在相频检测器(PFD)中，如10.3节所描述的。残余信号的死区有特殊的伤害性[15.39,15.42]，而电荷泵的不平衡也会起到这样的作用。另外，PFD中样点的定时是不均匀的，因为当基准相位超前分频器反馈相位时，电荷电流是由基准频率控制的，但当基准相位滞后反馈相位时，则是由分频器输出启动的。

为了应对这种非线性采样，参考文献[15.43]提出这样的方法，即在 PFD 和电荷泵的后面接入一个采样保持器(S & H)，用以实现在基准时钟控制下的均匀间隔再采样。还可以考虑使用一个采样保持检相器代替 PFD，因而，再采样就不是在 PFD 之后进行，也就可以消除 PFD 的全部非线性。但采样 PD 没有频率检测的能力，所以还需要其他措施用于锁相捕获。在本书正在写作的时候，我未曾发现任何已经发表的关于使用采保器 PD 的 ΔΣ PLL 的文章。

由于非线性的原因，ΔΣ PLL 的建模和分析比本书前面提到的直接的线性方法要复杂得多。关于各种各样的建模和分析的方法可以在参考文献[15.4]、[15.27]、[15.35～15.37]、[15.39]和[15.24～15.44]中找到。

15.4 噪声在 PLL 中的传播

高性能合成器(包括低相位噪声、快捕获、合成器频率的小间距、低功耗和低成本)的成功开发是一个艰难而富有挑战性的任务。它需要对几个完全不相关的事情进行思考。以 IC 实现时，需要在芯片布图前做电路仿真(尤其在存在严重非线性的情况下)，使用较老式的封装方法时一般也建议要进行仿真。计算机程序会保存设计的全部数据；设计者可以得到所有需要的帮助。

但本节将采用另外的途径；主要探讨 PLL 合成器的一些基本特点。所使用的工具是传递函数的线性分析方法。计算机的使用已经不像电子表格那样复杂了。使用这些简单工具而生成的初步设计，为开发高性能合成器所进行的更繁复的设计工作确立了良好的基础。

15.4.1 振荡器噪声的传递函数

图 15-8 中的简单模型帮助确立了 PLL 的噪声传递函数。现在假设噪声被约束在两个振荡器内：即基准振荡器和 VCO。这个假设并不实际，因为 PLL 中的每个单元都会产生噪声，但在高性能合成器中，振荡器噪声应当是占主导的。任何一个 PLL 的噪声性能不会优于单独振荡器的噪声性能。

369

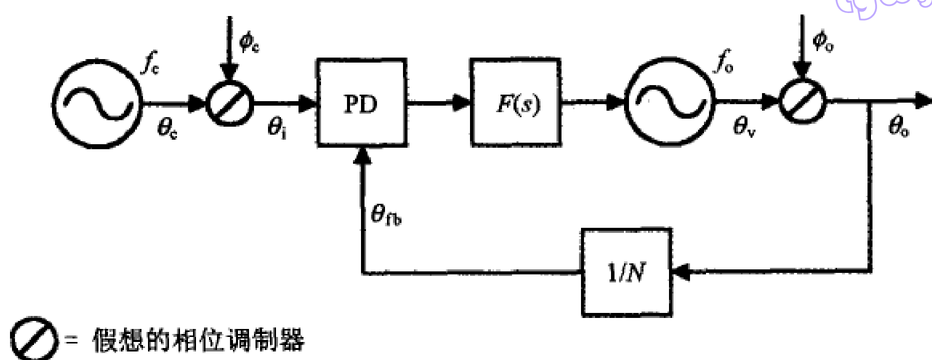


图 15-8 PLL 合成器中的振荡器噪声源

图 15-8 中的 PLL 在反馈通路中有一个 $1/N$ 分频器。所有的单元，包括振荡器、检相器、环路滤波器和分频器，都假设为理想的。相位噪声被看做好像是由每个跟在振荡器后面的假想的相位调制器从外部加入的。位于比较频率 f_c 上的基准源的相位为 θ_c，在这个相位上再加上谱密度为 $W_{\phi c}(f)$ rad/s · Hz 的相位噪声 ϕ_c。加到 PD 上的信号相位为 $\theta_i=\theta_c+\phi_c$。

工作在频率 f_o 上的 VCO 的输出相位为 $\theta_o=\theta_v+\phi_o$ 弧度，其中 ϕ_o 是以谱密度为 $W_{\phi o}(f)$的相位噪声调制，θ_v 是由 VCO 的控制电压建立的。加到 PD 上的反馈相位 θ_{fb} 简单地为 θ_o/N。相位误差是 $\theta_e=\theta_i-\theta_{fb}$，而 VCO 的相位可给出为 $\theta_v=\theta_e K_d K_o F(s)/s$。(PLL 中各单元的标记是在第 2 章中规定的。)

在使用有关公式做处理后，可以找出 VCO 有噪声时的相位输出为

$$\theta_o(s)=\frac{K_d K_o F(s)\theta_i+s\phi_o}{s+K_d K_o F(s)/N}=H(s)\theta_i+E(s)\phi_o \tag{15-7}$$

其中

$$H(s)=\frac{K_d K_o F(s)}{s+K_d K_o F(s)/N}$$

$$E(s)=1-H(s)=\frac{s}{s+K_d K_o F(s)/N} \tag{15-8}$$

因此，θ_o 的相位噪声谱密度为

$$W_{\phi o}(f)=|H(f)|^2 W_{\phi c}(f)+|E(f)|^2 W_{\phi o}(f) \tag{15-9}$$

二阶 2 类 PLL 的环路滤波器的传递函数是 $F(s)=K_1+K_2/s$，如式(2-14)。把它代入到式(15-8)并定义 $K=K_d K_o K_1/N$ 之后，就可给出相应的传递函数为

$$H(s)=\frac{NK(s+K_2/K_1)}{s^2+K(s+K_2/K_1)}=\frac{N(sK+K^2/4\zeta^2)}{s^2+sK+K^2/4\zeta^2}$$

$$E(s)=\frac{s}{s^2+K(s+K_2/K_1)}=\frac{s^2}{s^2+sK+K^2/4\zeta^2} \tag{15-10}$$

370

把式(15-10)与式(2-20)和式(2-21)相比较后发现，$E(s)$仅通过 N 对 K 的贡献而与 N 有关，但还有 $H(s)$是与 N 成正比的。一个在反馈通路中存在分频器的 PLL 的行为相当于一个倍频器，与所有的倍频器一样，这样的一个 PLL 把输入端上的相位噪声放大了 N 倍。N 的一个大值对输出相位噪声是有害的。

15.4.2　带宽的权衡

本节给出一个基于图 15-8 的图示例子(这个图适用于前一节的传递函数)。这个例子揭示了一个重要原理:PLL 合成器的相位噪声性能应当通过恰当选择环路带宽(环路增益 K)来优化。

图 15-9 画出了该例子中的各种组成成分。其中的基准源是一个具有图中指定的相位噪声谱 $W_{\phi c}(f)$的 10 MHz 石英晶体振荡器(XTAL)。VCO 是一个具有指定相位噪声谱 $W_{\phi o}(f)$的 12 GHz 介质谐振振荡器(DRO)。DRO 将被锁相到基准频率的第 1200 次谐波频率上,所以分频率是 1/1200。对基准源相位噪声的放大,是通过把图中 10 MHz 振荡器的相位噪声谱上移 20 log(1200) = 61.6 dB 来实现的。这个振荡器谱是用细实线画出的。虚线表示了对 PLL 参数具体选择为 $K/2\pi=1$ kHz 和 $\zeta=0.707$ 时的 $|H(f)|/N$ 和 $|E(f)|$ 的频率响应。$|H(f)|$ 的响应已经被除以 N,以使曲线有恰当的比例。基准源的相位噪声被 $H(f)$滤波,VCO 的相位噪声被 $E(f)$滤波,它们的曲线都用细实线画出。滤波操作简单地被计算为相位噪声谱与滤波响应两者分贝曲线的相加。最后,PLL 的输出相位噪声谱 $W_{\phi o}(f)$是根据式(15-9)用粗线画出的。最终的 PLL 合成器特性在低频区跟随了放大 N 倍的晶体振荡器谱,在高频区跟随了 VCO 谱。

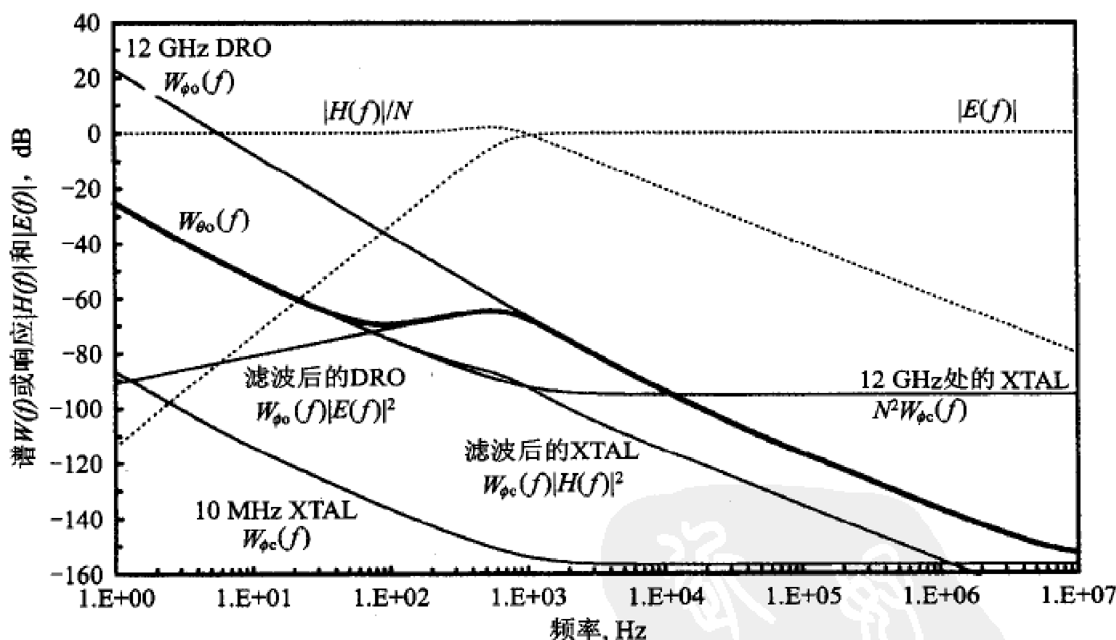


图 15-9　一个 PLL 合成器($K/2\pi$ = 1 kHz 和 ζ = 0.707)的相位噪声谱例子

从图 15-9 可以清楚地看出,PLL 较宽的带宽可以改善输出相位噪声。图 15-10 表示对阻尼保持恒定 $\zeta=1$ 的 PLL,同时选择各种环路增益 K 时的输出相位噪声谱。最小相位噪声谱 $W_{\phi o}(f)$是在 $K/2\pi\approx10$ kHz 或也许再大一些的情况下得到的。参照图 15-9 可以看出,VCO 的相位噪声与放大了 N 倍的基准相位噪声这两条曲线在 $f=$ 10 kHz附近交叉。这个现象引出了下面的一般规则:

如果 PLL 中的噪声由基准振荡器和 VCO 主导，那么 PLL 的最佳带宽就在这两个振荡器的相位噪声谱的交叉频率附近。

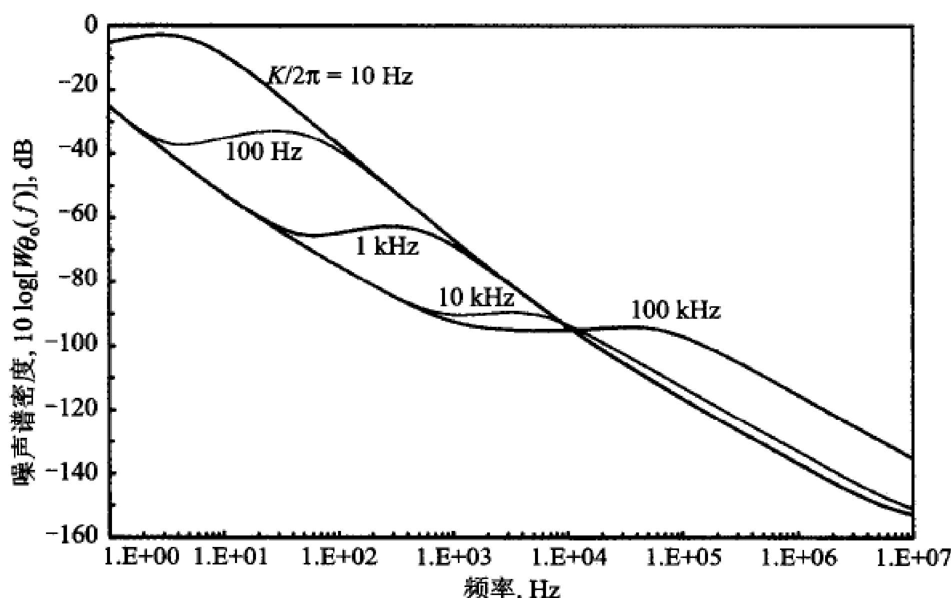


图 15-10 PLL 合成器（$\zeta=1$；振荡器与图 15-9 中相同）中由不同的环路增益 K 所产生的不同的相位噪声谱

371~372

在任何合成器中都会有许多其他的噪声源，所以这个规则只是噪声分析的一个起点。而且，式(15-9)的组合噪声谱是一个 PLL 在任何一对振荡器条件下可以达到的最好的噪声性能；其他噪声源不可避免地会损害这个总体噪声性能。这个规则仅当交叉频率确实存在，而且交叉频率足够低以使最佳带宽的 PLL 具有恰当稳定性裕度时才适用。实际上，在许多现代合成器中的 VCO 的噪声非常大，以至达不到最佳带宽，或根本不存在最佳带宽。在这种情况下，带宽应当设计得尽可能大，同时还要考虑环路的稳定性和对 PD 纹波的衰减。

有几个特点经常出现在 PLL 合成器的谱中。在 $W_{\theta o}(f)$ 谱中，介于两个独立振荡器谱的陡峭斜率区之间的一个过渡区，是多少有些平坦的。这个过渡区的平坦性使输出谱具有一个清晰的平缓区。从图 15-10 可以看出，延伸得很宽的平缓区指出了 PLL 的过宽的带宽；用较窄的带宽也许可以得到更好的噪声性能。

过渡区不是完全平坦的；可以看出存在某个峰值。峰值的出现部分地是因为过渡区本身的性质，当 PLL 带宽较窄时要比较宽时更明显一些。但这个峰值也是由于 $|H(f)|$ 的峰值（见 2.2.4 节）。峰值随着阻尼 ζ 的增加而降低。当相位噪声谱用线性的频率比例尺画出时，峰值将会明显得多；在 RF 谱分析仪上观察时，这些峰值看起来像“耳朵”，这些峰值是 PLL 合成器的明显的特点。图 15-10 也指出了某些超过 $f=K/2\pi$ 的高频噪声，这些噪声是由基准噪声谱的噪声底线(floor)引起的，并可以通过增加 PLL 中的高频滤波加以改善，尤其在环路带宽超过最佳带宽时。

15.4.3　其他噪声源

合成器中的每个单元都贡献噪声。前一节中关于两个振荡器的相位噪声占主导而其他噪声均可一概忽略的假设，是一个达不到的理想状态。电阻有热噪声，有源器件有散弹噪声，许多器件有闪烁噪声，检相器的纹波和混频器的寄生成分会产生离散谱的寄生分量，邻近电路元件的侵入干扰会产生各种谱特性。严格的合成器设计需要对每个噪声源的噪声进行特征分析，并计算出每个噪声源对输出相位噪声的贡献。

如果必须把所有噪声源放到一起分析，那么这样的计算任务是不可完成的。幸运的是，如果 PLL 可以看作是关于噪声源而线性的（不总是正确的；这一点必须引起注意），那就可以对每个噪声源进行独立的线性分析，然后把所有噪声的效应叠加起来，以此确定出总的相位噪声。叠加是本节中追求尽量使用的技术。

图 15-11 中的 PLL 与图 15-8 中 PLL 相比，结构是相同的，但增加了三个噪声源：检相器输出端的加性噪声 V_{nd}、VCO 输入端的 V_{nc} 和分频器输出端的相位噪声 ϕ_{dv}。把它们的谱密度分别标记为 $W_{vnd}(f)$、$W_{vnc}(f)$ 和 $W_{\phi dv}(f)$，其中的两个电压以 V^2/Hz 为单位，而相位以 rad^2/Hz 为单位。（PD 输出端的加性噪声也可以是电流噪声，而非电压噪声；这样，标记符号及其单位应做相应改变。）这些噪声源只是作为举例；在合成器中还有许多其他的噪声源。

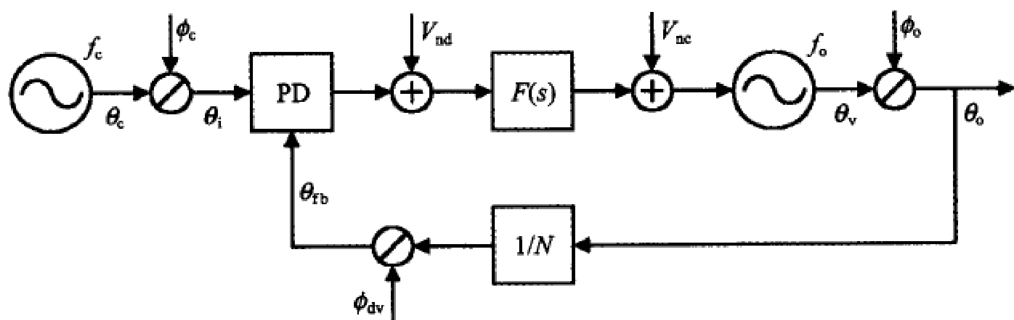


图 15-11　PLL 合成器中的各种噪声源

通过传递函数的分析，可以找出上面三个噪声源对输出相位噪声谱的贡献为

$$\frac{|H(f)|^2 W_{vnd}(f)}{K_d^2}$$
$$\frac{|E(f)|^2 K_o^2 W_{vnc}(f)}{(2\pi f)^2} \qquad (15\text{-}11)$$
$$|H(f)|^2 W_{\phi dv}(f)$$

376

在对这些贡献表达式的考察后，可以知道：

- ☐ 出现在检相器与滤波器之间的加性噪声是被 PLL 低通滤波的；
- ☐ 大的 PD 增益 K_d 对减小出现在环路滤波器之前的加性噪声的影响是有利的；
- ☐ 如果 PLL 是 2 类或更高类的，那么出现在环路滤波器和 VCO 之间的加性噪声将被带通滤波；

- 小的 VCO 增益 K_o 对减小出现在环路滤波器之后的加性噪声的影响是有利的；
- 由分频器产生的相位噪声是被 PLL 滤波的，其滤波方式是与 PLL 对基准振荡器相位噪声的滤波方式完全相同的，如式(15-9)中那样。

各种电路单元的噪声特性已经在参考文献[15.24](分频器)、[15.45](倍频器和分频器、混频器、以及某些检相器)、[15.46](许多电路单元)和[15.49]与[15.50](分频器)中报道过。Egan[15.45,15.49]长期以来一直着重于对用数字计数器搭建的分频器的采样特性的分析，参考文献[15.24]中也讨论了这个性质。因为数字分频器的输出是以低于输入信号的速率采样的，所以输入噪声被混叠到了较低的频率上。分频器的输出噪声由分频器内部电路(参考文献[15.24]有详细分析)产生的噪声和输入相位噪声的混叠成分所组成。PLL 是无法像式(15-11)那样将这两种噪声与基准噪声相区分的。参考文献[15.24]、[15.45]和[15.49]中提供了对分频器混叠噪声的近似预测，但仍需进一步研究。

374

相频检测器中数字部分的噪声应该与分频器(无下采样者除外)中的噪声有相似的效应；用参考文献[15.24]中描述的方法来分析这个效应，应当是可行的。在本书写作时，似乎尚未见到有人发表这样的分析。

电荷泵受到散弹噪声和闪烁噪声的影响。因此，提供给环路滤波器的电荷，从一个接通期间到下一个接通期间都是有波动的，即使接通时间固定时也是如此。这种电荷波动成为 PLL 中的一个噪声源。对电荷泵噪声的分析，在参考文献[15.39]和[15.44]中有简单的报道。进一步的分析会是有价值的，这将考虑到接通时间内噪声的采样特性。我们推测电荷泵在断开期间不会贡献很大的噪声。

对环路中像电阻和运算放大器这些常用的连续时域元件中的噪声源，我们已经有了很好的理解。线性分析的内容包括评估出噪声源的噪声特性和确定从每个噪声源到 VCO 相位噪声谱 $W_{\theta o}(f)$ 的传递函数，如下面例子所展示的那样。我们现在来考察图 15-12 中的一个二阶 2 类 PLL 的有源环路滤波器的噪声模型。噪声是由两个电阻 R_1 和 R_2 以及折算到输入端的运算放大器等效电压噪声 ena 和电流噪声 ina 所贡献的。一个阻值为 R 的电阻产生单边谱密度为 $W_R=4kTR$ 的白热噪声，其中 k 为 Boltzmann 常量，T 为绝对温度。运放的噪声谱 $W_{ena}(f)$ 和 $W_{ina}(f)$ 中还包含了与每个具体器件有关的闪烁谱成分$(1/f)$和白色谱成分。

我们假设运放是理想的：增益无穷大；带宽无穷大；输入阻抗无穷大。因而，流入输入端的电流为零，输入端上的电压也为零。因此，图 15-12 中流入结点 X 的电流方程可写为

375

$$\frac{V_d+e_{R1}}{R_1}+i_{na}+\frac{V_c+e_{R2}}{R_2+1/sC}+e_{na}\left(\frac{1}{R_1}+\frac{1}{R_2+1/sC}\right)=0 \tag{15-12}$$

令 $\theta_e=-K_d(\theta_i-\theta_o)$。(其中的负号补偿了运放的反相作用。)设 $\theta_i=0$，那么由环路滤波器中各噪声源所引起的闭环相位噪声 θ_o 为

$$\theta_o(s)=-\frac{K_o}{s^2+K_oK_d(sCR_2+1)/NR_1C}\times\left[\frac{sCR_2+1}{CR_1}(e_{R1}+i_{na}R_1+e_{na})+s(e_{R2}+e_{na})\right] \tag{15-13}$$

定义 $K=K_oK_dR_2/NR_1$，并使用式(15-10)的定义，就得到

$$\theta_o(s)=-\frac{1}{s^2+K(s+1/R_2C)}\times\left[\frac{NK(s+1/R_2C)}{K_d}(e_{R1}+i_{na}R_1+e_{na})+sK_o(e_{R2}+e_{na})\right]=-\frac{H(s)}{K_d}(e_{R1}+i_{na}R_1+e_{na})-\frac{K_oE(s)}{s}(e_{R2}+e_{na}) \tag{15-14}$$

因而，对 θ_o 中的相位波动谱密度 $W_{\theta o}(f)$ 的贡献是

$$W_{\theta o}(f)=[W_{R1}+W_{ina}(f)R_1^2]\frac{|H(f)|^2}{K_d^{\,2}}+W_{R2}\frac{K_o^2|E(f)|^2}{4\pi^2f^2}+W_{ena}(f)\left|\frac{H(f)}{K_d}+\frac{K_oE(f)}{j2\pi f}\right|^2 \tag{15-15}$$

(应当注意，$|[H(f)/K_d]+[K_oE(f)/j2\pi f]|^2\neq|H(f)/K_d|^2+|K_oE(f)/j2\pi f|^2$；因为还存在非零的交叉乘积。)

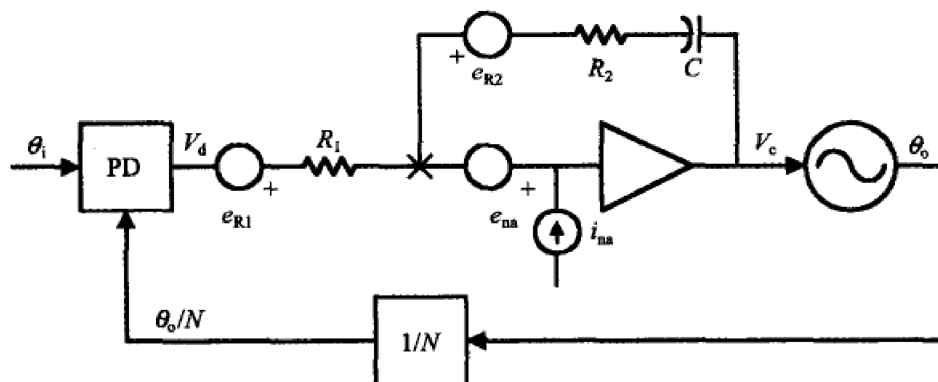


图 15-12　PLL 合成器中环路滤波器的噪声源

参考文献

15.1 V. F. Kroupa, *Frequency Synthesis*, Wiley, New York, 1973.

15.2 G. Gorski-Popiel, ed., *Frequency Synthesis: Applications and Techniques*, IEEE Press, New York, 1975.

15.3 V. Manassewitsch, *Frequency Synthesizers: Theory and Design*, 3rd ed., Wiley, New York, 1987.

15.4 J. A. Crawford, *Frequency Synthesizer Design Handbook*, Artech House, Norwood, MA, 1994.

15.5 U. L. Rohde, *Microwave and Wireless Synthesizers: Theory and Design*, Wiley, New York, 1997.

15.6 W. F. Egan, *Frequency Synthesis by Phase Lock*, 2nd ed., Wiley, New York, 2000.

15.7 V. F. Kroupa, *Phase Lock Loops and Frequency Synthesis*, Wiley, Chichester, West Sussex, England, 2003.

15.8 J. W. Horton, "Generation and Control of Electric Waves," U.S. patent 1,690,299, Nov. 6, 1928.

376

15.9 R. L. Miller, "Fractional-Frequency Generators Utilizing Regenerative Modulation," *Proc. IRE* ***27***, 446–457, July 1939.

15.10 S. Plotkin and O. Lumpkin, "Regenerative Fractional Frequency Generators," *Proc. IRE* ***48***, 1988–1997, Dec. 1960.

15.11 C. W. Helstrom, "Transient Analysis of Regenerative Frequency Dividers," *IEEE Trans. Circuit Theory* ***CT-12***, 489–497, Dec. 1965.

15.12 E. Rubiola, M. Olivier, and J. Groslambert, "Phase Noise in the Regenerative Frequency Dividers," *IEEE Trans. Instrum. Meas.* ***IM-41***, 353–360, June 1992.

15.13 R. Adler, "A Study of Locking Phenomena in Oscillators," *Proc. IRE* ***34***, 351–357, June 1946. Reprinted in [15.18].

15.14 K. Kurokawa, "Noise in Synchronized Oscillators," *IEEE Trans. Microwave Theory Tech.* ***MTT-16***, 234–240, Apr. 1968. Reprinted in [15.17].

15.15 R. Adler, "A Study of Locking Phenomena in Oscillators," *Proc. IEEE* ***61***, 1380–1385, Oct. 1973.

15.16 K. Kurokawa, "Injection Locking of Microwave Solid-State Oscillators," *Proc. IEEE* ***61***, 1386–1410, Oct. 1973.

15.17 V. F. Kroupa, ed., *Frequency Stability: Fundamentals and Measurement*, Reprint Volume, IEEE Press, New York, 1983.

15.18 W. C. Lindsey, and M. K. Simon, eds., *Phase-Locked Loops & Their Application*, Reprint Volume, IEEE Press, New York, 1978.

15.19 H. R. Rategh and T. H. Lee, "Superharmonic Injection-Locked Frequency Dividers," *IEEE J. Solid-State Circuits* ***SC-34***, 813–821, June 1999.

15.20 S. Verma, H. R. Rategh, and T. H. Lee, "A Unified Model for Injection-Locked Frequency Dividers," *IEEE J. Solid-State Circuits* ***38***, 813–821, June 2003.

15.21 J. M. Manley and H. E. Rowe, "Some General Properties of Nonlinear Elements, Part I: General Energy Relations," *Proc. IRE* ***44***, 904–913, July 1956.

15.22 D. Leenov and A. Uhlir, "Generation of Harmonics and Subharmonics at Microwave Frequencies with P-N Junction Diodes," *Proc. IRE* ***47***, 1724–1729, Oct. 1959.

15.23 R. A. Mostrom, "The Charge-Storage Diode as a Subharmonic Generator," *Proc. IEEE* ***55***, 735–736, July 1965.

15.24 S. Levantino, L. Romano, S. Pellerano, C. Samori, and A. L. Lacaita, "Phase Noise in Digital Frequency Dividers," *IEEE J. Solid-State Circuits* ***39***, 775–784, May 2004.

15.25 *Phase-Locked Loop Data Book*, 2nd ed., Motorola, Phoenix, AZ, Aug. 1973.

15.26 D. D. Danielson and S. E. Froseth, "A Synthesized Signal Source with Function Generator Capabilities," *Hewlett-Packard J.*, 18–26, Jan. 1979.

15.27 V. F. Kroupa, ed., *Direct Digital Frequency Synthesizers*, Reprint Volume, IEEE Press, New York, 1999.

15.28 D. P. Owen, "Fractional-*N* Synthesizers," *Microwave J.*, 110–121, Oct. 2001.

15.29 J. C. Candy, and G. C. Temes, eds., *Oversampling Delta–Sigma Data Converters*, Reprint Volume, IEEE Press, New York, 1992.

15.30 S. R. Norsworthy, R. Schreier, and G. C. Temes, eds., *Delta–Sigma Data Converters*, Reprint Volume, IEEE Press, New York, 1997.

15.31 B. Miller and R. J. Conley, "A Multiple Modulator Fractional Divider," *IEEE Trans. Instrum. Meas.* ***40***, 578–583, June 1991.

377

15.32 T. A. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta–Sigma Modulation in Fractional-*N* Frequency Synthesis," *IEEE J. Solid-State Circuits* ***28***, 553–559, May 1993.

15.33 B. Razavi, ed., *Phase-Locking in High-Performance Systems*, Reprint Volume, IEEE Press, New York, and Wiley, New York, 2003.

15.34 Special Issue on Integrated Phase-Locked Loops, *IEEE Trans. Circuits Syst. II* ***50***, Nov. 2003.

15.35 B. De Muer and M. Steyaert, *CMOS Fractional-N Synthesizers: Design for High Spectral Purity and Monolithic Integration*, Kluwer Academic, Norwell, MA, 2002.

15.36 I. Galton, "Delta–Sigma Fractional-*N* Phase-Locked Loops," original tutorial in [15.33], pp. 23–33.

15.37 S. Pamarti and I. Galton, "Phase-Noise Cancellation Design Tradeoffs in Delta–Sigma Fractional-*N* PLLs," *IEEE Trans. Circuits Syst. II* ***50***, 829–838, Nov. 2003.

15.38 S. E. Meninger and M. H. Perrott, "A Fractional-*N* Frequency Synthesizer Architecture Utilizing a Mismatch Compensated PFD/DAC Structure for Reduced Quantization-Induced Phase Noise," *IEEE Trans. Circuits Syst. II* ***50***, 839–849, Nov. 2003.

15.39 T. A. D. Riley, N. M. Filiol, Q. Du, and J. Kostamovaara, "Techniques for In-Band Phase Noise Reduction in $\Delta\Sigma$ Synthesizers," *IEEE Trans. Circuits Syst. II* ***50***, 794–803, Nov. 2003.

15.40 R. M. Gray, "Quantization Noise Spectra," *IEEE Trans. Inf. Theory* ***IT-36***, 1220–1244, Nov. 1990. Reprinted in [15.29].

15.41 M. Kozak and I. Kale, "Rigorous Analysis of Delta–Sigma Modulators for Fractional-*N* PLL Frequency Synthesis," *IEEE Trans. Circuits Syst. I* ***51***, 1148–1162, June 2004.

15.42 B. De Muer and M. S. J. Steyaert, "On the Analysis of $\Delta\Sigma$ Fractional-*N* Frequency Synthesizers for High-Spectral Purity," *IEEE Trans. Circuits Syst. II* ***50***, 784–793, Nov. 2003.

15.43 M. Cassia, P. Shah, and E. Bruun, "Analytical Model and Behavioral Simulation Approach for a $\Sigma\Delta$ Fractional-*N* Synthesizer Employing a Sample-Hold Element," *IEEE Trans. Circuits Syst. II* ***50***, 850–859, Nov. 2003.

15.44 M. Perrott, M. Trott, and C. Sodini, "A Modeling Approach for $\Sigma\Delta$ Fractional-*N* Frequency Synthesizers Allowing Straightforward Noise Analysis," *IEEE J. Solid-State Circuits* ***37***, 1028–1038, Aug. 2002. Reprinted in [15.33].

15.45 W. F. Egan, "The Effects of Small Contaminating Signals in Nonlinear Elements Used in Frequency Synthesis and Conversion," *Proc. IEEE* ***69***, 797–811, July 1981.

378

15.46 V. F. Kroupa, "Noise Properties of PLL Systems," *IEEE Trans. Commun.* ***COM-30***, 2244–2252, Oct. 1982. Reprinted in [15.17], [15.47], and [15.48].

15.47 W. C. Lindsey and C. M. Chie, eds., *Phase-Locked Loops*, Reprint Volume, IEEE Press, New York, 1986.

15.48 B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, Reprint Volume, IEEE Press, New York, 1996.

15.49 W. F. Egan, "Modeling Phase Noise in Frequency Dividers," *IEEE Trans. Ultrason.*

Ferroelectr. Freq. Control ***UFFC-37***, 307–315, July 1990.

15.50 V. F. Kroupa, "Jitter and Phase Noise in Frequency Dividers," *IEEE Trans. Instrum. Meas.* ***IM-50***, 1241–1243, Oct. 2001.

379



第 16 章　锁相调制器与解调器

锁相解调器被广泛用于调幅(AM)、调相(PM)和调频(FM)接收中。AM 和 PM 的相干(相对于非相干)解调几乎总是借助锁相环的。锁相 FM 解调器可以比普通的 FM 鉴频器达到较低的阈值。角度调制器(PM 和 FM)有时也使用锁相环。本章将对 PLL 在调制器与解调器中的作用做一综述。

16.1　锁相调制器

有许多方法可以产生相位调制和频率调制。其中一个方法是把基带消息插入到 PLL 的低频部分,以此对 VCO 做相位或频率的调制。

注解: *PM 与 FM 之间的区别是人为的:两者都可以叫做角调制,都用统一的处理方式。在本章内,PM 这个术语是指小的相位偏离,并存在剩余的载波,而 FM 并不是这样。两者之间更明显的差别是在调制器和解调器的结构中,而不是在信号本身。*

中心频率的稳定性是被用做基准的固定振荡器所确立的。锁相操作迫使 VCO 的平均频率等于基准频率。已锁定的环路对 VCO 的频率漂移完成跟踪和消除。

16.1.1　调制器基础

角调制 PLL 的框图见图 16-1。相位调制是通过对检相器输出的 V_d 上施加调制电压 V_p 来实现的。环路试图使 V_p 与 V_d 的和变成零;这只有在相位误差产生的 V_d 能抵消 V_p 时才有可能。对 VCO 的相位调制产生了 PD 上的相位误差。

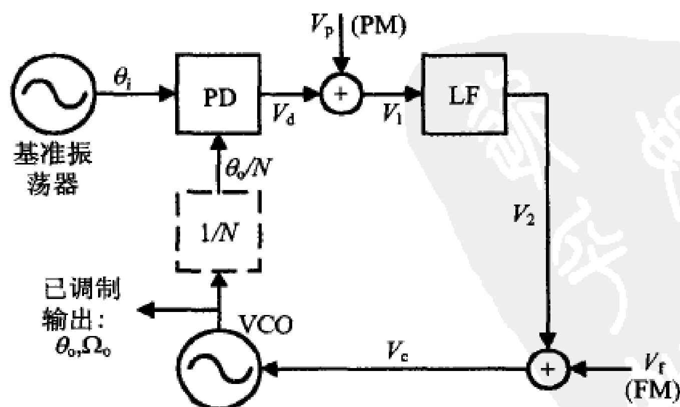


图 16-1　使用 PLL 的角调制

通过使用第 2 章的传递函数的方法，由电压 V_p 产生的 VCO 的相位调制为

$$\theta_o(s)=\frac{V_p(s)}{K_d}H(s) \tag{16-1}$$

该电路的调制灵敏度为 $1/K_d$。由于 $H(s)$是一个低通函数，所以环路带宽必须大于最高调制频率，才可避免线性失真。检相器的特性必须是线性的，以避免调制的非线性失真。VCO 的非线性因反馈而得以减少；如果环路带宽充分大于调制频率，那么 VCO 的非线性是可以允许的。

频率调制是通过把基带电压 V_f 与环路滤波器的输出一起加到 VCO 控制端上而产生的。VCO 的闭环相位调制可以简单地表示为

$$\theta_o(s)=\frac{K_oV_f(s)}{s+K_oK_dF(s)}=\frac{K_oE(s)V_f(f)}{s} \tag{16-2}$$

由于输出频率 Ω_o 是相位的导数，所以 VCO 频率调制的拉普拉斯变换式为

$$\Omega_o(s)=s\theta_o(s)=K_oE(s)V_f(s) \tag{16-3}$$

381

我们可以回想起第 2 章中的 $E(s)$是一个高通函数。因此，高通的转角频率（与环路带宽密切相关）必须小于最低的调制频率。锁相频率调制器不能产生恒定的频率偏移。而且，为了避免非线性失真，VCO 的控制特性必须是线性的；K_o 必须在整个频率偏移范围内保持为一个常数。同时，反馈操作补偿了 PD 特性的非线性。

输出相位的偏移（对于 PM 或 FM）引起检相器的相位误差。由于检相器的工作范围是有限的，所以如果用 VCO 直接驱动 PD 的话，就不可能得到很大的调制度（最大相位偏移）。那些延伸范围的 PD（比如 10.3 节中的 PFD，但需要注意交越失真）是有些帮助的，但这些检相器中的最好者也只能把相位偏移的峰值限制在小于 2π 弧度的范围内。为了达到更大的调制度，可以让 VCO 工作在输入基准频率的一个 N 次谐波上，然后对 VCO 的频率除以 N（图 16-1 中的虚线框），之后再把反馈相位加到检相器上。这样做之后，最大相位误差变为 VCO 最大偏移的 $1/N$。通过对 N 的设置可以得到任意大的调制度。

16.1.2 用调制对 PLL 进行测量

图 16-1 表示出了依靠 PLL 的调制能力来测量 PLL 响应的技术。首先使环路锁定到一个未调制的基准信号上，然后把测试信号注入到 V_p 或 V_f 上，究竟是 V_p 还是 V_f 则要看被测系统的具体情况。这样就存在下面的用于测量的响应关系式：

- 对 V_p 处的注入：

$$V_4(s)=-H(s)V_p(s)$$
$$V_1(s)=E(s)V_p(s) \tag{16-4}$$

- 对 V_f 处的注入：

$$V_2(s)=-H(s)V_f(s)$$
$$V_c(s)=E(s)V_f(s) \tag{16-5}$$

使用这样的测量方法可以检查出 PLL 是否确实具有所希望的特性，因而证明在设计或

构建过程中没有产生任何错误。

16.1.3　Delta-Sigma PLL 调制器

通常的 PLL FM 调制器无法接受低频调制或 DC 分量调制的能力，这对于许多应382用来说是一个严重的问题。ΔΣ调制器的方法[16.1~16.4]既绕开了这个限制，又非常适合于频率合成器。在图 15-7 中那样的 ΔΣ合成器中，可以使频率控制字 u_c 不仅包含代表所需的信号中心频率的固定数字量，而且还包含所需调制的数字样点。这个合成器产生出一个由控制字 u_c 确定的平均频率和所需调制的信号，同时还不阻碍低频调制，甚至对 DC 分量的调制都不影响。当然，PLL 的带宽必须足够宽，以适合调制的要求；PD 的比较频率必须足够高，以使调制信号有恰当的采样率；而且环路带宽还要必须足够窄，以抑制 ΔΣ转换器的高频量化噪声。被引用的那些参考文献讨论了对于设计工程师很重要的一些其他方面的问题。

16.2　锁相解调器

锁相环可以用于许多种类已调信号的解调。这些应用包括相干振幅检测器（乘积检测器）、相位解调器（PM 检测器）和频率解调器（FM 鉴频器）。图 16-2 示出了 PLL 中恢复出的各种调制信号的输出点，同时也确定了用于下面讨论的标记名称。

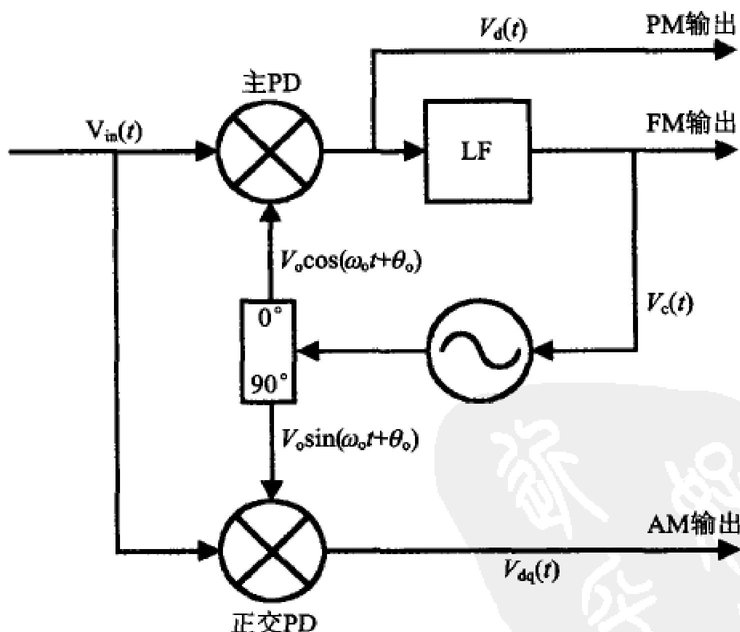


图 16-2　PLL 解调器的一种结构

16.2.1　PLL 用于 AM 解调

PLL 不是直接用作振幅调制的，这是下面首先要讨论的。然后再解释 PLL 是如何

383

用于相干 AM 解调的。

1. PLL 对振幅调制的响应

设无噪声的输入信号被振幅调制为

$$v_{in}(t)=V_s x(t)\sin(\omega_i t+\theta_i) \tag{16-6}$$

其中 $x(t)$是任意的无量纲的振幅调制信号，其他的符号与第 2 章、第 6 章中的相同。检相器可以容易地建模为乘法器的模型，它产生 v_{in} 与 VCO 输出之间的乘积。丢掉倍频项后，PD 的输出可找出为

$$v_d(t)=K_d x(t)\sin\theta_e \tag{16-7}$$

只有检相器的平均(DC)输出才是对确立锁相有用的；其他任何有波动的分量（例如纹波项）都只能对跟踪产生扰动，因而将被抑制。V_d 的平均值是

$$\text{avg}[v_d(t)]=\overline{x}(t)K_d\sin\theta_e \tag{16-8}$$

其中的上划线表示求时间平均。仅当 $\overline{x}\neq 0$ 时才有有用的输出（即环路是可以锁定的）。调制操作必须产生一个 DC 分量，才可存在离散的载波分量；通常的 PLL 是不能锁定到抑制载波信号(suppressed-carrier signal，即载波被抑制的信号)上的。（具有特殊非线性的检相器可以被用来锁定到载波抑制信号上，但在这里不做考虑。）

把振幅调制表示为 $x(t)=x'(t)+\overline{x}$，其中 x'有零均值且 $\overline{x}\neq 0$。检相器的输出变为

$$v_d(t)=[x'(t)+\overline{x}]K_d\sin\theta_e \tag{16-9}$$

但如果环路已锁定且跟踪正确，那么 $\theta_e\approx 0$，而且检相器有非零的输出，并与 $x'(t)$的性质无关。因此，从一次近似来看，PLL 不会对它输入端上的 AM 信号做出响应。

作为更具体的例子，我们来考虑把一个调制频率为 ω_m 和调制度为 m 的正弦 AM 信号加到一个完美调谐的一阶 PLL 上，所以在丢掉倍频项后的环路方程为：

$$v_{in}(t)=V_s(1+m\sin\omega_m t)\sin(\omega_i t+\theta_i)$$

$$v_d(t)=K_d(1+m\sin\omega_m t)\sin(\theta_i-\theta_o)$$

$$\frac{d\theta_o}{dt}=K_o v_d$$

令 $\theta_i=0$ 并回想起 $K_oK_d=K$。把上面的等式组合起来，就得到环路的微分方程：

$$\frac{d\theta_o}{dt}=-K(1+m\sin\omega_m t)\sin\theta_o$$

384

或整理后得到

$$\frac{d\theta_o}{\sin\theta_o}=-K(1+m\sin\omega_m t)dt$$

对两边同时积分后，有

$$\ln\left(\tan\frac{\theta_o}{2}\right)=-Kt+\frac{mK}{\omega_m}\cos\omega_m t+C$$

其中 C 为积分常数。两边取指数后，有

$$\tan\frac{\theta_o}{2}=\exp(-Kt)\exp\left(\frac{mK}{\omega_m}\cos\omega_m t\right)\exp(C)$$

该等式在 t 很大时趋于零。

因此，如果 PLL 最终以零均值的相位误差进行跟踪，那么振幅调制的存在不会改

变这个平衡状态，也不会引起 VCO 的任何相位调制。如果稳态相位误差不为零，那就存在一个振幅调制与相位误差之间的复杂的非线性互作用关系，这个问题将在讨论 FM 解调器时再次探讨。

2. 相干振幅检测器

依照第 6 章的推导，让我们把图 16-2 中 PLL 的输入看成一个振幅已调信号和一个窄带高斯加性噪声之和：

$$v_{in}(t) = x(t)V_s\sin(\omega_i t+\theta_i)+n_c(t)\cos(\omega_i t+\theta_i)-n_s(t)\sin(\omega_i t+\theta_i)$$

把输入信号 v_{in} 乘以图 16-2 中 VCO 输出的 90°相移后的信号 $v_q = V_o\sin(\omega_i t+\theta_o)$，这样，乘法器的差频输出为

$$v_{dq}(t) = K_d\left[x(t)\cos\theta_e+\frac{n_c(t)}{V_s}\sin\theta_e-\frac{n_s(t)}{V_s}\cos\theta_e\right]$$

如果 VCO 跟踪正确，θ_e 就接近零，所以相干振幅检测器(CAD)的输出非常接近下式：

$$v_{dq}(t) \approx K_d\left[x(t)-\frac{n_s(t)}{V_s}\right] \tag{16-10}$$

该输出信号由所需的振幅调制和噪声调制分量的线性和组成，而且这个噪声调制分量与载波同相。正交噪声分量和相当一部分的相位调制被剔除了。因此，CAD(相干振幅检测器)就完成了振幅解调。

385

如果 $x(t)$ 总是正的，那么振幅解调也可以由简单的包络检测器来完成。如果 $x(t)$ 变成负的(在无线电工程中称为过调制)，那么包络检测器会产生严重的失真。相干振幅检测器则没有这个限制；它能够不失真地重构 $x(t)$，即使 $x(t)$ 极性反向时也如此。而且，CAD 甚至可以对载波抑制信号进行解调，只要存在某种方法以产生相位正确的本地基准源：也就是，某种能把 VCO 锁定到正确相位上的方法。

相干振幅检测器也可用于单边带(SSB)和残留边带(VSB)信号的低失真解调。如果希望对本地载波基准进行锁相(对于 VSB 相干解调是必需的)，那就必须与信号一起发送一个残余导引载波。在接收数字数据信号时极为常用的 I/Q 解调器都是相干振幅检测器，其中的一个用于复数振幅调制的同相分量，另一个用于正交分量。

CAD 的一个主要优点在于它对信号与噪声的线性处理。它的输出是信号与噪声的线性叠加；在两者之间不存在交叉调制，而且与输入信噪比无关。与包络检测器的不同点是，相干振幅解调器在输入信号下降到噪声以下时，其阈值仍不会受到损害(这种损坏亦称平方率损失)。

16.2.2 相位解调

假设输入信号是以下式被相位调制的：

$$v_{in}(t) = V_s\sin[\omega_i t+\theta_i(t)] \tag{16-11}$$

其中 $\theta_i(t)$ 是相位调制。如果相位的峰值偏离足够小，因而 PLL 仍保持在线性区内，那么第 2 章的线性传递函数的分析方法就可以使用，因此，检相器的输出可以表示为

$$V_d(s) = K_d E(s) \theta_i(s) \quad (16\text{-}12)$$

由于误差传递函数 $E(s)$ 有一个高频响应，所以，出现在检相器输出端上的频率充分高的相位调制并没有被改变。较低频率的分量则被它所在频率处的反馈因子缩小了。

载波跟踪相干 PM 系统必须设计得使解调器环路不会抑制调制信号。副载波经常被用来把信息谱搬移到 PLL 带宽之外。副载波也被用来把信号信息搬移到 VCO 的低频噪声和漂移干扰频率区之外。如果最大相位偏离保持在检相器 s 曲线的线性区内，那就可以得到不失真的解调信号。为了提高线性度，有时可以使用第 10 章中描述过的某个延伸范围 PD。但是，由于所有 PD 的 s 曲线在低 SNR 时都将回复到正弦形(10.4.3 节)，所以正弦形 s 曲线也就变得非常重要了。 386

在有些应用中是可以容忍失真的；对副载波的解调就是这样的一个例子。锁相环要求信号中含有可跟踪的载波，但这样就对调制度无限制。假设调制信号是一个调制频率 ω_m 位于 PLL 带宽之外的正弦波。已调制的输入相位为

$$\theta_i(t) = \Delta\theta \sin\omega_m t \quad (16\text{-}13)$$

但环路是无法跟踪这个调制的，所以相位误差 $\theta_e = \theta_i$，而检相器的输出为

$$v_d(t) = K_d \sin(\Delta\theta \sin\omega_m t) \quad (16\text{-}14)$$

这个输出信号是调制信号的一个非线性函数。

图 16-3 示出了在最大偏离 $\Delta\theta$ 下的不同的失真输出波形的一些例子。失真随着 $\Delta\theta$ 的增加而明显变大。这些曲线都是在 θ_e 为零均值时的情况；任何一点的相位失调都会引起不对称的失真。把 $\Delta\theta$ 选择得使检相器调制输出的基频分量达到最大，有时是有用的。等式(16-14)是周期性的，所以可以展开为傅里叶级数；第 n 次谐波的傅里叶系数是第 n 阶贝塞尔函数 $J_n(\Delta\theta)$。基频的系数是 $J_1(\Delta\theta)$，它在 $\Delta\theta = 103°$(1.8 rad)时有极大值。残余载波的振幅正比于 $J_0(\Delta\theta)$。

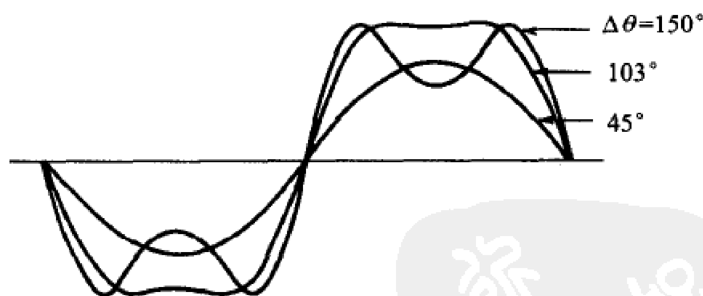


图 16-3 相位解调器波形：PD 有正弦形 s 曲线；正弦调制 $\theta_i(t) = \Delta\theta \sin \omega_m t$

如果副载波不是正弦波而是方波，那就可以达到更有效的信号设计。从解调器中恢复出来的副载波的基频分量的振幅是 $(4/\pi)\sin\Delta\theta$，而残余载波的振幅正比于 $\cos\Delta\theta$。方波的相位偏离的峰值是 $\Delta\theta$。图 16-4 示出了在正弦调制和方波调制下的调制信号和载波系数与 $\Delta\theta$ 之间的关系曲线。在两种调制受到相等的载波抑制的条件下，方波可以从 PM 解调器中得到较大的恢复副载波振幅。 387

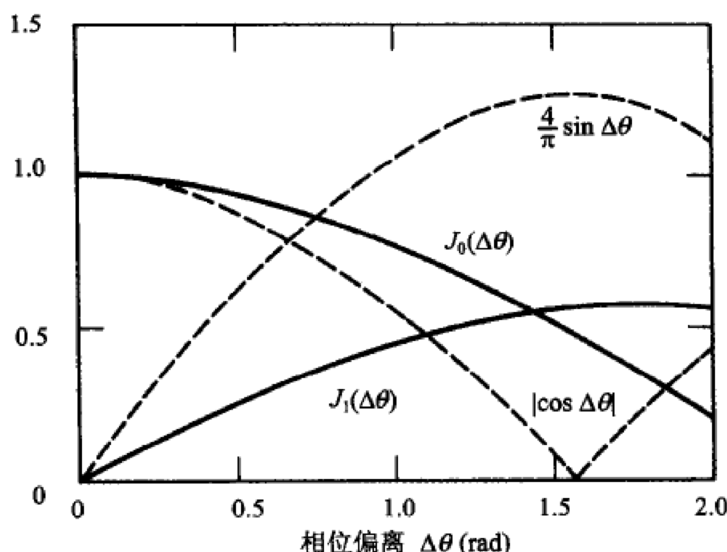


图 16-4　相位调制参数

如果调制信号中包含几个单音，那么非线性会引起单音之间与谐波分量之间的交叉调制[16.5]。交叉调制分量完全可以大于恢复出来的某些单音。PM 通信链路的设计[16.6]是一件复杂的工作；前面只是给出了可能出现问题中的几个例子。

相干相位解调器是不会产生信号与噪声之间的交叉调制的，虽然会有调制失真。因此，相干相位解调器可以用于大噪声的情况下而不产生平方率损失。相干振幅检测器也有这样的性质，这也没有什么奇怪的，因为这两种解调器具有完全相同的电路，而不同的只是本地基准源的相位。

16.2.3　频率解调

假设把一个已经过频率调制的输入信号加到 PLL 上。为了使环路保持锁定，VCO 频率必须对输入频率密切跟踪。VCO 的频率是正比于控制电压(图 16-2 中的 v_c)的，所以控制电压必须与信号调制波形几乎相同。只有这样，调制信号才可以从 VCO 控制电压中恢复出来。这就是锁相 FM 解调器(PLD)的基本原理。PLD 是一个调制跟踪环路，如 5.2.4 节中定义的那样。

388

调制跟踪环路可以用来对大偏离的 PM 和 FM 进行解调。控制电压 v_c 是与频率调制信号相似的，而原来的相位调制可以通过对 v_c 的积分来重新得到。对 v_c 的积分不是一个简单问题，最好是对数字 PLL 和积分器[16.7]来计算。

通过使用第 2 章的线性分析，把控制电压 $V_c(s)$ 与信号相位调制 $\theta_i(s)$ 关联起来的传递函数可以找出为

$$V_c(s)=\frac{s\theta_i(s)H(s)}{K_o} \tag{16-15}$$

把瞬时频率调制标记为 $m(t)$，并以 rad/s 为单位。相位调制和频率调制可以用 $m(t)=\mathrm{d}\theta_i(t)/\mathrm{d}t$ 关联起来，因为频率是相位的导数。使用拉普拉斯变换后，得到 $L\{m(t)\}=$

$M(s)=s\theta_i(s)$，再代入到式(16-15)中，就可以得到

$$V_c(s)=\frac{M(s)H(s)}{K_o} \tag{16-16}$$

这个等式表示了频率调制与合成的 VCO 控制电压之间的传递函数。恢复出来的消息等效于原来的消息被闭环传递函数 $H(s)$滤波，再除以 VCO 增益因子 K_o 之后所得到的值。如果环路是线性的，并且它的带宽足够大于消息的带宽，那么 $v_c(t)$就是 $m(t)$的完全的重构。为了避免失真，很显然 VCO 的控制特性必须是线性的，因为 K_o 是直接出现在式(16-16)中的；即 K_o 必须是一个真正的常量，而不是随 v_c 而变。

检相器增益只是通过它对 $H(s)$的影响而进入式(16-16)中的，而因为 $H(0)=1$，且与 K_d 无关，所以 $H(s)$只在较高调制频率时才起作用。因为这个理由，以及第 5 章中提到的 PD 因反馈而降低了失真，所以，使用非线性检相器实现低失真操作是可能的。避免线性滤波的失真、避免 PD 的非线性失真和实际上的维持跟踪的能力(第 5 章)都是因为 PLL 很宽的带宽而得以实现的。这些互相关联的理由一致地指出，环路带宽要大于消息带宽。在后面将会明显地看到，环路带宽实际上应当大于已调信号的 RF 带宽，但这个结论在这个时刻还不很明显。

16.2.4 FM 噪声

假设频率调制是一个最大偏离为 Δf、调制频率为 f_m 的正弦波。因此，$m(t)=2\pi\Delta f\ \sin(2\pi f_m t)$，而输入信号变为

$$v_{in}(t)=V_s\sin\left(\omega_i t+\frac{\Delta f}{f_m}\cos 2\pi f_m t\right)$$

所以，PLD 的输出信号是

$$v_c(t)=\frac{1}{K_o}2\pi\Delta f\sin 2\pi f_m t \tag{16-17}$$

389

其中假设 $H(j2\pi f_m)\approx 1$；即环路没有对调制信号有明显的滤波。

在解调器前面的是一个中心频率为信号频率 ω_i、噪声带宽为 B_i 的带通滤波器。该滤波器假设有充分的带宽、平坦的振幅和线性的相位，因而对信号引起的失真可忽略不计。带宽的最小值为 $B_i>2\Delta f$，而实际的带宽一般都要大得多。单边谱密度为 N_0 的高斯白噪声被加到滤波器输入端的信号中。在滤波器输出端上的信号噪声功率比为

$$\rho_i=\frac{V_s^2}{2B_iN_0} \tag{16-18}$$

上式在所有的 FM 文献中都被叫做载波噪声比(Carrier-to-Noise Ratio, CNR)。

PLL 中噪声的影响在第 6 章中被表示为单边谱密度为 $W_n'(f)$，并插入到线性化检相器[图 6-2、式(6-7)和式(6-17)]中的一个加性噪声发生器 $n'(t)$。如果带通滤波器有矩形的通带(不是必需的假设)，而且 $\rho_i\geqslant 1$(为保证线性而必需的)，那么在 $0\leqslant f<B_i/2$ 的范围内有 $W_n'(f)=2N_o/V_s^2$，在所有其他频率上处处为零。

使用第 2 章和第 6 章的传递函数方法之后，出现在控制电压 v_c 中的噪声谱密度变为

$$W_{vc}(f) = \frac{|(2\pi f)H(f)|^2}{K_o^2} W_{n'}(f) \tag{16-19}$$

如果 $W_{n'}(f)$ 是平坦的，那么在 $W_{vc}(f)$ 中就存在一个大家所熟悉的、与已解调的 FM 噪声有关的并位于 $H(f)$ 通带内的抛物线谱形。

控制电压中的信号与噪声是由一个外部的低通的后滤波器来处理的。作为一种习惯，我们假设通带是矩形的，且其截止频率等于调制频率 f_m。被恢复的调制信号可以无损地通过这个滤波器，而所有较高频率的噪声分量则被完全抑制。再进一步假设 $|H(f)|$ 从 DC 到 f_m 内是平坦的。因而，在后滤波器输出端上的噪声大小可以给出为

$$\sigma_{nf}^2 = \int_0^{f_m} W_{vc}(f)\mathrm{d}f \approx \int_0^{f_m} \frac{(2\pi f)^2 W_{n'}(f)}{K_o^2}\mathrm{d}f = \frac{8\pi^2 N_0 f_m^3}{3K_o^2 V_s^2} \tag{16-20}$$

输出信噪比为式(16-17)中 $v_c(t)$ 的均方值除以式(16-20)的均方值噪声：

$$\mathrm{SNR}_o = \frac{3\Delta f^2 V_s^2}{4N_0 f_m^3} = \frac{3\Delta f^2 B_i \rho_i}{2f_m^3} \tag{16-21}$$

[虽然式(16-21)是对正弦调制导出的，但对任何其他调制方式都可以得出相似的表达式。]

390

如果 $\Delta f = B_i/2$(最大偏离仍保持在输入滤波器的范围内)，并且调制度被定义为 $\beta = \Delta f / f_m$，那么

$$\mathrm{SNR}_o = 3\beta^3 \rho_i \tag{16-22}$$

这个等式是 FM 改善因子的经典表达式[16.8,16.9]。这个结果与通常鉴频器中得到的完全一样。在大 CNR 时，PLD 的噪声性能与通常鉴频器电路完全一样。

为了实现 FM 的改善，通常的鉴频器必须有一个前置限幅器。通常的鉴频器是振幅敏感的，而限幅器是为抑制 AM 噪声成分所必需的。PLD 可以在不使用限幅器的条件下实现 FM 的改善。事实上，PLL 略去了与信号同相的噪声分量，而仅受正交分量的干扰。在下节中将展示限幅器使阈值性能变坏；既能提供 FM 的改善又不引起限幅器的损失，是使用锁相鉴频器以取代常规电路的一个动机。

16.3 FM 阈值

式(16-22)的理想性能是在大 CNR 下达到的，但当 CNR 下降到某个称做阈值的最小值之后，再继续降低 CNR，则输出 SNR_o 将会迅速变坏。本节主要探讨阈值的影响，以及 PLD 如何能比通常鉴频器达到更低的阈值 CNR。

我要提前说明一下，目前还没有很好的、可以严密解释 PLD 阈值的定量理论。环路是在非线性区域内操作的，但前几章中报道的那些非线性方法，用于一个处于带限加性噪声和带有调制下的 PLL 是不恰当的。本节将根据实验结果，尝试对 PLD 阈值采用直观的启发式解释。从这样的两点来说(阈值 CNR 是不可预测的；最优环路结构也是不可计算出来的)，这个解释是不令人满意的。但是，既然已经给出了充分的信息，工程师们是可以通过实验来优化设计参数的。

16.3.1 阈值的特征描述

输出 SNR_o 的过分变坏是对 FM 阈值最好的和已经得到确认的证明，如图 16-5 所示。在大 CNR 下，输出 SNR_o 是与 CNR 成线性变化的，如式(16-21)所示。在大 CNR 时，在双对数坐标中的 SNR_o 与 CNR 关系曲线的斜率为 1。曲线在阈值 CNR 处有一个斜率的转折，在小 CNR 时，曲线的斜率则陡得多。准确的转折点是很难辨认的，因为曲线和它的斜率都是连续变化的。从大 CNR 下的 SNR_o 直线的延长线偏离并变坏 1 dB 的那一点，习惯上就认为是阈值 CNR，但这个选择是完全随意的。

391

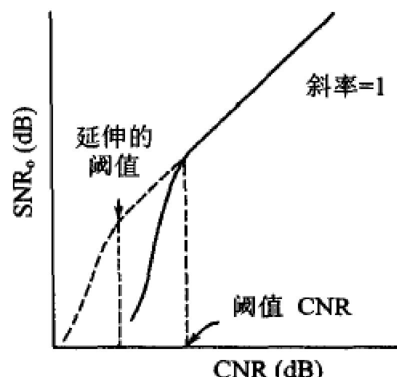


图 16-5 FM 阈值对 SNR_o 的影响

我们把理想鉴频器的阈值性能用作与其他解调器进行比较的一个参照。鉴频器是*理想的*，如果它产生的输出基带电压正比于它输入端上的带通信号的相位变化率(即输入端上信号与噪声的瞬时频率)。这个相位是所需信号与所加噪声的合成相位。理想的鉴相器对信号与噪声的 AM 成分不敏感；良好设计的常规限幅鉴频器电路的性能是接近理想的。

*理想的*这个词绝不是指*最佳的*。所有好的鉴频器在大 CNR 时都有这个相同的性能，但理想鉴频器并不具有最低的阈值。如果一个鉴频器的阈值低于理想鉴频器的阈值，那就称为*延伸阈值解调器*。关于阈值延伸的例子见图 16-5。

理想鉴频器的亚阈值 SNR_o 可以完全根据 Shimbo 的分析[16.10,16.11]来计算，这个分析方法是由一些先驱们经过一连串冗长的近似分析后得出的。该问题的难点也许最好用下面的事实来说明：准确的分析直到大约 45 年之后当 FM 的性质被确认之后才公布于世的[16.12]。

在许多应用中，低于阈值的 SNR_o 并没有什么用途，因为正常的操作几乎全都出现在 CNR 大于阈值的情况下。(在低于阈值下操作时的扰动经常比只考虑 SNR_o 时所预期的扰动有大得多的破坏性；这些扰动的性质将马上在下文介绍。)为了完成对信号设计与通信链路的预算而进行的阈值 CNR 的预测，一般总是充分够用的。锁相解调器，因其能以相对简单的电路来提供阈值的延伸而显得非常宝贵。延伸的多少是不能用现有理论来预测的，它与信号的参数有关。粗略地说，在一般的应用中可以达到几个分贝的改善。

392

16.3.2 FM 尖峰

阈值的预测当然可以通过对 Shimbo 等式的计算来进行，但 Rice 的近似方法[16.9]使用起来更简单，而且它所包含的概念有助于对 PLD 的理解。在阈值之下的鉴频器的输出中，可以观察到含有大幅度、短时间的尖峰，或叫*喀呖声*(click)(这是 Rice 的用

词)。这些喀呖声在阈值以上是非常偶然出现的。比较经常地出现喀呖声则表示已经达到阈值了。

请注意上面这个句子的措辞。句子中并没有说喀呖声引起了阈值,也没有说喀呖声是在低于阈值以下操作的唯一表征现象;这两个说法都不正确。然而,如果可以计算平均喀呖声的速率,那么阈值 CNR 就可以用很好的精度来预测。

393

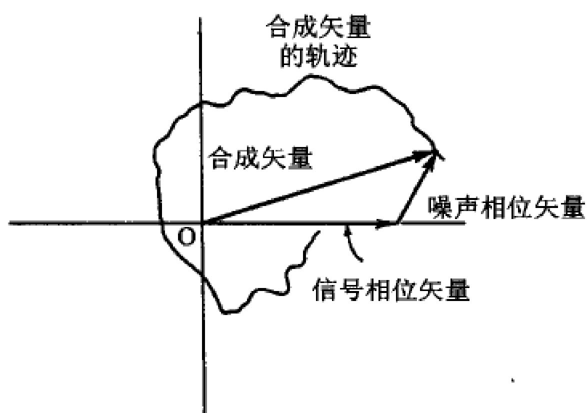


图 16-6 喀呖声产生的相位矢量图

当噪声使合成的信号与噪声,与仅仅信号相比,多走过了(或丢失了)一个完整周期时,就会出现一个喀呖声。图 16-6 中的相位矢量图表示出了喀呖声的产生过程。相位矢量的基准值是这样选择的:当信号加上噪声时会表现出随机起伏的振幅与相位,但与此同时,信号仍保持在固定的 0°和恒定的幅度上。合成的信号与噪声在复平面上画出一条连续的轨迹。每当轨迹围绕原点一周时,就表示多转或少转了一周(即产生了一个喀呖声)。

只有当瞬时噪声超过了信号的幅度,而且噪声的相位反向穿过信号相位时,才可能产生喀呖声。在阈值的附近,与典型的喀呖声事件相关的噪声多半只是略大于信号,所以喀呖声轨迹在旋转时往往非常接近于原点;这就是说,我们可以预期信号与噪声的合成幅度在喀呖声轨迹的中间阶段时往往是很小的。

在信号被噪声接近抵消的情况下,噪声相位的一个很小的改变就可以引起合成相位很大的改变。因此,喀呖声轨迹可以非常快速地绕原点旋转,而且比输入滤波器带宽限制下的相应速度还要快许多。这些幅度和相位的特性与 PLD 的响应有一定的关系。

喀呖声也可以通过相位与频率的波形来考察,如图 16-7 所示。在无噪声的情况下,图 16-6 中固定信号的相位矢量产生一个恒定的 0°合成相位。小噪声引起围绕零点的小相位波动,而一个喀呖声引起合成相位波形的一个 2π 的跳变(图 16-7a)。频率是相位对时间的导数,即合成相位矢量的旋转速率,这已画在图 16-7b 中。小的相位噪声产生小的频率噪声,而相位突变则产生大的频率尖峰;在实验室中观察到的和在声频数据中听到的,就是这个尖峰或喀呖声。

喀呖声波形是剧烈变化的[16.13];其唯一共有的性质是,每个喀呖声都有 2π 或 2π 整数倍的面积。喀呖声脉冲的极性取决于是多了一个周期还是少了一个周期。每个喀呖声脉冲本质上都是单极性的。喀呖声事件的持续时间一般要小于基带信号带宽的倒数。为了计算喀呖声对输出 SNR_o 的影响,可以把波形近似为一个面积等于 2π 的冲击脉冲。单位冲击脉冲有低至 DC 的水平谱,而主要能量集中在基带内。

图 16-7 还表示出了未引起喀呖声的大相位扰动:非喀呖声。非喀呖声的频率脉冲

的峰值比产生一个完整喀呖声的要小得多。更重要的是，非喀呖声的频率脉冲是双向的，它的能量集中在高频区，而在 DC 处的能量为零。脉冲的双向性对低通系统的干扰要比单极性脉冲小得多。

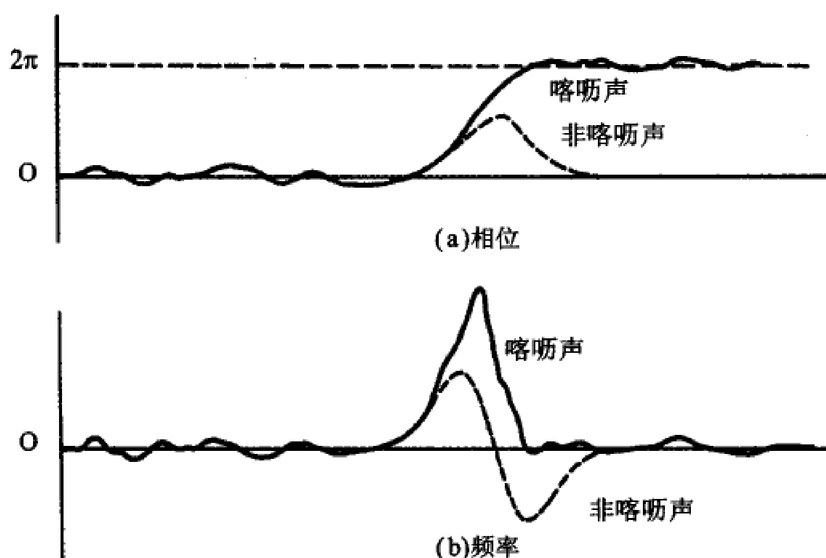


图 16-7 喀呖声波形图

如果平均的喀呖声速率为已知，那就可以计算出它对输出噪声的贡献[16.9,16.14]。喀呖声把总噪声从仅由式(16-20)计算出的数值提高 1 dB 时的 CNR，被习惯地当作阈值的正式定义。喀呖声中有极大的能量，所以阈值出现在极小的喀呖声速率上。Rice[16.9]确定出了理想鉴频器的喀呖声速率。这个速率与 CNR、输入通带形状和调制参数都有关。他的公式给出了对理想鉴频器的很好的阈值预测。

16.3.3 PLD 的喀呖声

然而，现在还没有一个人能够分析锁相解调器的输出喀呖声的速率。喀呖声的概念对 PLL 操作提供了一些实际的理解，但定量的理论尚未得出。在本节中，作者将主要根据未发表的实验工作，对该问题的定性理解做一说明。(Smith[16.15,16.16]用了一种与这里给出的相似的方法对 PLD 进行了探讨，但他略去了输入滤波器。)

1. 滤波器与带宽的考虑

我们首先考察锁相 FM 解调器的一个完整框图，如图 16-8 所示。它由输入带通滤波器、检相器、环路滤波器、VCO 和低通后滤波器组成。所有这五个单元电路对于 PLD 的正确工作都是必需的，虽然许多早期的文献完全略去了输入和输出滤波器。后滤波器包含了去加强(deemphasis)网络，用以纠正 PLL 传递函数的线性滤波器的失真并完成对已恢复消息的主基带滤波。这个后滤波器是达到式(16-22)的 FM 改善所需要的。但是，后滤波器只在信号从 PLL 中恢复之后才进行；很明显，这对跟踪性能完全没有影响，因此也不会影响阈值。在阈值现象的研究中略去后滤波器是正确的。

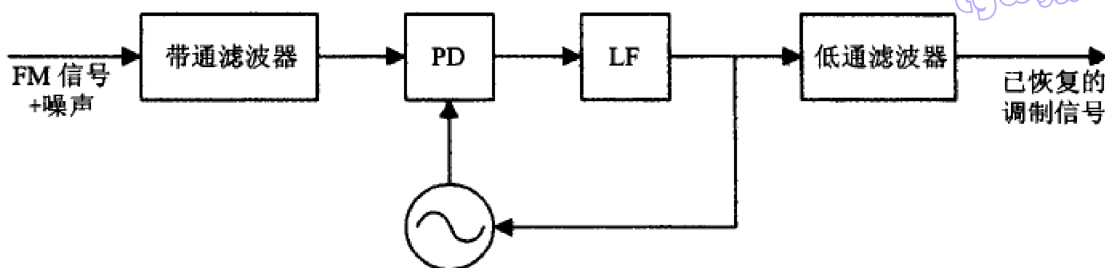


图 16-8　PLL FM 解调器(PLD)

另一方面，略去输入滤波器是完全错误的。一般情况下都把 PLL 看成一个以很窄的通带来制服噪声的窄带器件。但当用于 PLD 时，却是一个概念性的错误，因为 PLD 的环路带宽必定是非常宽的。事实上，环路带宽一般都要比 RF 信号的带宽大许多。

输入滤波器的带宽必须足够大，以避免信息的过大失真；这本身是一个非常复杂的问题，将不在这里讨论。输入带宽的最小值由 Carson 规则确定如下[16.12]：

$$B_i > 2(\Delta f + f_m) \tag{16-23}$$

这个最小值适用于正弦调制，它经修改后的形式为：

$$B_i > 2(B_m + \gamma\sigma_f) \tag{16-24}$$

这个最小值适用于低通带宽为 B_m、均方根频率偏离为 σ_f 和“峰顶因子”为 γ 的高斯调制(见 5.2.4 节)。

实验指出，环路带宽的最佳选择(在下面讨论)应当远大于 Carson 规则的带宽。在良好设计的 PLD 中，环路带宽应当超过输入滤波器的带宽，而且应当使环路不会对 RF 噪声进行明显的线性滤波。对噪声的仅有的主要衰减是由输入滤波器提供的。由于这个原因，输入滤波器的带宽应当尽可能窄，同时还应当与信号失真的要求保持一致。带宽较大的滤波器会接纳更多的噪声，因而降低了性能。对这个说法已经做过了实验测试。结果令人信服地指出，输入滤波器过大的带宽抬高了 PLD 的阈值。这种性能下降的总量取决于带宽过大的程度；图 16-9 中示出了正弦调制和一阶环路情况下得到的一些测量结果。

当频率的偏离达到输入滤波器通带的边缘时，就应考虑在边缘处的响应。大多数滤波器在偏离中心的频率上会逐渐地滚降；因此，信号频率的偏离会引起滤波器输出幅度的相应变化。当把一个扇形(scalloping)的信号包络加到 PLL 时，会伴随有十分显著的 AM 现象。

394～396

就第一次近似来说，PLL 的输出对振幅影响不敏感。但当仔细观察时，可以明显地看出，环路增益是与信号振幅正比的(使用乘法器 PD，但不用限幅器)，所以这个扇形输入信号引起了瞬时增益的减小。结果是，PLL 的跟踪能力受损，环路对调制偏离的跟踪能力变弱。因此，扇形的输入信号使阈值变坏，尤其当一阶环路在最大频率偏离而引起最大环路应力的时候(见 5.2.4 节)。带通滤波器在整个频偏范围内有平坦的响应是我们希望看到的结果。

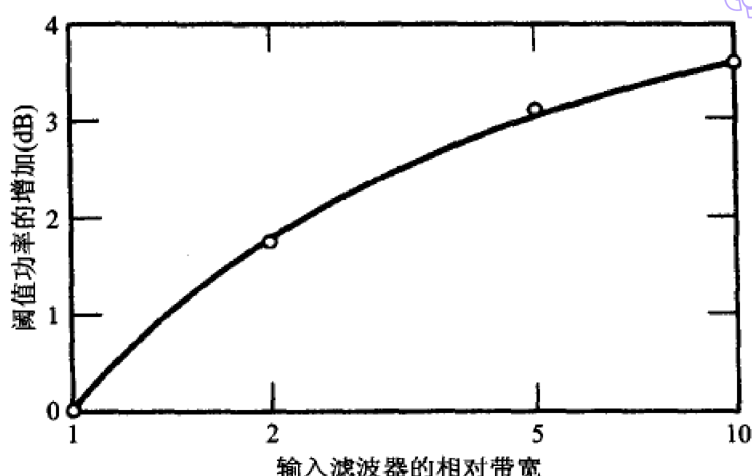


图 16-9 测得的阈值因输入滤波器通带过大而提高。图中的单位相对带宽相应于 Carson 规则[公式(16-23)]。纵坐标表示因输入带宽增加而又要维持在该阈值上时所需增加的信号功率

2. PLD 对输入喀呖声的响应

如果一个输入滤波器可以很好地与 PLD 一起使用,根据推测,它也可以很好地与一般的鉴频器一起使用。在使用完全一样的输入滤波器的情况下,PLD 可以呈现出比一般鉴频器更低的阈值。那么这个改善是如何得来的呢?在带通滤波器输出端上的信号和噪声中会出现喀呖声,这已在上面说过。

注意:*喀呖声是输入信号与噪声的一个性质,是与任何解调器完全无关的。*

喀呖声的平均速率是由 Rice 的分析给出的。根据定义,一个理想的鉴频器会对施加信号中的每一个喀呖声都进行解调。PLL 对有些喀呖声是不能跟随的,所以 PLL 的输出要比理想鉴频器的输出更接近原来的消息。*就是这个对某些输入喀呖声不能跟随的能力,解释了 PLD 阈值得到改善的原因*[16.17]。

为什么 PLL 会跟不上某些喀呖声呢?其中的一个原因是 PLL 是一个带限电路,而一般的喀呖声是非常快速的;环路的动作常常不能足够快地跟随喀呖声沿着圆周转动。当噪声几乎抵消信号的时候,信号与噪声的合成振幅在沿着原点旋转时是非常小的,因而 PLL 的这种呆滞更显突出。在阈值 CNR 的邻近,与大多数喀呖声相应的合成振幅都非常小。小振幅表示 PLL 增益下降,因而降低了跟随合成相位矢量的能力。增益的下降是一个非线性效应,在这个例子中则明显地改善了阈值性质。

现在可以看出限幅器会使阈值性能变坏的原因。一个理想的硬限幅器使合成相位矢量的振幅保持恒定,且与信号和噪声之间的任何可能的抵消无关。如果合成轨迹围绕圆周旋转时的振幅很大,那么 PLL 就能较好地跟随,因而能够比没有限幅器时解调出更多的输入喀呖声。Hess[16.17] 通过实验和近似分析证实了限幅器的有害影响。想得到最小阈值,就要求不用限幅器。因此,不要采用任何内部使用限幅器的 PD,即其 s 曲线为锯齿形、矩形或三角形的 PD 或者任何时序 PD(见第 10 章)。

397

有时候会遇到这样的说法:PLD 阈值多少是由检相器的非线性引起的,而且如果只使用线性 PD 的话,阈值是可以避免的,或至少是可以降低的。这个说法不正确。相反,应当把这个论点说成,PLD 阈值的降低至少部分地是由于 PD 的非线性,而线性 PD 只会产生与理想鉴频器相同的阈值。实际使用中的 PD 有周期性的 s 曲线,而宽线性的 PD 会包含一种对周期计数的能力,因而具有向两侧无限延伸的直线形 s 曲线。在平衡状态下,这两类 PD 都会使环路密切地跟踪 PD 的平衡点。

当出现快速输入喀呖声时会发生什么呢?假设环路太慢,因而无法立即跟上喀呖声,不过,我们只来考虑在输入喀呖声结束之后的行为。周期性的 PD 会忽略整整一个周期的变化量,与此同时,环路也会继续进行跟踪,好像从来就没有发生过喀呖声似的。但是,宽线性 PD 就会知道累计的周期数多了一个,所以会产生一个与 2π 相位误差相对应的输出。于是,环路会进入伺服操作,以设法消除这个误差,其过程是对 VCO 相位作 2π 角度的调整而回到 PD 的平衡点。换句话说,带有宽线性 PD 的 PLD 是不会忽略输入喀呖声的,并且会最终跟踪上全部的喀呖声,即使这个过程非常慢。宽线性 PD 与理想检频器一样差。实际 PD 的周期性的非线性对改善 PLD 的阈值性能是有部分贡献的。

很明显,为了忽略尽可能多的输入喀呖声,环路带宽应当尽可能窄。要是带宽非常大,环路将会跟上所有的输入喀呖声,因而其性能就会与理想检频器相同。另一方面,带宽也不可太窄,否则调制操作将引起周期滑步,即使在没有噪声时也会这样(见第 5 章)。一个由过大的调制引起过大的应力的环路,是非常容易因小噪声扰动而产生滑步的。周期滑步是无法与解调器输出端上的已解调输出中的喀呖声相区分的;为方便起见,它们都被叫做输出喀呖声。下面这个假设看来是合理的:折中的带宽会使输出喀呖声的速率减到最小。

3. PLD 喀呖声的测量

图 16-10 至图 16-12 表示了对二阶 PLL 测得的有代表性的喀呖声速率的数据。表 16-1 给出了实验参数。喀呖声速率是用参考文献[16.18]的测量方法测得的。每个数据点代表 100 s 内的累计输出喀呖声。图 16-10 明显地证实了对最佳环路带宽的预测。398 对喀呖声速率的根本性改善可以通过选择合适的环路带宽来达到。或者反过来说,如果使用了错误的带宽,就会受到严厉惩罚。图 16-11 指出,当阻尼在 1 到 2 的邻近时,存在一个很宽的喀呖声速率最小值区域。其他的数据则指出,选择 1 到 1.5 应当是很合适的。

图 16-12 中的喀呖声速率曲线是以固有频率 ω_n 为参数、相对于 CNR 画出的。标记为 n_r 的粗实线,是在相同的调制参数和相同的输入滤波器的情况下,对理想鉴频器的喀呖声速率的 Rice 预测曲线[16.9]。宽带 PLL($\omega_n/2\pi=40$ kHz)的数据点与 Rice 预测值符合得非常好,因而支持了关于宽带 PLL 与理想鉴频器有相同阈值的论点。

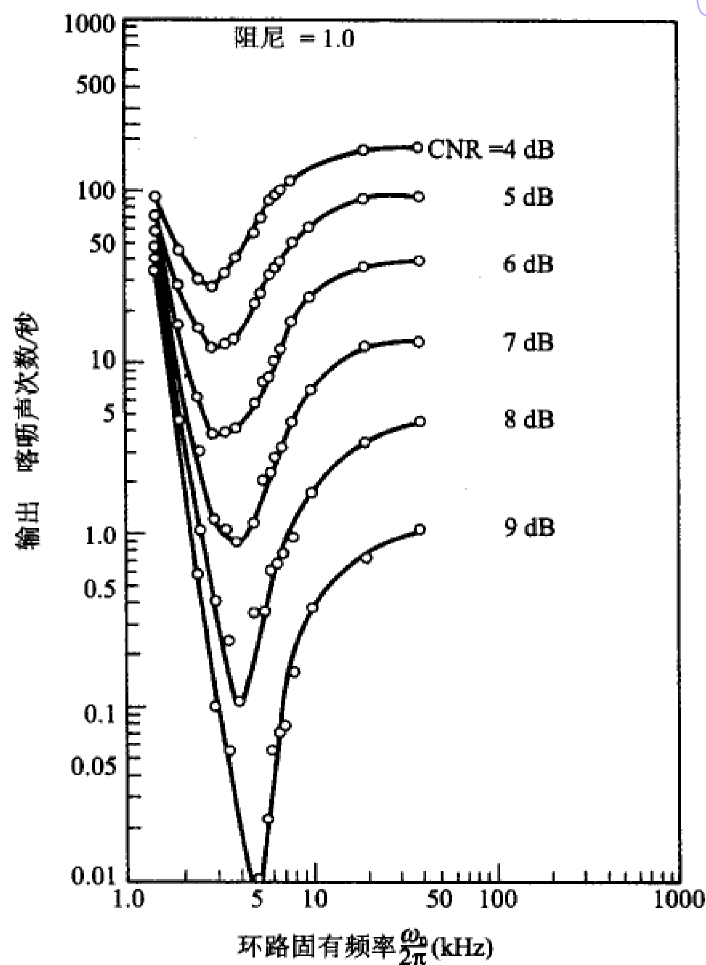


图 16-10 在表 16-1 条件下测得的 PLL 喀呖声速率。阻尼 $\zeta=1$

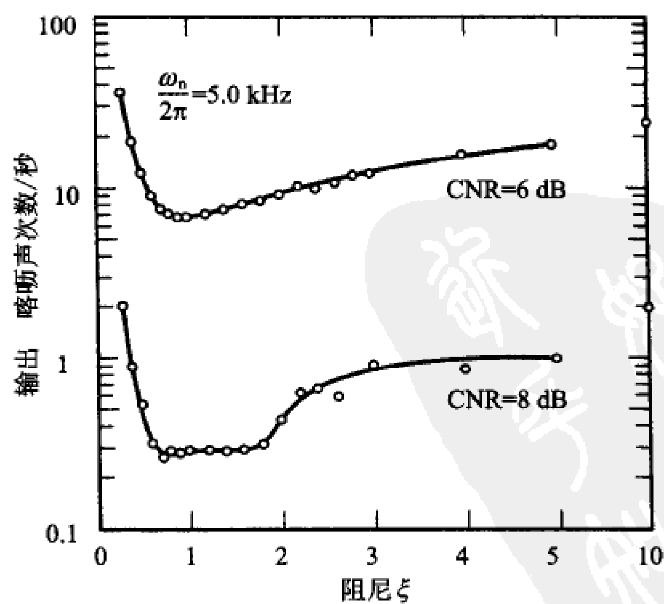


图 16-11 在表 16-1 条件下测得的 PLL 喀呖声速率。固有频率 $\omega_n/2\pi = 5$ kHz

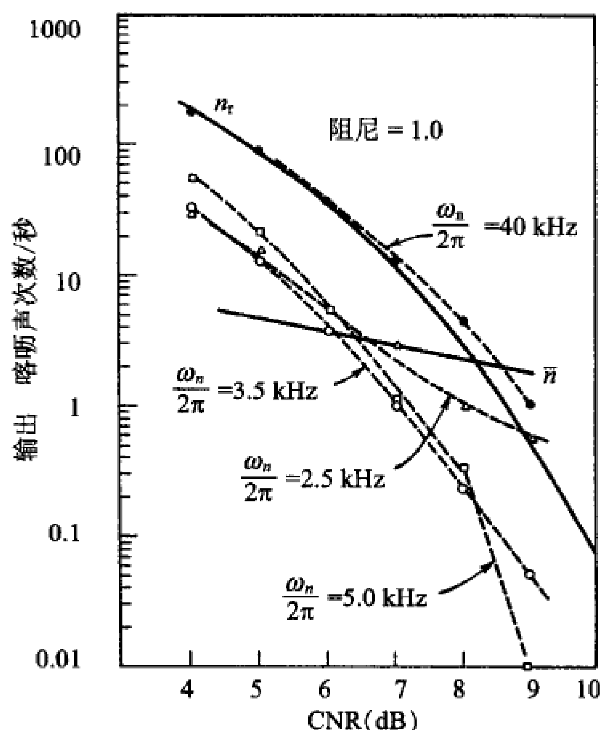


图 16-12　在表 16-1 条件下测得的 PLL 喀呖声速率。阻尼 $\zeta=1$

标记为 $\bar{n}$ 的粗实线表示了使式(16-20)的输出噪声提高 1 dB 时的喀呖声速率。我们把阈值正式定义为 $\bar{n}$ 与实际喀呖声速率曲线的交点。最佳带宽 PLL 的交点比理想鉴频器大约低 2.5 dB。最佳带宽的选择严格取决于调制参数;在对扩展阈值的 PLD 进行设计的时候,必须事先知道消息的统计特性。一般的鉴频器设计实际上忽略了消息的统计特性,因而会引起阈值变坏。另一方面,一般的鉴频器对消息的统计特性的改变是相对较不敏感的,但 PLD 会因消息统计特性的改变而受到不利的影响,有时是严重的不利影响。

二阶 2 类环路未必一定是提供最小阈值的结构。如果调制度很小(如前面的几个举例那样),那么一阶环路具有几乎相同的性能(只要任何稳态的频率失调与环路带宽 K 相比是很小的)。如果调制度很大,那么较高类别 PLL 的跟踪相位误差较小(图 5-10)。实验已经指出,在调制度很大情况下,2 类环路的性能要优于一阶环路。这里报道的实验数据,是在中等偏小的调制度下得到的。相对于理想鉴频器而言,PLD 的阈值延伸会随着调制度的增加而得到改善。

16.3.4　形式上的优化

PLD 不是最佳的 FM 解调器,而只是对于最佳 FM 解调器的一个近似。最佳的解调器会考察全部的消息,即使消息是无限长的,然后给出消息的最大后验(MAP)估算。Viterbi[16.19] 和 Van Trees[16.20] 给出了用于 FM 解调的 MAP 估算的极好讨论。

MAP 估算器的积分公式几乎与锁相环完全相同。由于积分公式之间的这种密切

相似性，许多研究者一直希望，PLL 是 MAP 解调器的一个很好的近似。公式之间的仅有不同点是积分的区间。从形式上看，这个差别似乎很小，但 PLL 必须做到实时跟踪，即零延迟的操作，也就是，不能等到消息结束后才开始处理。

虽然还不能达到最终的 MAP 性能，但我们仍可以这样发问：最佳的、零延迟的、稳定的 PLD 会是什么样的？为了允许数学上的可处理性，通常假设 PLL 为线性操作的，然后再确定最佳的、可实现的维纳滤波器。Viterbi 强调指出，这个过程并不能引导出这样的 MAP 性能，也不一定会引导出可达到的最小阈值。非线性行为是不可能从线性分析来推断的。

对于由未跟踪的角调制和加性白噪声所引起的 VCO 相位方差的线性近似式为

$$\sigma_\theta^2 = \int_0^\infty \left[|1 - H(f)|^2 \frac{W_m(f)}{(2\pi f)^2} + W_n'(f) |H(f)|^2 \right] df \qquad (16\text{-}25)$$

其中 $W_m(f)$ 是信号的频率调制谱密度，以 $(\text{rad/s})^2/\text{Hz}$ 为单位，而 $W_n'(f)$ 是在式(6-7)和式(6-16)中定义的加性白噪声的谱密度。最佳维纳滤波器是 $H(f)$ 的一个使相位误差的方差最小化的特殊形式。

然而，设计者所关心的是阈值最小化的问题：维纳滤波器的设计也可以达到这个目标吗？维纳方法假设操作是线性的，但阈值是一个严重非线性的现象。任何线性分析只有在得到证实之后才可信任。在文献中找不到几份用维纳滤波器来优化环路的实验测试报告。在搜集和阅读几份相关资料之后可以发现，以线性方式推导出的维纳滤波器，实际上并不能把阈值减到最小。最好的情况也就是一个以经验主义的方法查找最小阈值 PLD 的起点。

维纳滤波器的可能的复杂性往往是不能被接受的。一个简单的途径是使用一个一般形式的环路（比如标准的二阶环路），然后通过对环路参数的调整（比如，二阶环路的阻尼与固有频率）使阈值最小化。也可以尝试这样一个解析的方法，即把 $H(f)$ 明确地以它在式(16-25)中的参数写出，然后通过选择恰当的参数使阈值最小化。如果调制信号和噪声的谱都确实非常复杂，那么这个最小化必须通过计算机的参数搜索来得出。这样的搜索曾经对一个二阶环路尝试过，搜索中使用的谱如表 16-1 中所示，并得到下面的结果：

- ☐ 相位误差方差的计算值是固有频率的一个振荡函数，这说明任何自动计算的方法也许都会遇到困难；
- ☐ 找出的最小值是极其浅的，其原因在于 PLL 前面的窄带滤波器；把环路滤波器的带宽加宽到超过输入滤波器带宽时，仅增加了非常小的加性噪声；
- ☐ 实验与计算一点也不相符。在实验室中产生最小喀哒声速率时的固有频率，与产生最小计算方差的固有频率并不符合。

表 16-1 喀呖声速率的实验参数

载波频率:25 MHz
调制类型:高斯噪声 FM
调制基带谱:从 DC 到 2.4 kHz(B_m=2.4 kHz)基本是平坦的
偏离:σ_f= 1485 Hz,均方根值
RF 谱的占用带宽:$2(B_m+\gamma\sigma_f)$ = 15.2 kHz,其中 γ = 3.5
输入滤波器的通带 −1 dB 处为 15.2 kHz −3 dB 处为 18.3 kHz −30 dB 处为 24 kHz 噪声带宽 = 16.4 kHz
PLL 结构 二阶 2 类 模拟电路

16.3.5 修改后的 PLD

让我们先考虑另一个方法,然后再断言说线性化的相位方差不是一个趋近最佳 PLD 阈值的好方法。我们把环路传递函数用极坐标形式表示为 $H(f)=|H|\exp(j\Psi)$,其中为了标记的方便而略去了极坐标元素对频率的关系。把 $H(f)$的这个形式代入式(16-25)中,再经过一些代数运算后,可得到方差为

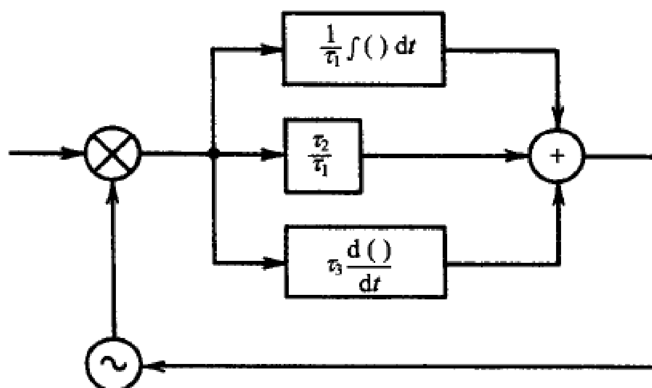
$$\sigma_0^2=\int_0^\infty\left[(1-2\,|\,H\,|\cos\Psi+|\,H\,|^2)\frac{W_m(f)}{(2\pi f)^2}+W_{n'}(f)\,|\,H\,|^2\right]df \qquad (16\text{-}26)$$

由于$|H|$不影响方差的变化,所以当 $\cos\Psi=+1$ 时方差达到最小值。(在推导不可实现的、无限延迟的最佳维纳滤波器时也出现了这个相同的条件。)也就是说,$\Psi=2\pi k$,其中 k 为整数。

一个网络的振幅与相位响应是密切相关的;两者不能分开指定。假定上面这个网络是一个最小相位系统,那么在做过一些简化之后,这样的相位条件将要求振幅响应必须有一个 $24k$ dB/倍频程的斜率。另外,由式(16-16)要求$|H(f)|$在调制谱的频率范围内应当有一个平坦的响应,所以应当选择 $k=0$。在环路滤波器中有相等数量的极点与零点的一般二阶 PLL 中,低频区的振幅响应$|H(f)|$是平坦的,但在高频区以−6 dB/倍频程下降。在 DC 时的相位为零,在高频区逐渐趋近于−90°。

399~403

一个在所有频率上都是零相位的可实现网络,也必须在所有频率上有恒定的振幅响应;任何有限带宽 PLL 都不会有这样的响应。在忽略所有寄生参数后,一般环路的频率响应滚降是由 VCO 中的积分器引起的;如果我们可以克服这一滚降,那就可以在一个比普通环路宽得多的频率范围内实现接近 0°的相位。我们注意到,一个比例—积分—微分(PID)的控制环路,可以在高频区与低频区实现渐近的零相位。这样的 PLL 见图 16-13,它的伯德图见图 16-14。



开环增益：

$$G(s)=\frac{K_oK_d}{s}\left(\frac{\tau_2}{\tau_1}+\frac{1}{\tau_1 s}+\tau_3 s\right)$$

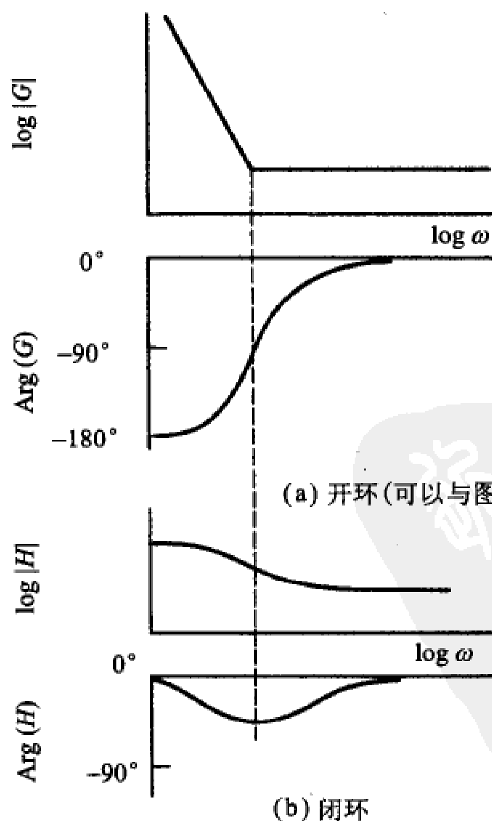
$$=\frac{K}{s^2\tau_2}\left(s^2\tau_1\tau_3+s\tau_2+1\right)$$

$$\left(K=\frac{K_oK_d\tau_2}{\tau_1}\right)$$

闭环增益：

$$H(s)=\frac{G(s)}{1+G(s)}=\frac{s^2\tau_1\tau_3+s\tau_2+1}{s^2\left(\frac{\tau_2}{K}+\tau_1\tau_3\right)+s\tau_2+1}$$

图 16-13　具有 PID 控制器的 PLL



(a) 开环(可以与图3-13比较)

(b) 闭环

图 16-14　具有 PID 控制器的 PLL 的伯德图

Novick 和 Klapper[16.22,16.23]从完全不同的地方出发，却得到了一个基本相同的结构。他们设计了一个方差最小化的算法，并发现当 $K\tau_1\tau_3/\tau_2=1$ 时可以得到最小方差。(其符号标记见图16-13。)因此，在高频区 $|G|$ 趋于1，$|H|$ 趋于0.5。闭环的相位在高频与低频区都趋于零，但在开环振幅斜率的转角频率附近会呈现一个相位滞后。由于高频区的响应是平坦的，所以这个电路的噪声带宽为无限大。而且，两位作者还报告说，得到了一个比普通PLL低很多的阈值。如果这个技术可以证明是一般性适用的话，那就是PLD技术的一个重大进展。

16.3.6 FM PLD 阈值总结

404~405

- ☐ 输入滤波器是PLD不可分割的一部分，所以不可略去。
- ☐ 输入滤波器的带宽的最小值应当与可接受的消息失真相一致。较大的带宽会导致阈值的损失。
- ☐ 输入滤波器的振幅响应必须在频率偏离的整个范围内保持基本的平坦，以避免与PLL增益的互相影响。
- ☐ PLD中不需要限幅器，有了限幅器反而会提升阈值。
- ☐ PLL的带宽必须远大于消息的带宽，也许还要大于输入滤波器的带宽。
- ☐ 对任何一种环路结构，都存在一个产生最小输出喀哒声速率的最佳环路带宽。这个最佳环路带宽是输入CNR的一个弱函数和调制参数的一个强函数。
- ☐ 现有的这些方法对于解析地确定最佳阈值是不够的；使用实际的信号和实际的硬件来进行实验，也许是摆在设计工程师面前最好的方法。
- ☐ 如果使用二阶环路，那么由实验发现大约1到1.5的阻尼是最佳的。
- ☐ 标准的二阶PLL看来不会是最佳结构。
- ☐ 线性化环路的维纳优化看来不会对实际的最小阈值PLD提供什么指导思想。
- ☐ 对环路滤波器增加微分控制看来是有帮助的。

参考文献

16.1 M. H. Perrott, T. L. Tewksbury III, and C. G. Sodini, "A 27-mW CMOS Fractional-*N* Synthesizer Using Digital Compensation for 2.5 Mb/s GFSK Modulation," *IEEE J. Solid-State Circuits* **32**, 2048–2059, Dec. 1997. Reprinted in [16.4].

16.2 D. R. McMahill and C. G. Sodini, "Automatic Calibration of Modulated Frequency Synthesizers," *IEEE Trans. Circuits Syst. II* **49**, 301–311, May 2002.

16.3 E. Hegazi and A. A. Abidi, "A 17-mW Transmitter and Frequency Synthesizer for 900-MHz GSM Fully Integrated in 0.35-mm CMOS," *IEEE J. Solid-State Circuits* **38**, 782–792, May 2003.

16.4 B. Razavi, ed., *Phase-Locking in High-Performance Systems*, Reprint Volume, IEEE Press, New York, and Wiley, Hoboken NJ, 2003.

16.5 S. Butman and V. Timor, "Interplex: An Efficient Multichannel PSK/PM Telemetry System," *IEEE Trans. Commun.* **COM-20**, 415–419, June 1972.

16.6 W. C. Lindsey, "Design of Block-Coded Communication Systems," *IEEE Trans. Commun.* ***COM-15***, 525–534, Aug. 1967.

16.7 I. Galton, "Analog-Input Digital Phase-Locked Loops for Precise Frequency and Phase Demodulation," *IEEE Trans. Circuits Syst. II* ***42***, 621–630, Oct. 1995.

16.8 M. G. Crosby, "Frequency Modulation Noise Characteristics," *Proc. IRE* ***25***, 472–514, April 1937.

16.9 S. O. Rice, "Noise in FM Receivers," in M. Rosenblatt, ed., *Time Series Analysis*, Wiley, New York, 1963, Chap. 25.

16.10 O. Shimbo, "Threshold Characteristics of FM Signals Demodulated by an FM Discriminator," *IEEE Trans. Inf. Theory* IT-15, 540–549, Sept. 1969. Corrections: *Trans. Inf. Theory* IT-16, 769, Nov. 1970.

406

16.11 O. Shimbo, "Threshold Noise Analysis of FM Signals for a General Baseband Signal Modulation and Its Application to the Case of Sinusoidal Modulation," *IEEE Trans. Inf. Theory* ***IT-16***, 778–781, Nov. 1970.

16.12 J. R. Carson, "Notes on the Theory of Modulation," *Proc. IRE* ***10***, 57–64, Feb. 1922.

16.13 D. Yavuz, "FM Click Shapes," *IEEE Trans. Commun.* ***COM-19***, 1271–1273, Dec. 1971.

16.14 J. Klapper and J. T. Frankle, *Phase-Locked and Frequency-Feedback Systems*, Academic Press, New York, 1972, Chap. 6.

16.15 B. M. Smith, "Phase-Locked Loop Threshold," *Proc. IEEE* ***54***, 810–811 May 1966.

16.16 B. M. Smith, "A Semi-empirical Approach to the PLL Threshold," *IEEE Trans. Aerosp. Electron. Syst.* ***AES-2***, 463–468, July 1966.

16.17 D. T. Hess, "Cycle-Slipping in a First-Order Phase-Locked Loop," *IEEE Trans. Commun.* ***COM-16***, 255–260, Apr. 1968.

16.18 F. M. Gardner, "A Cycle-Slip Detector for Phase-Locked Demodulators," *IEEE Trans Instrum. Meas.* ***IM-16***, 251–254, Sept. 1977.

16.19 A. J. Viterbi, *Principles of Coherent Communications*, McGraw-Hill, New York, 1966, Chaps. 5 and 6.

16.20 H. L. Van Trees, *Detection, Estimation and Modulation Theory: Part II*, Wiley, New York, 1971, Chaps. 2–4.

16.21 H. W. Bode and C. E. Shannon, "A Simplified Derivation of Linear Least Square Smoothing and Prediction Theory," *Proc. IRE* ***38***, 417–425, Apr. 1950.

16.22 W. A. Novick and J. Klapper, "Optimum Design of the Extended-Range Phase-Locked Loop," Paper 32D, *Conf. Rec. Natl. Telecommun. Conf.*, 1972.

407

16.23 W. A. Novick, "Investigation and Optimum Design of the Generalized Second-Order Phase-Locked Loop," *Ph.D. dissertation*, New Jersey Institute of Technology, Newark, NJ, 1976.

第 17 章　锁相环的其他应用

本章将简单地叙述锁相环的其他几种不同的应用，并以此说明锁相环是如何使用的。

17.1　数据信号的同步

大多数数据信号被生成为一个具有均匀符号间隔的数据流，然后以基带信号直接发送，或者调制到载波上变为带通信号后再发送。数据信号接收器必须与接收到的符号同步（符号的定时恢复），如果是相干接收，那就必须与接收到的载波同步。

同步这个课题的范围太广，因而在本书中不能都讲到。而且，虽然在同步技术中大量使用了 PLL，但与主要的同步问题相比，PLL 的问题还只能算一个小问题。在前面章节中列举的 PLL 的原理可以很容易地使用于锁相同步器。因此，本节只简单地给出同步的一个概貌。

在过去，几乎所有的同步器都是用模拟电路实现的。参考文献[17.1～17.4]及其所引用的文章提供了那个时期的同步器例子。最近，同步器分成两个发展方向。在一个方向上，信号形式很复杂（而且随着通信技术的日趋复杂，同步器也越来越复杂）；必须达到极好的、近似完美的性能。在这个方向上的数据接收器，是以当前最好工艺技术的数字电路实现的。作为接收器中不可缺少的部分，同步器也是用这样的数字电路实现的；数字电路几乎全部取代了模拟电路。与此同时，迅速出现了一个内容繁多的、非常复杂的数字同步器理论，参考文献[17.5～17.7]中有这样的一些例子。

另一个方向主要指向高速的、形式相对简单的基带数据信号（比如，二进制符号）。信号的环境相对比较温和，至少与上面第一类信号所面对的复杂的信号形式、噪声、干扰、多通道、传输散射和其他问题相比是温和的。这里，往往可以牺牲在噪声中的极好性能，来换取速度和简单性。第二类信号对高速的要求排斥了数字实现的可能性；它们需要用模拟电路来实现。已经有报道大量使用中的 10 Gbit/s 电路，而在写本小节时，最前沿的电路已经达到了 40 Gbit/s。一些电路例子已被收集到参考文献[17.8]和[17.9]中。高速 PLL 的问题和实现方法在参考文献[17.10～17.12]中有叙述。

17.2　网络时钟

数字通信网络中包含了许多与同一时钟源同步的高精度时钟[17.13]。网络同步系

统是组织成等级的，其中的定时信号沿着树形网络从主时钟传向从时钟。从时钟一般包含一个作为 PLL 一部分的精确振荡器，并由 PLL 把这个振荡器锁定到从上一级时钟源传下来的定时信号上。

由于对从时钟的高品质和减小定时波动的要求，从时钟 PLL 的带宽必须非常窄，在文献[17.14]中已经报道了每天一个周期(11.6 μHz)的带宽的例子。没有一个实际的模拟 PLL 可以有这样小的带宽。所以，这里使用了一个数字环路滤波器，它包含一个非易失性积分器和频率记忆的功能。环路滤波器的输出加到数模转换器(DAC)上，再由 DAC 提供控制电压来调整振荡器的频率。对于高精度的振荡器，调谐范围一般在 1 ppm 左右。因为带宽非常小，所以一般存在于振荡器、DAC 和环路滤波器中的噪声必须被控制得很小，因为这些噪声是不能用反馈跟踪来消除的。参考文献[17.14]中有一个具体设计的详细内容。

17.3 各种锁相振荡器

根据定义，锁相环总要包含一个相位锁定的振荡器。在一本关于 PLL 的书中，还要专门介绍锁相振荡器的一小节，看来有些重复。不过，在有些应用中，PLL 的功能就是锁定一个振荡器，通常的目的是为了改善振荡器频率的稳定性或精度，或者产生新的频率。下面将给出这样的一些应用。

409

17.3.1 振荡器的稳定方法

有两种完全相反的振荡器稳定方法：窄带与宽带。第一种方法使用窄带 PLL 作为滤波器，以使另一个携带噪声的振荡器或其他的信号变得很干净。第二种方法则把一个噪声很大且不断漂移的振荡器锁定到一个干净的基准源上，以稳定这个被锁定的振荡器。

1. 窄带的稳定方法

如果晶体振荡器工作在极低的 RF 功率上(在低功率下，晶体老化较慢)，那么这些用作频率标准的晶体振荡器具有最好的长期频率稳定性。但是，如 9.3.1 节中指出的那样，最优的短期相位稳定性是在中等功率时得到的，这时，RF 信号的振幅远大于电路噪声。如果使用两个独立的振荡器，就可以得到最好的效果：一个功率非常低的振荡器用于长期稳定性，第二个振荡器被锁定到第一个振荡器上，且工作在较高的功率下，以得到良好的短期稳定性。环路的带宽应当在保持可靠锁定的前提下尽可能窄。输出信号是从被锁定振荡器上取出的。使用 PLL 等效于把第一个振荡器的相位噪声送入一个带宽极窄的滤波器，从而大大降低了噪声。这个同样的技术也可用来得到清洁的频率合成器输出，因为频率合成器的输出中往往含有谐波和倍频成分。

2. 宽带的稳定方法

需要大功率输出的微波振荡器可以用晶体管、速调管、反射管、IMPATT 或

TRAPATT 二极管或耿氏二极管来构建。电子调谐是通过改变有源器件的工作偏压、使用变容二极管或使用磁可变 YIG 谐振器等方法实现的。这些类别各异的振荡器的共同特点是相位稳定性很差。如果没有其他的稳定性措施,这些振荡器在窄带应用方面就没有使用价值。一个有效的稳定方法是把微波振荡器锁定到一个像晶体振荡器那样的稳定低频源的某个谐波上。PLL 对被锁振荡器的相位波动进行跟踪和消除,因而输出信号就具有基准源的谐波的稳定性。

振荡器稳定方法的一个结构如图 17-1 所示。其中的新单元是一个倍频器,它用来从稳定的低频源上得出所需的谐波。倍频器往往是像 14.2 节那样,通过使用谐波锁定 PD 而被包含到检相器中。这种锁相振荡器在包含了捕获电路之后,就可以作为一个完整的电路而被大量销售。这些电路被广泛使用于发送器和接收器中的固定频率的本地振荡器。锁相信号源在功率上一般要比具有相同输出功率的一组倍频器更为经济。

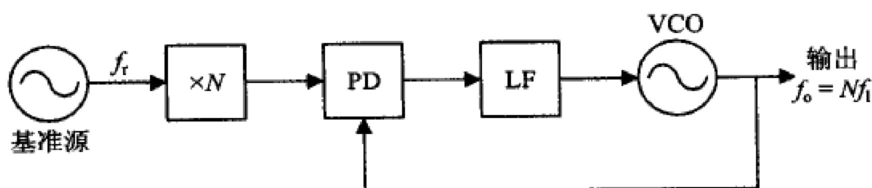


图 17-1 谐波锁相振荡器

17.3.2 倍频器 PLL

振荡器往往要求锁定到输入基准频率的一个谐波上。上一节列举了一些使用倍频器或谐波检相器来直接产生谐波的方法。锁定到高次谐波上是比较麻烦的,其中的一个原因是难于产生足够大振幅的高次谐波,另外一个原因是,当谐波间距与 VCO 调谐范围相比很密的时候,就可能锁定到错误的谐波上。

另一个常用的技术是在反馈通路中使用分频器,以把振荡器频率降低到基准频率。这个技术在频率足够低以允许使用数字计数器做分频器时是特别有用的。数字计数器的唯一确定的分频率使环路不会锁相到邻近的错误谐波上。倍频器 PLL 可以看成一个固定频率合成器,如第 15 章中那样。基准时钟通常是以比较低的频率分散在计算机的各模块之间,然后再使用每个模块内的片上倍频器 PLL 把低频时钟提升为较高的时钟频率。

17.3.3 频率搬移 PLL

频率搬移电路的作用是使输入信号频率 f_i 偏移一个 f_b 频率,使输出频率等于 $(f_i \pm f_b)$。使用 PLL 完成频率搬移的优点可以从下面的例子来说明。假设一个 30 MHz的信号要偏移 1 kHz。一个方法是使用常规的单边带技术,但要很好地完成载波抑制和边带剔除,就需要对电路做精细的调节。但采用锁相环完成搬移,则不需要

那样的精细调节，而且还有更好的性能。

图 17-2 示出了频率偏移 PLL 的例子，通常运行于所需输出频率附近的 VCO 与输入频率 f_i 进行外差变频，因而混频器的输出就接近所需的偏移频率 f_b。混频器的输出在 PD 中与一个频率准确地为 f_b 的振荡器做比较，然后，经过环路回到 VCO，迫使混频器的输出锁定到频率偏移振荡器上。乍一看，还以为锁相完全消除了通常 SSB 技术中的残余载波和不希望的边带。但这样的完美无缺还没有真正达到；任何检相器的纹波都将对 VCO 进行调制，并在输出中产生不希望的边带。假设 PD 是理想的乘法器，而且它的两个输入都是纯正弦波。因而 PD 的纹波输出将是频率为 $2f_b$ 的正弦波，而纹波对 VCO 的调制将在$(f_o \pm 2f_b)$频率上产生一对边带。如果所需的输出频率是 $f_o = f_i + f_b$，那么这两个边带将位于$(f_i - f_b)$和$(f_i + 3f_b)$。其他的检相器将在输出信号中包含更多的纹波分量，因而也将在 VCO 的输出中出现更多的不希望的边带。

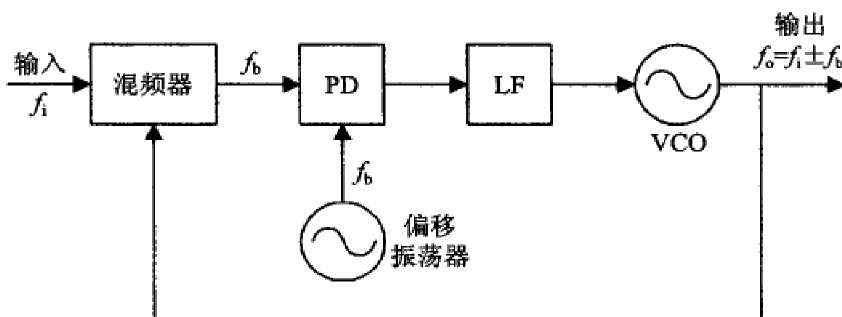


图 17-2 频率搬移 PLL

可以在环路中简单地使用非临界平滑低通滤波，以把纹波减小到任何希望的水平上（见附录 10A）。这种滤波操作一般要求较小的环路带宽。具有很低固有纹波的检相器（比如，PFD 或采样保持 PD；见第 10 章）在抑制纹波方面可以比任何实际的滤波操作更有效。

图 17-2 中的 PLL 能够把它的 VCO 锁定到$(f_i + f_b)$和$(f_i - f_b)$的两个频率之一上。在大多数情况下，只有其中的一个频率才是需要的，而另一个频率是不需要的镜像频率。所以必须采取措施，以防止锁定到镜像频率上。如果 VCO 无法调谐到镜像频率上，那就不存在任何问题。但更常见的情况是，VCO 既可以调谐到所需频率上，也可以调谐到不需要的镜像频率上，那就必须要有一个避免锁定到镜像频率上的措施。

其中的一个方法是使用一个抑制镜像频率的检相器，如图 17-3 所示。这个电路是由常见的单边带混频器改进后得到的，可以适用于任何需要抑制镜像频率的长环路。这个电路是由图 10-16 的复数检相器变化而来的。频率为 f_i 的输入信号在一对完全相同的混频器中完成外差变频，并产生偏移（IF）频率。由滤波器从两个混频器中选择所需的差频分量，并剔除不需要的和频分量。由于这两个混频器具有正交的本地驱动信号，所以两个 IF 输出有 90°的相位差。（这个 90°的相位关系可以使用一个混频器和一个 90°的中频裂相网络来实现。此外，使用二进制计数器来产生正交驱动信号一般

也是很方便的，如图 17-4 中那样。）

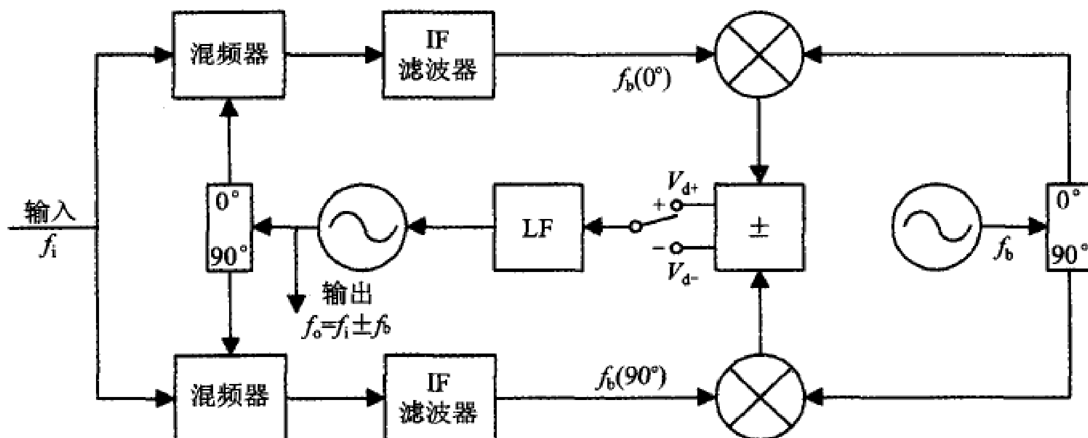


图 17-3　复数信号的频率搬移

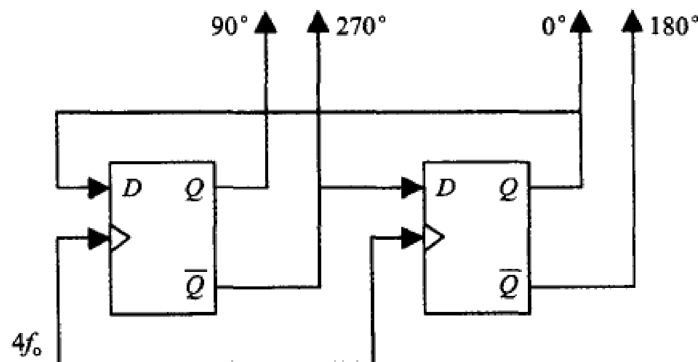


图 17-4　用数字计数器产生正交信号

每个 IF 信号驱动一个检相器，检相器的另一个输入信号来自频率为 f_b 的偏移振荡器。两个检相器的两个 f_b 驱动电压之间要求有 90°的相位差。每个检相器都必须是理想的乘法器，而且它的两个输入端上的波形必须是正弦波，这样，纹波中才只有频率为 $2f_b$ 的正弦量。当 PLL 被锁定后，PD 输出的纹波分量互相抵消，而零频分量则相加。这个特性可以允许环路带宽超过偏移频率 f_b，这对于一般的 PLL 是不可能实现的。

通常的 PLL 可以把 VCO 同样好地锁定到所需频率或镜像频率上，究竟锁定到哪个频率上就要看在捕获阶段先遇到哪个频率。一个理想的抑制镜像 PLL 可以根据 PD 的输出是加还是减而只锁定到其中的一个频率上。如果抵消是完全的，那么镜像频率被完全剔除。但在实际上，完全抵消是不可实现的，所以总是存在一个对镜像频率的弱锁定。这就需要使用像快速扫描这样的辅助捕获方法，来防止锁定到弱小的镜像频率上。

完全的抵消也就完全抑制了 PD 的纹波，因而抑制了在所需 VCO 输出信号的 $2f_b$ 频偏处的寄生镜像边带。不完全的抵消使残余纹波一直传播到 VCO，并产生寄生边

带,但其振幅由于部分抵消的原因而降低了。所以说,镜像边带由于 PLL 中的抵消与滤波而被衰减了。

实现完全镜像抑制的 PLL,只是为了防止锁定到不希望的边带上而变得过于复杂。一个简单正交检相器(图 8-14)的某个输出极性只能锁定到较高的边带上,而另一个相反的极性只能锁定到较低的边带上。因此,这个不同极性的输出,可以被辅助捕获电路用来防止环路锁定到错误的边带上。

410 ~ 413

17.4 电视接收机中的 PLL

电视接收机中使用了若干个锁相环,其用途是:

- ☐ 水平与垂直扫描的同步[17.15];
- ☐ 为彩色副载波的解调建立相位基准[17.16];
- ☐ FM 伴音的解调(16.2.3 节);
- ☐ 残留边带视频信号的相干解调(16.2.1 节);
- ☐ 用于 RF 调谐的频率合成器(第 15 章)。

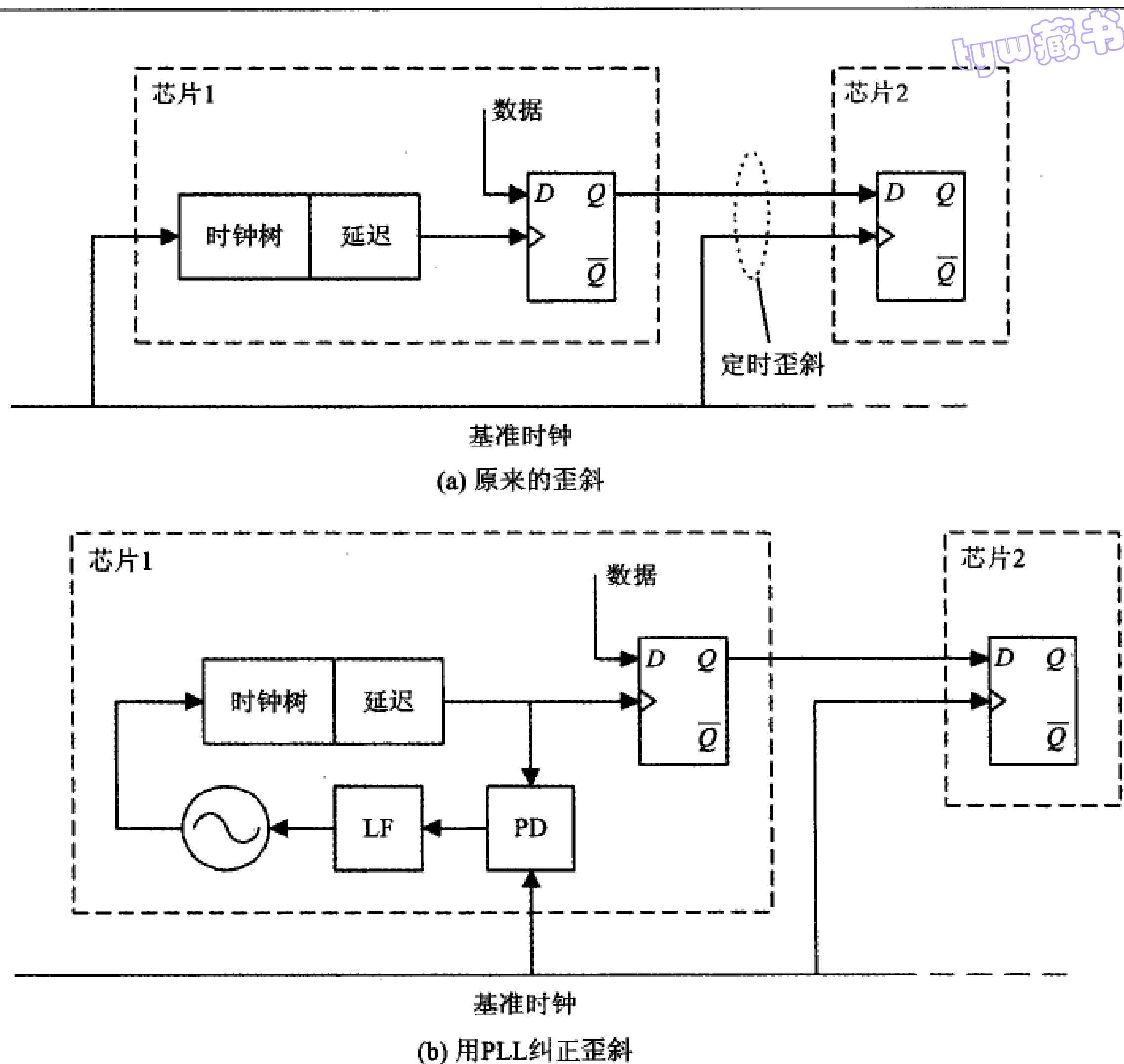
17.5 数字系统中的 PLL

PLL 在计算机和其他数字系统中有各种用途。本节将叙述两个例子。

17.5.1 定时歪斜的补偿

高速的计算机和数字系统在时钟分配通路上会产生一定的延迟,而这些延迟又会引起数据与时钟之间的定时偏离,这被叫做定时歪斜(timing skew)。图 17-5a 表示了这样的一个例子。基准时钟通过具有内部延迟的时钟树加到芯片 1 上。接着,芯片 1 按照已延迟的时钟所指定的时间,把数据写入到输出锁存器。然后,芯片 1 的输出数据被传送到芯片 2 上的一个锁存器。这个数据传送是由基准时钟定时的,但由于芯片 1 的内部时钟延迟,使基准时钟未能与芯片 1 输出锁存器状态的变化时刻正确对齐。这样就产生输出数据与基准时钟之间的定时歪斜。

图 17-5b 表示了 PLL 是如何用来补偿延迟的。加到芯片 1 输出锁存器上的延迟了的时钟在检相器中与基准时钟做比较。PD 的输出送到环路滤波器,然后送到 VCO 并由 VCO 来驱动时钟树,这时的 VCO 频率仍是基准时钟的频率,但相位已经被调整了,因而使时钟树的延迟了的输出与基准时钟相对齐。或者说,现在的芯片 1 输出锁存器的时钟是与芯片 2 的输入锁存器的时钟对准的;也就是,PLL 已经消除了时钟的歪斜。时钟歪斜的补偿精度取决于检相器的精度和两个芯片之间数据与时钟通路的延迟的差异性。



(a) 原来的歪斜

(b) 用PLL纠正歪斜

图 17-5 用 PLL 纠正歪斜

17.5.2 抖动衰减电路

定时的抖动在数字通信链路中会累积起来(见 14.5 节);或者说,在某些系统中的数字量数据会出现不规则的定时抖动。为了达到满意的操作,通信链路必须对抖动有严格的限制。全世界通信网络中广泛使用的锁相环抖动衰减电路,就是用来抑制这种抖动的,使其不能积累到有害的程度。基本的抖动衰减电路表示在图 17-6 中。受到不规则定时影响的输入数据,依靠写时钟而被写入到 FIFO(先进先出缓冲存储器)中,这个写时钟与输入数据时钟一样具有定时的不规则性。但是,平滑的读时钟是借助 PLL 来产生的。

FIFO 可以对已占单元的数量进行监测,并把这个信息告诉外部电路,这就是图 17-6 中标记为“填充指示器”的数字信息。把填充信息与所希望的填充状态(一般是半充满)进行比较,并产生一个用作相位误差度量的填充误差。(这个比较操作由于是个简单的数值运算而被从图中略去了。)相位误差被加到数字环路滤波器上,再用滤波器的输出去控制 DCO 的频率。然后,用一个数模转换器、一个滤波器和一个限幅器就可

产生矩形的读时钟。

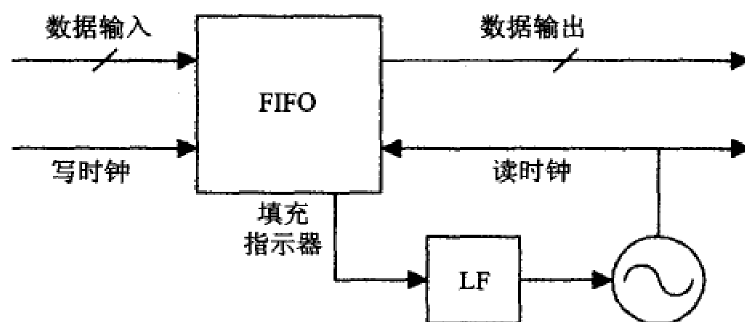


图 17-6 PLL 抖动衰减电路

当 PLL 锁定时，读时钟的平均频率与写时钟的平均频率是相同的。为了避免 FIFO 的上溢和下溢以及由此引起的数据丢失，必须保证这两个时钟的平均频率有严格的长期相等性。锁相技术就可以用来保证这个频率的相等性。FIFO 的长度应选择得使 FIFO 可以吸收最坏情况下的抖动而不饱和。FIFO 可以容忍远大于普通检相器的定时偏离。PLL 的带宽应当选择得足够小，才可以把输入抖动幅度衰减并转换成可接受的输出抖动幅度。如果带宽必须很窄，那么采用数字方法来实现环路滤波器是恰当的；因为非常小的带宽使模拟环路滤波器的电路元件变得非常大。为 DCO 提供时钟的固定振荡器（图中未画出）必须有很好的抖动特性，因为它的抖动直接出现在写时钟上。

17.6 PLL 用于电机速度控制

锁相电机控制被一直用于极精确电机平均速度的控制。参考文献[17.17]和[17.18]中包括了这一课题的早期文献。我们推测在控制系统的文献中也会有大量较近期的文章。

17.6.1 基本工作原理

图 17-7 示出了电机速度控制 PLL 所必需的单元电路。基准振荡器产生一个频率为所需电机转速整数倍的基准频率；基准频率的高精度是很容易做到的。电机驱动一个机电或光机械的音轮（tone wheel），由这个音轮产生一个频率取决于电机速度的单音或一串脉冲。音轮可以是带磁传感器的牙轮，或者是一个刻有透光和不透光标记的光盘。可以用光传感器的检测器来检测光盘的工作。基准信号和传感器的电信号输出被加到检相器的两个输入端上。检相器输出的相位误差指示被送到环路滤波器。然后用一个功率放大器（PA）来驱动电机。当 PLL 锁定时，音轮的频率被迫等于基准频率，因而电机的平均速度即被设置到基准源的精度上。

414 ~ 416

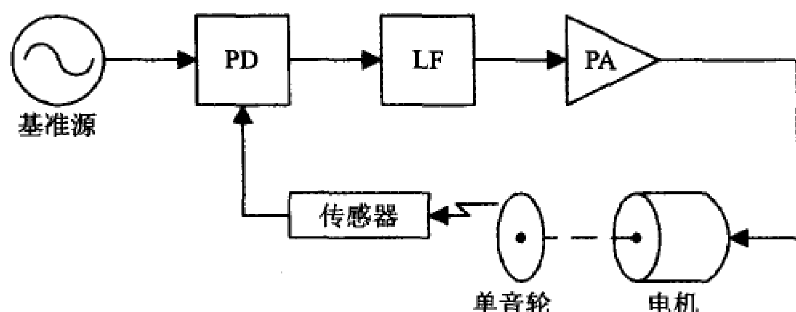


图 17-7　电机速度的锁相控制

17.6.2　机电结构的考虑

从表面上看，图 17-7 中的转速控制环路是与普通的全电子 PLL 相似的，所不同的是 VCO 已被电机和音轮代替了。这个相似性是有指导意义的，但也存在若干重大的不同点。一个不同点是电机的机械特性，即它的惯性负载和摩擦负载，这两个负载在随时间不断地变化。惯性和摩擦合在一起，就对环路插入了一个低频低通极点，而这样的极点通常在 VCO 中是不存在的，或者是可以忽略的。机械负载是控制工程中大家都知道的一个问题，但在 PLL 工程中对它的电子等效电路的忽略，一般被认为是恰当的。

另一个不同点是驱动电机需要大功率，但对 VCO 频率的控制只需要很小的功率。PA 把驱动电压加到电机上，这时的平衡速度正比于所加电压；或者可以选择电流驱动，这时的电流确定了电机的转矩。对于这两种方法，都要求 PA 提供运转电机所需要的全部功率，如果是大电机就需要非常大的功率。

除了通常对伺服机构稳定性的要求外，许多检相器（比如，10.3 节的时序类相频检测器）实际上是以采样方式工作的。如果采样率太低，环路就不稳定（见 14.2 节）；同样，如果电机速度太慢，PLL 的速度控制环路也会不稳定[17.17]。

与大多数 PLL 相同的是，环路滤波器中需要一个比例加积分的控制结构（2 类 PLL），以便使伺服操作在零静态相位误差下就能保证运转在规定的电机速度上。实际上，采用带宽稳定的 1 类环路是达不到所需的最大速度的；为此，必须采用 P+I 控制，或者必须对 PA 加一个偏置电压。机械伺服结构一般都有测速计反馈（等效于比例加积分加微分控制），以改善阻尼和环路稳定性。

17.6.3　其他结构

417　可以想象还有其他电机速度控制的 PLL 结构。这里给出的想法是推测的，但当发现这些想法存在于现有电机控制时，是不奇怪的。除了音轮外，光角度编码盘也具有某些优点。编码盘每次被采样时，给出一个指示其角度位置的 b 位数字量。采样率可以是固定的，且独立于电机速度或基准频率。这个采样率可以容易地做成足够高于伺

服带宽，因而就不必考虑离散时域的稳定性问题，但也必须足够低，以不使数字处理器进入过载。

数字处理器可以把每次采样时从角度编码器上获得的角度转换成正弦与余弦值。基准频率可以由 NCO 提供，再把每个采样时刻的 NCO 角度转变为相应的正弦和余弦值。来自基准频率和经过处理后的编码器样点这两对复数，可以像 10.5 节中那样，在复数检相器中进行比较。因为是数字操作，所以在这两路操作之间的平衡几乎是完美的，只受数字样点字长的影响。

复数检相器可以向下工作到零频；实际上，它可以向下越过零频而工作到负频率上，就像具有复数输出的 NCO 那样。这个方案可以用于正反两个旋转方向的速度控制。数字环路滤波器更灵活，在窄带的机械伺服系统情况下，可以使用比模拟环路滤波器小得多的电路元件。它不用线性功率放大器，而使用脉宽调制这种极高效的电机驱动技术。

参考文献

17.1 W. C. Lindsey and M. K. Simon, *Telecommunications Systems Engineering*, Prentice Hall, Englewood Cliffs, NJ, 1973.

17.2 E. A. Lee and D. G. Messerschmitt, *Digital Communication*, Kluwer Academic, Boston, MA, 1988, Chaps. 14 and 15.

17.3 R. D. Gitlin, J. F. Hayes, and S. B. Weinstein, *Data Communication Principles*, Plenum Press, New York, 1992, Chap. 6.

17.4 Synchronization Special Issue, *IEEE Trans. Commun.* ***COM-28***, Aug. 1980.

17.5 J. W. M. Bergmans, *Digital Baseband Transmission and Recording*, Kluwer Academic, Boston, MA, 1996, Chaps. 9 and 10.

17.6 U. Mengali and A. N. D'Andrea, *Synchronization Techniques for Digital Receivers*, Plenum Press, New York, 1997.

17.7 H. Meyr, M. Moeneclaey, and S. A. Fechtel, *Digital Communication Receivers*, Wiley, New York, 1998.

17.8 B. Razavi, ed., *Monolithic Phase-Locked Loops and Clock Recovery Circuits*, Reprint Volume, IEEE Press, New York, 1996.

17.9 B. Razavi, ed., *Phase-Locking in High-Performance Systems*, Reprint Volume, IEEE Press, New York, and Wiley, New York, 2003.

17.10 B. Razavi, "A 2.5 Gb/s 15-mW Clock Recovery Circuit," *IEEE J. Solid-State Circuits* ***31***, Apr. 1996.

17.11 B. Razavi, "Challenges in the Design of High-Speed Clock and Data Recovery Circuits," *IEEE Communications Magazine* ***40***, 94–101, Aug. 2002.

418

17.12 J. Savoj and B. Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half-Rate Binary Phase/Frequency Detector," *IEEE J. Solid-State Circuits* ***38***, 13–21, Jan. 2003.

17.13 Bellcore, *Clocks for the Synchronized Network: Common Generic Criteria*, GR-1244-CORE, Bell Communications Research, June 1995.

17.14 E. A. Munter, "Synchronized Clock for DMS-100 Family," *IEEE Trans. Commun.* ***COM-28***, 1276–1284, Aug. 1980.

17.15 K. R. Wendt and G. L. Fredendall, "Automatic Frequency and Phase Control of Synchronization in Television Receivers," *Proc. IRE* ***31***, 7–15, Jan. 1943.

17.16 D. Richman, "Color-Carrier Reference Phase Synchronization in NTSC Color Television," *Proc. IRE* ***42***, 106–133, Jan. 1954.

17.17 J. Tal, "Speed Control by Phase-Locked Servo Systems: New Possibilities and Limitations," *IEEE Trans. Ind. Electron. Control Instrum.* ***IECI-24***, 118–125, Feb. 1977.

419 17.18 D. F. Geiger, *Phaselock Loops for DC Motor Speed Control*, Wiley, New York, 1981.

索　　引

索引中的页码为英文原书页码，与本书中页边标注的页码一致。

A

B

C

D

E

F

M

N

O

Q

R

S

T

U

V

W



Phaselock Techniques
Third Edition

锁相环技术（第3版）

"锁相环领域权威著作！Gardner先生对锁相环技术论述的准确性和透彻性令其他作者只能望其项背。"

—— Amazon.com

今天，锁相环已经成为电子工程中的主流器件。本书是锁相环技术领域的经典著作，自1966年第1版出版以来一直在世界范围内享有盛誉。书中详尽阐述了锁相环的基本原理、基本单元以及锁相环的各种应用，为几代工程师打下了理论基础，提供了实践指南。

40年后，作者在总结毕生研究和开发经验的基础上，对以前的版本进行了大幅度的修订和扩充，不仅对传统锁相技术重新进行了更深刻的考察，还增加了许多新材料，反映了近20多年来锁相技术的最新发展，其中不少内容此前从未发表过。

新版比较重要的修改包括：

- 对传递函数做了修订和扩充，通过传递函数剖析了锁相环的解析设计方法；
- 新增了对数字锁相环的介绍，包括准线性锁相环、量化对锁相环相位抖动的影响和非线性锁相环；
- 新增了电荷泵锁相环，给出了电荷泵的模型并介绍了电荷泵锁相环的一些重要性质；
- 新增了对加性噪声和相位噪声对锁相环路影响的分析；
- 针对常见的锁定失败问题，用一个完整章节集中讨论了几个主要的锁定失败原因，指出了锁定失败机理，并提出了避免这些问题的一些推荐技术。

Floyd M. Gardner IEEE会士，锁相环领域世界权威、同步问题专家。他于1953年获得伊利诺伊大学博士学位，曾担任 *IEEE Transactions on Communications* 同步特刊的特邀主编。自20世纪60年代至今一直在通信和电子行业担任顾问，客户包括美国空军、美国海军、思科公司、苹果公司、东芝公司、三星公司等。

姚剑清 北京微电子技术研究所研究员，毕生从事计算机硬软件开发、语音识别与语音编码和CMOS混合信号电路设计工作。主要研究方向包括基于HMM的语音识别和MELP语音编码技术的研发，ΔΣ、两步并行和流水ADC/DAC电路的研发。



WILEY
www.wiley.com

本书相关信息请访问：图灵网站 http://www.turingbook.com
读者/作者热线：(010) 88593802
反馈/投稿/推荐信箱：contact@turingbook.com

分类建议 电子电气/电子技术

人民邮电出版社网址 www.ptpress.com.cn





ISBN 978-7-115-16717-0/TN
定价：69.00 元